



**ANALOG
DEVICES**

8/16チャンネル、3V/5V、シリアル入力、単電源
12/14ビット電圧出力DAC

AD5390/AD5391/AD5392

特長

AD5390: 16チャンネル、14ビット、電圧出力DAC

AD5391: 16チャンネル、12ビット、電圧出力DAC

AD5392: 8チャンネル、14ビット、電圧出力DAC

単調増加性を保証

INL: (AD5391) $\pm 1\text{LSB}$ (max)

(AD5390-5/AD5392-5) $\pm 3\text{LSB}$ (max)

(AD5390-3/AD5392-3) $\pm 4\text{LSB}$ (max)

内部リファレンス: 1.25V/2.5V、10ppm/°C

温度範囲: $-40\sim+85^{\circ}\text{C}$

レールtoレール出力アンプ

パワーダウン・モード

パッケージ・タイプ:

64ピンLFCSP (9×9mm)

52ピンLQFP (10×10mm)

ユーザ・インターフェース:

SPI®、QSPI™、MICROWIRE™、およびDSP互換のシリアル

インターフェース(データ・リードバック機能付き)

I²C®互換インターフェース

その他の機能

チャンネル・モニタ

LDAC入力による出力の同時更新

ユーザ・プログラマブル・コードのクリア機能

スルーレートを最適化するアンプ・ブースト・モード

ユーザ・プログラマブルのオフセットおよびゲイン調整

矩形波の発生を可能にするトルグル・モード

サーマル・モニタ

アプリケーション

計測器および工業用制御

パワーアンプ制御

レベル設定(ATE)

コントロール・システム

マイクロマシン制御(MEMS)

可変光減衰器(VOA)

光トランシーバ(MSA 300、XFP)

機能ブロック図

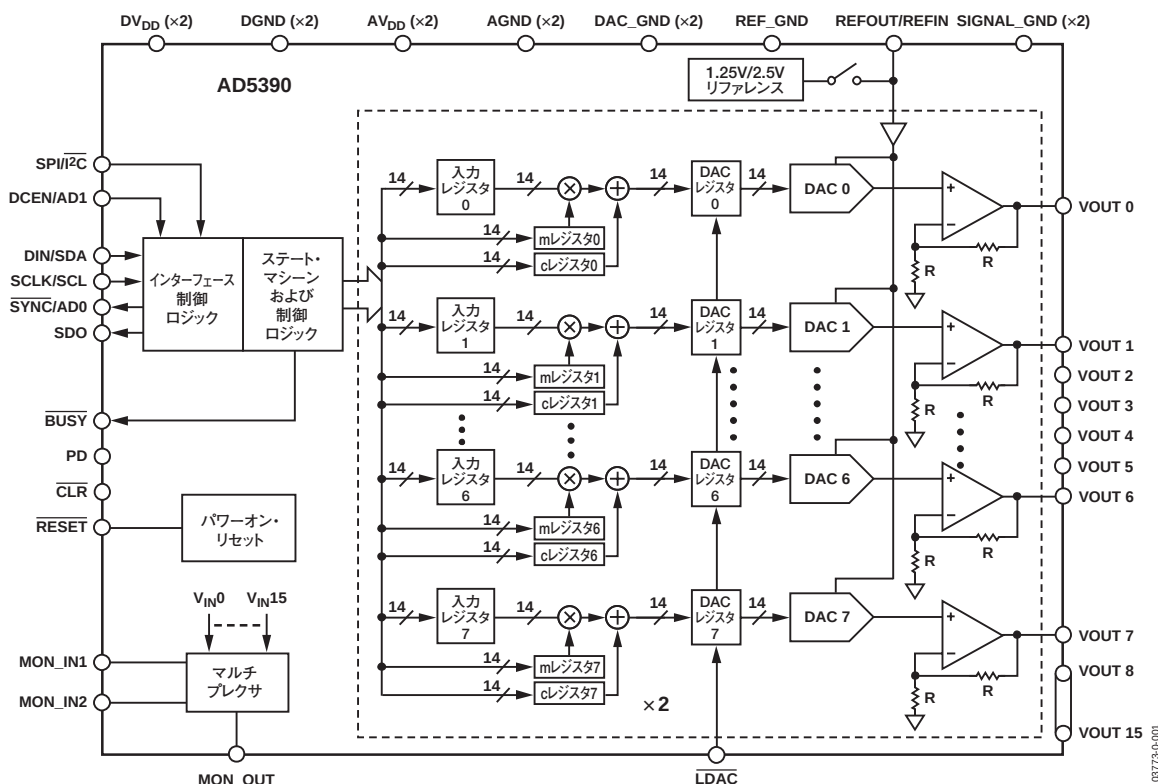


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に際して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に關して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更する場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
* 日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

REV.A

アナログ・デバイセズ株式会社

本社 / 東京都港区海岸1-16-1 電話03 5402 8200 〒105-6891
ニューピア竹芝サウスタワービル
大阪営業所 / 大阪府大阪市淀川区宮原3-5-36 電話06 6350 8664(代) 〒532-0003
新大阪MTビル2号

AD5390/AD5391/AD5392

目次

概要	3	I ² C書き込み動作	28
AD5390-5/AD5391-5/AD5392-5の仕様	4	4バイト・モード	28
AD5390-5/AD5391-5/AD5392-5のAC特性	6	3バイト・モード	29
AD5390-3/AD5391-3/AD5392-3の仕様	7	2バイト・モード	30
AD5390-3/AD5391-3/AD5392-3のAC特性	9	AD539x内蔵の特殊機能レジスタ	31
タイミング特性：SPI、QSPI、MICROWIRE、 およびDSP互換のシリアル・インターフェース	10	コントロール・レジスタの書き込み	33
タイミング特性：I ² Cシリアル・インターフェース	13	ハードウェア機能	35
絶対最大定格	14	リセット機能	35
ESDの注意	14	非同期クリア機能	35
ピン配置と機能の説明	15	$\overline{\text{BUSY}}$ および $\overline{\text{LDAC}}$ 機能	35
用語の説明	18	パワーオン・リセット	35
代表的な性能特性	19	パワーダウン	35
機能説明	23	マイクロプロセッサとのインターフェース接続	35
DACアーキテクチャー概要	23	アプリケーション情報	37
データ・デコーディング—AD5390/AD5392	24	電源のデカップリング	37
データ・デコーディング—AD5391	24	代表的な構成回路	37
インターフェース	25	AD539xのモニタ機能	38
DSP、SPI、およびMICROWIRE互換の シリアル・インターフェース	25	トグル・モード機能	38
I ² Cシリアル・インターフェース	27	サーマル・モニタ機能	38
I ² Cデータ転送	27	外形寸法	40
STARTおよびSTOP条件	27	オーダー・ガイド	41
繰返しSTART条件	27		
アクノレッジ・ビット (ACK)	27		

改訂履歴

10/04: Data Sheet Changed from Rev. 0 to Rev. A

Changes to Features	1	Changes to Figure 37	36
Changes to Table 1	3	Changes to Figure 38	36
Changes to Table 2	4	Changes to Ordering Guide	41
Changes to Table 3	6		
Changes to Table 4	7		
Changes to Figure 36	35		

4/04-Revision 0: Initial Version

AD5390/AD5391/AD5392

概要

AD5390およびAD5391は、それぞれ14ビット、12ビットの全機能内蔵型、16チャンネルのDACで、単電源で動作します。AD5392は、全機能内蔵型の単電源、8チャンネルの14ビットDACです。各デバイスは、64ピンLFCSPと52ピンLQFPの2種類のパッケージで提供されます。すべてのチャンネルは、レールtoレール動作のオンチップ出力アンプを備えています。どのデバイスも1.25V/2.5V、10ppm/°Cのリファレンス、外部モニタリング用としてアナログ出力を1本のMON_OUTコモン・ピン上でマルチプレクスするチャンネル・モニタ機能、およびスルーレートを最適化する出力アンプのブースト・モード機能を内蔵しています。

AD5390/AD5391/AD5392には、SPI、QSPI、MICROWIRE、DSPの各インターフェース標準と互換で、インターフェース速度が30MHzを超える

3線式シリアル・インターフェースおよび、400kHzのデータ転送速度をサポートするPC互換インターフェースが用意されています。

入力レジスタの後段にDACレジスタが続くダブル・バッファリング構造により、 $\overline{\text{LDAC}}$ 入力を使用してDAC出力を個別にまたは同時に更新することが可能です。各チャンネルはそれぞれ1個のプログラマブル・ゲインおよびオフセット調整用レジスタを備えているため、任意のDACチャンネルのキャリブレーションを完全に実行できます。

1チャンネル当たりの消費電流は、0.25mA (typ) です。

表1. その他の多チャンネル、低電圧、単電源動作のDAC製品ライン

モデル	分解能	AVDD範囲	出力チャンネル	直線性誤差 (LSB)	パッケージ	パッケージ・オプション
AD5380BST-5	14ビット	4.5~5.5V	40	±4	100ピンLQFP	ST-100
AD5380BST-3	14ビット	2.7~3.6V	40	±4	100ピンLQFP	ST-100
AD5384BBC-5	14ビット	4.5~5.5V	40	±4	100ピンCSPBGA	BC-100
AD5384BBC-3	14ビット	2.7~3.6V	40	±4	100ピンCSPBGA	BC-100
AD5381BST-5	12ビット	4.5~5.5V	40	±1	100ピンLQFP	ST-100
AD5381BST-3	12ビット	2.7~3.6V	40	±1	100ピンLQFP	ST-100
AD5382BST-5	14ビット	4.5~5.5V	32	±4	100ピンLQFP	ST-100
AD5382BST-3	14ビット	2.7~3.6V	32	±4	100ピンLQFP	ST-100
AD5383BST-5	12ビット	4.5~5.5V	32	±1	100ピンLQFP	ST-100
AD5383BST-3	12ビット	2.7~3.6V	32	±1	100ピンLQFP	ST-100

AD5390/AD5391/AD5392

AD5390-5/AD5391-5/AD5392-5の仕様

$AV_{DD}=4.5\sim 5.5V$ 、 $DV_{DD}=2.7\sim 5.5V$ 、 $AGND=DGND=0V$ 、 $REFIN=$ 外部2.5V。特に指定のない限り、仕様はすべて $T_{MIN}\sim T_{MAX}$ の数値です。

表2.

パラメータ	AD5390-5 AD5392-5 ¹	AD5391-5	単位	テスト条件／備考
精度				
分解能	14	12	ビット	
相対精度 (INL)	± 3	± 1	LSB (max)	
微分非直線性 (DNL)	$-1/+2$	± 1	LSB (max)	規定温度範囲で単調増加性を保証
ゼロスケール誤差	4	4	mV (max)	
オフセット誤差	± 4	± 4	mV (max)	直線領域のコード32で測定
オフセット誤差TC	± 5	± 5	$\mu V/^{\circ}C$ (typ)	
ゲイン誤差	± 0.024	± 0.024	% FSR (max)	25 $^{\circ}C$
	± 0.06	± 0.06	% FSR (max)	$T_{MIN}\sim T_{MAX}$ 時
ゲイン温度係数 ²	2	2	ppm FSR/ $^{\circ}C$ (typ)	
DCクロストーク	0.5	0.5	LSB (max)	
電圧リファレンス入出力				
電圧リファレンス入力				
リファレンス入力電圧	2.5	2.5	V	規定性能に対し $\pm 1\%$ 、 $AV_{DD}=2\times REFIN+50mV$
DC入力インピーダンス	1	1	M Ω (min)	100M Ω (typ)
入力電流	± 1	± 1	μA (max)	$\pm 30nA$ (typ)
リファレンス電圧範囲	$1V\sim AV_{DD}/2$	$1V\sim AV_{DD}/2$	V (min/max)	
リファレンス出力 ³				コントロール・レジスタの内部／外部ビット によってイネーブルに設定。コントロール・ レジスタのREF選択ビットでリファレンス電 圧を選択。
出力電圧	2.495/2.505	2.495/2.505	V (min/max)	2.5V動作に最適化された周囲条件
	1.22/1.28	1.22/1.28	V (min/max)	1.25Vのリファレンス選択時の周囲条件
リファレンスTC	± 10	± 10	ppm (max)	温度範囲： $+25\sim +85^{\circ}C$
	± 15	± 15	ppm (max)	温度範囲： $-40\sim +85^{\circ}C$
出力インピーダンス	2.2	2.2	k Ω (typ)	
出力特性				
出力電圧範囲 ⁴	$0/AV_{DD}$	$0/AV_{DD}$	V (min/max)	
短絡電流	40	40	mA (max)	
負荷電流	± 1	± 1	mA (max)	
容量性負荷安定性				
$R_L=\infty$	200	200	pF (max)	
$R_L=5k\Omega$	1,000	1,000	pF (max)	
DC出力インピーダンス	0.5	0.5	Ω (max)	
モニタ出力ピン				
出力インピーダンス	500	500	Ω (typ)	
スリーステート漏れ電流	100	100	nA (typ)	
ロジック入力				$DV_{DD}=2.7\sim 5.5V$
V_{IH} (入力ハイレベル電圧)	2	2	V (min)	
V_{IL} (入力ローレベル電圧)	0.8	0.8	V (max)	
入力電流	± 10	± 10	μA (max)	すべてのピンの合計値
ピン容量	10	10	pF (max)	$T_A=T_{MIN}\sim T_{MAX}$

AD5390/AD5391/AD5392

パラメータ	AD5390-5 AD5392-5 ¹	AD5391-5	単位	テスト条件／備考
ロジック入力 (SCL、SDAのみ)				
V _{IH} (入力ハイレベル電圧)	0.7 DV _{DD}	0.7 DV _{DD}	V (min)	DV _{DD} < 3.6V時にSMBus互換
V _{IL} (入力ローレベル電圧)	0.3 DV _{DD}	0.3 DV _{DD}	V (max)	DV _{DD} < 3.6V時にSMBus互換
I _{IN} (入力漏れ電流)	±1	±1	μA (max)	
V _{HYST} (入力ヒステリシス)	0.05 DV _{DD}	0.05 DV _{DD}	V (min)	
C _{IN} (入力容量)	8	8	pF (typ)	
グリッチ除去	50	50	ns (max)	入力フィルタリングが50nsよりも短いノイズ・スパイクを除去
ロジック出力 (BUSY、SDO)				
出力ローレベル電圧	0.4	0.4	V (max)	DV _{DD} =5V±10%、200μAの電流シンク
出力ハイレベル電圧	DV _{DD} −1	DV _{DD} −1	V (min)	DV _{DD} =5V±10%、SDOのみ、200μAの電流ソース
出力ローレベル電圧	0.4	0.4	V (max)	DV _{DD} =2.7~3.6V、200μAの電流シンク
出力ハイレベル電圧	DV _{DD} −0.5	DV _{DD} −0.5	V (min)	DV _{DD} =2.7~3.6V、SDOのみ、200μAの電流ソース
ハイ・インピーダンス漏れ電流	±1	±1	μA (max)	
ハイ・インピーダンス出力容量	5	5	pF (typ)	
ロジック出力 (SDA)				
V _{OL} 、出力ローレベル電圧	0.4	0.4	V (max)	I _{SINK} =3mA
	0.6	0.6	V (max)	I _{SINK} =6mA
スリーステート漏れ電流	±1	±1	μA (max)	
スリーステート出力容量	8	8	pF (typ)	
電源条件				
AV _{DD}	4.5/5.5	4.5/5.5	V (min/max)	
DV _{DD}	2.7/5.5	2.7/5.5	V (min/max)	
電源電圧変動感度				
Δミッドスケール／ΔAV _{DD}	−85	−85	dB (typ)	
AI _{DD}	0.375	0.375	mA／チャンネル (max)	出力無負荷、プースト・オフ時、0.25mA／チャンネル (typ)
AI _{DD}	0.475	0.475	mA／チャンネル (max)	出力無負荷、プースト・オン時、0.325mA／チャンネル (typ)
DI _{DD}	1	1	mA (max)	V _{IH} =DV _{DD} 、V _{IL} =DGND
AI _{DD} (パワーダウン)	1	1	μA (max)	200nA (typ)
DI _{DD} (パワーダウン)	20	20	μA (max)	3μA (typ)
消費電力	35	35	mW (max)	AD5390/AD5391: 出力無負荷、AV _{DD} =DV _{DD} =5V、プースト・オフ時
	20	20	mW (max)	AD5392: 出力無負荷、AV _{DD} =DV _{DD} =5V、プースト・オフ時

¹ AD539x-5シリーズは、2.5Vのリファレンスで校正されています。全バージョンの温度範囲は、−40~+85℃です。

² 特性評価により保証。出荷テストは実施していません。

³ AD539xのコントロール・レジスタを使用し、1.25V (typ)または2.5V (typ)に設定できます。1.25VのリファレンスでAD539x-5シリーズを動作させると、精度の低下を招きます。

⁴ 精度はV_{OUT}=10mV~AV_{DD}−50mVで保証されています。

AD5390/AD5391/AD5392

AD5390-5/AD5391-5/AD5392-5のAC特性

$AV_{DD}=4.5\sim 5.5V$ 、 $DV_{DD}=2.7\sim 5.5V$ 、 $AGND=DGND=0V$

表3. AD5390-5/AD5391-5/AD5392-5のAC特性¹

パラメータ	全製品	単位	テスト条件／備考
動的性能			
出力電圧セトリング時間			
AD5390/AD5392	8	μs (typ)	1/4スケールから3/4スケールに変化するときの±1LSB以内へのセトリング
	10	μs (max)	
AD5391	6	μs (typ)	1/4スケールから3/4スケールに変化するときの±1LSB以内へのセトリング
	8	μs (max)	
スルーレート ²	3	$V/\mu s$ (typ)	ブースト・モード・オン時
	2	$V/\mu s$ (typ)	ブースト・モード・オフ時
D/Aグリッチ・エネルギー	12	nV-s (typ)	
グリッチ・インパルスのピーク振幅	15	mV (typ)	
チャンネル間アイソレーション	100	dB (typ)	「用語の説明」を参照
DAC間クロストーク	1	nV-s (typ)	「用語の説明」を参照
デジタル・クロストーク	0.8	nV-s (typ)	
デジタル・フィードスルー	0.1	nV-s (typ)	テスト対象のDAC出力に対する入力バス動作の影響度
出力ノイズ (0.1~10Hz)	15	μV_{p-p} (typ)	外部リファレンスのミッドスケールをDACにロード
	40	μV_{p-p} (typ)	内部リファレンスのミッドスケールをDACにロード
出力ノイズ・スペクトル密度			
@ 1kHz	150	$nV/\sqrt{Hz}$ (typ)	
@ 10kHz	100	$nV/\sqrt{Hz}$ (typ)	

¹ 特性評価により保証。出荷テストは実施していません。

² DACコントロール・レジスタの電流ブースト・コントロール・ビットでスルーレートを調整できます。

AD5390/AD5391/AD5392

AD5390-3/AD5391-3/AD5392-3の仕様

$AV_{DD}=2.7\sim 3.6V$ 、 $DV_{DD}=2.7\sim 5.5V$ 、 $AGND=DGND=0V$ 、 $REFIN$ =外部1.25V。特に指定のない限り、仕様はすべて $T_{MIN}\sim T_{MAX}$ の数値です。

表4.

パラメータ	AD5390-3 ¹ AD5392-3	AD5391-3	単位	テスト条件／備考
精度				
分解能	14	12	ビット	
相対精度 (INL)	± 4	± 1	LSB (max)	
微分非直線性 (DNL)	$-1/+2$	± 1	LSB (max)	規定温度範囲で単調増加性を保証
ゼロスケール誤差	4	4	mV (max)	
オフセット誤差	± 4	± 4	mV (max)	直線領域のコード64で測定
オフセット誤差TC	± 5	± 5	$\mu V/^{\circ}C$ (typ)	
ゲイン誤差	± 0.024	± 0.024	% FSR (max)	25 $^{\circ}C$ 時
	± 0.1	± 0.1	% FSR (max)	$T_{MIN}\sim T_{MAX}$ 時
ゲイン温度係数	2	2	ppm FSR/ $^{\circ}C$ (typ)	
DCクロストーク	0.5	0.5	mV (max)	
リファレンス入出力				
リファレンス入力 ²				
リファレンス入力電圧	1.25	1.25	V	規定性能に対し $\pm 1\%$
DC入力インピーダンス	1	1	M Ω (min)	100M Ω (typ)
入力電流	± 1	± 1	μA (max)	$\pm 30nA$ (typ)
リファレンス電圧範囲	1V $\sim AV_{DD}/2$	1V $\sim AV_{DD}/2$	V (min/max)	
リファレンス出力 ³				コントロール・レジスタの内部／外部ビットによってイネーブルに設定。コントロール・レジスタのREF選択ビットでリファレンス電圧を選択。
出力電圧	1.245/1.255 2.47/2.53	1.245/1.255 2.47/2.53	V (min/max) V (min/max)	1.25V動作に最適化された周囲条件 2.5Vの電圧リファレンス選択時の周囲条件
リファレンスTC	± 10 ± 15	± 10 ± 15	ppm (max) ppm (max)	温度範囲: +25 $\sim$ +85 $^{\circ}C$ 温度範囲: -40 $\sim$ +85 $^{\circ}C$
出力インピーダンス	2.2	2.2	k Ω (typ)	
出力特性				
出力電圧範囲 ⁴	0/ AV_{DD}	0/ AV_{DD}	V (min/max)	
短絡電流	40	40	mA (max)	
負荷電流	± 1	± 1	mA (max)	
容量性負荷安定性				
$R_L=\infty$	200	200	pF (max)	
$R_L=5k\Omega$	1000	1000	pF (max)	
DC出力インピーダンス	0.5	0.5	Ω (max)	
モニタ出力ピン				
出力インピーダンス	500	500	Ω (typ)	
スリーステート漏れ電流	100	100	nA (typ)	
ロジック入力				$DV_{DD}=2.7\sim 5.5V$
V_{IH} (入力ハイレベル電圧)	2	2	V (min)	
V_{IL} (入力ローレベル電圧)	0.8	0.8	V (max)	
入力電流	± 10	± 10	μA (max)	すべてのピンの合計値。 $T_A=T_{MIN}\sim T_{MAX}$
ピン容量	10	10	pF (max)	
ロジック入力 (SCL、SDAのみ)				
V_{IH} (入力ハイレベル電圧)	0.7 DV_{DD}	0.7 DV_{DD}	V (min)	$DV_{DD} < 3.6V$ 時にSMBus互換
V_{IL} (入力ローレベル電圧)	0.3 DV_{DD}	0.3 DV_{DD}	V (max)	$DV_{DD} < 3.6V$ 時にSMBus互換
I_{IN} (入力漏れ電流)	± 1	± 1	μA (max)	
V_{HYST} (入力ヒステリシス)	0.05 DV_{DD}	0.05 DV_{DD}	V (min)	

AD5390/AD5391/AD5392

パラメータ	AD5390-3 ¹ AD5392-3	AD5391-3	単位	テスト条件／備考
グリッチ除去	50	50	ns (max)	入力フィルタリングが50nsよりも短いノイズ・スパイクを除去
ロジック出力 ($\overline{\text{BUSY}}$ 、SDO)				
出力ローレベル電圧	0.4	0.4	V (max)	DV _{DD} =2.7~5.5V、200 μ Aの電流シンク
出力ハイレベル電圧	DV _{DD} -0.5	DV _{DD} -0.5	V (min)	DV _{DD} =2.7~3.6V、SDOのみ、200 μ Aの電流ソース
	DV _{DD} -0.1	DV _{DD} -0.1	V (min)	DV _{DD} =4.5~5.5V、SDOのみ、200 μ Aの電流ソース
ハイ・インピーダンス漏れ電流	± 1	± 1	μ A (max)	
ハイ・インピーダンス出力容量	5	5	pF (typ)	
ロジック出力 (SDA)				
V _{OL} (出力ローレベル電圧)	0.4	0.4	V (max)	I _{SINK} =3mA
	0.6	0.6	V (max)	I _{SINK} =6mA
スリーステート漏れ電流	± 1	± 1	μ A (max)	
スリーステート出力容量	8	8	pF (typ)	
電源条件				
AV _{DD}	2.7/3.6	2.7/3.6	V (min/max)	
DV _{DD}	2.7/5.5	2.7/5.5	V (min/max)	
電源電圧変動感度 Δ ミッドスケール / Δ AV _{DD}	-85	-85	dB (typ)	
AI _{DD}	0.375	0.375	mA / チャンネル (max)	出力無負荷、プースト・オフ時、0.25mA / チャンネル (typ)
AI _{DD}	0.475	0.475	mA / チャンネル (max)	出力無負荷、プースト・オン時、0.325mA / チャンネル (typ)
DI _{DD}	1	1	mA (max)	V _{IH} =DV _{DD} 、V _{IL} =DGND
AI _{DD} (パワーダウン)	1	1	μ A (max)	
DI _{DD} (パワーダウン)	20	20	μ A (max)	
消費電力	21	21	mW (max)	AD5390/AD5391: 出力無負荷、AV _{DD} =DV _{DD} =3V、プースト・オフ時
	12	12	mW (max)	AD5392: 出力無負荷、AV _{DD} =DV _{DD} =3V、プースト・オフ時

¹ AD539x-3シリーズは、1.25Vのリファレンスで校正されています。全バージョンの温度範囲は、-40~+85℃です。

² 特性評価により保証。出荷テストは実施していません。

³ AD539xのコントロール・レジスタを使用し、1.25V (typ) または2.5V (typ) に設定できます。2.5VのリファレンスでAD539x-3シリーズを動作させると、精度の低下を招きます。

⁴ 精度はV_{OUT}=39mV~AV_{DD}-50mVで保証されています。

AD5390-3/AD5391-3/AD5392-3のAC特性

$A_{VDD}=2.7\sim 3.6V$ 、 $DV_{DD}=2.7\sim 5.5V$ 、 $AGND=DGND=0V$ 、 $C_L=200pF$ を $AGND$ 間に接続。

表5. AD5390-3/AD5391-3/AD5392-3のAC特性¹

パラメータ	全製品	単位	テスト条件／備考
動的性能			
出力電圧セトリング時間			
AD5390/AD5392	8	μs (typ)	1/4スケールから3/4スケールに変化したときの $\pm 1LSB$ 以内へのセトリング
AD5391	10	μs (max)	
	6	μs (typ)	1/4スケールから3/4スケールに変化したときの $\pm 1LSB$ 以内へのセトリング
	8	μs (max)	
スルーレート ²	3	$V/\mu s$ (typ)	ブースト・モード・オン時
	2	$V/\mu s$ (typ)	ブースト・モード・オフ時
D/Aグリッチ・エネルギー	12	nV-s (typ)	
グリッチ・インパルスのピーク振幅	15	mV (typ)	
チャンネル間アイソレーション	100	dB (typ)	「用語の説明」を参照
DAC間クロストーク	1	nV-s (typ)	「用語の説明」を参照
デジタル・クロストーク	0.8	nV-s (typ)	
デジタル・フィードスルー	0.1	nV-s (typ)	テスト対象のDAC出力に対する入力バス動作の影響度
出力ノイズ (0.1~10Hz)	15	μV p-p (typ)	外部リファレンスのミッドスケールをDACにロード
	40	μV p-p (typ)	内部リファレンスのミッドスケールをDACにロード
出力ノイズ・スペクトル密度			
@ 1kHz	150	$nV/\sqrt{Hz}$ (typ)	
@ 10kHz	100	$nV/\sqrt{Hz}$ (typ)	

¹ 特性評価により保証。出荷テストは実施していません。

² スルーレートは、AD539xのコントロール・レジスタの電流ブースト・コントロール・ビットで設定できます。

AD5390/AD5391/AD5392

タイミング特性: SPI、QSPI、MICROWIRE、およびDSP互換のシリアル・ インターフェース

DV_{DD}=2~5.5V、AV_{DD}=2.7~5.5V、AGND=DGND=0V。特に指定のない限り、仕様はすべてT_{MIN}~T_{MAX}の数値です。

表6. 3線式シリアル・インターフェース¹

パラメータ ^{2, 3}	T _{MIN} 、T _{MAX} 時の制限値	単位	説明
t ₁	33	ns (min)	SCLKサイクル時間
t ₂	13	ns (min)	SCLKハイレベル時間
t ₃	13	ns (min)	SCLKローレベル時間
t ₄	13	ns (min)	$\overline{\text{SYNC}}$ の立下がりエッジからSCLKの立下がりエッジまでのセットアップ時間
t ₅ ⁴	13	ns (min)	SCLKの24番目の立下がりエッジから $\overline{\text{SYNC}}$ の立下がりエッジまでの時間
t ₆	33	ns (min)	$\overline{\text{SYNC}}$ のローレベル最小時間
t ₇	10	ns (min)	$\overline{\text{SYNC}}$ のハイレベル最小時間
t _{7A}	50	ns (min)	リードバック・モード時の $\overline{\text{SYNC}}$ のハイレベル最小時間
t ₈	5	ns (min)	データ・セットアップ時間
t ₉	4.5	ns (min)	データ・ホールド時間
t ₁₀	30	ns (max)	SCLKの24番目の立下がりエッジから $\overline{\text{BUSY}}$ の立下がりエッジまでの時間
t ₁₁	670	ns (max)	$\overline{\text{BUSY}}$ のローレベル・パルス幅(シングル・チャンネルの更新)
t ₁₂	20	ns (min)	SCLKの24番目の立下がりエッジから $\overline{\text{LDAC}}$ の立下がりエッジまでの時間
t ₁₃	20	ns (min)	$\overline{\text{LDAC}}$ のローレベル・パルス幅
t ₁₄	100	ns (max)	$\overline{\text{BUSY}}$ の立上がりエッジからDAC出力までの応答時間
t ₁₅	0	ns (min)	$\overline{\text{BUSY}}$ の立上がりエッジから $\overline{\text{LDAC}}$ の立下がりエッジまでの時間
t ₁₆	100	ns (min)	$\overline{\text{LDAC}}$ の立下がりエッジからDAC出力までの応答時間
t ₁₇	8	μs (typ)	AD5390/AD5392のDAC出力セトリング時間
t ₁₇	6	μs (typ)	AD5391のDAC出力セトリング時間
t ₁₈	20	ns (min)	$\overline{\text{CLR}}$ のローレベル・パルス幅
t ₁₉	12	μs (max)	$\overline{\text{CLR}}$ パルス・アクティブ時間
t ₂₀ ⁵	20	ns (max)	SCLKの立上がりエッジからSDO有効までの時間
t ₂₁ ⁴	5	ns (min)	SCLKの立下がりエッジから $\overline{\text{SYNC}}$ の立上がりエッジまでの時間
t ₂₂ ⁴	8	ns (min)	$\overline{\text{SYNC}}$ の立上がりエッジからSCLKの立上がりエッジまでの時間
t ₂₃ ⁴	20	ns (min)	$\overline{\text{SYNC}}$ の立上がりエッジから $\overline{\text{LDAC}}$ の立下がりエッジまでの時間

¹ 設計および特性評価により保証。出荷テストは実施していません。

² 入力信号はすべてtr=tf=5ns (V_{CC}の10~90%)で規定し、1.2Vの電圧レベルからタイミングを計測しています。

³ 図2、図3、図4、図5を参照。

⁴ スタンドアロン・モードのみ。

⁵ デイジーチェーン・モードのみ。

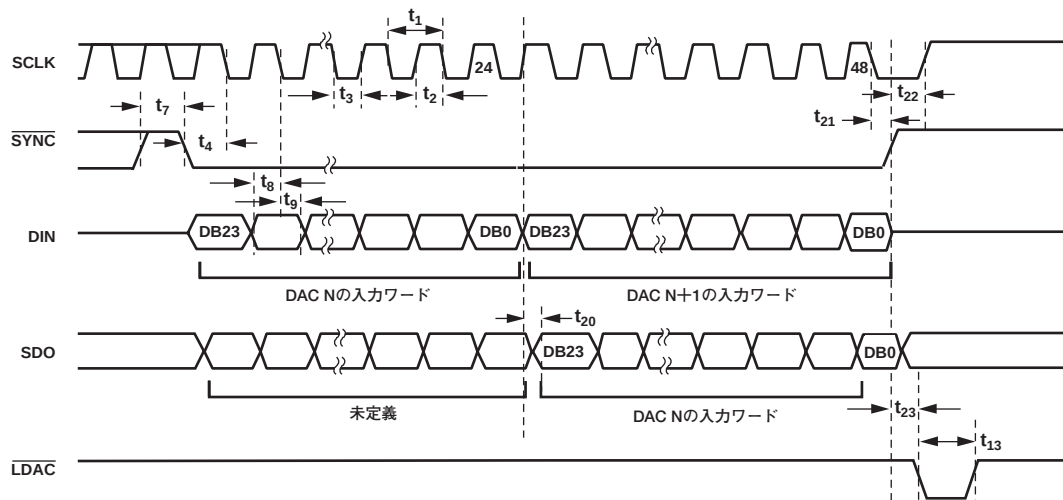
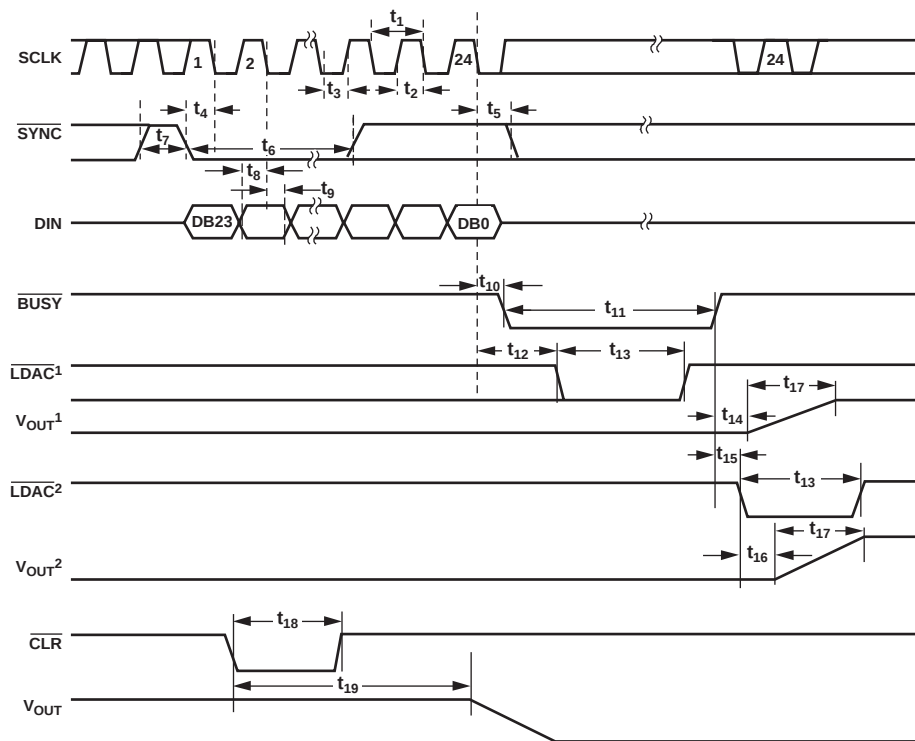


図2. シリアル・インターフェースのタイミング図(デジチェーン・モード)



1. $\overline{\text{BUSY}}$ サイクルの間、 $\overline{\text{LDAC}}$ はアクティブ。
2. $\overline{\text{BUSY}}$ サイクルの間、 $\overline{\text{LDAC}}$ はアクティブ。

図3. シリアル・インターフェースのタイミング図(スタンドアロン・モード)

AD5390/AD5391/AD5392

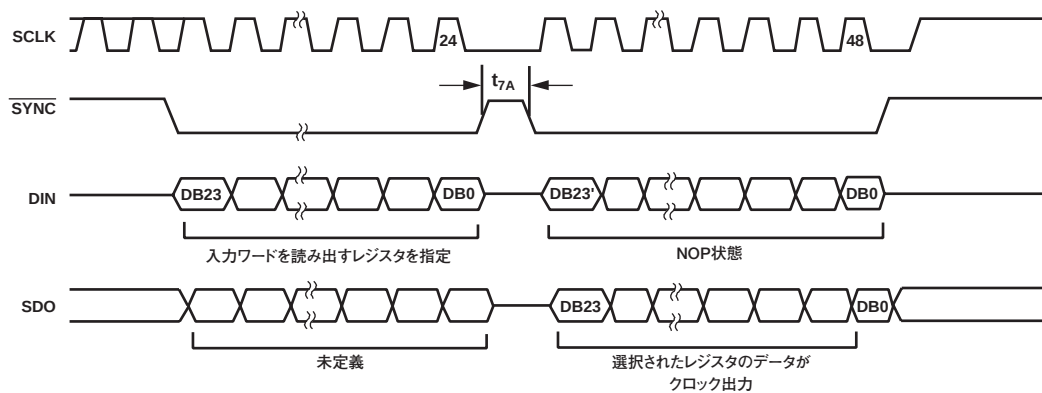


図4. シリアル・インターフェースのタイミング図(データ・リードバック・モード)

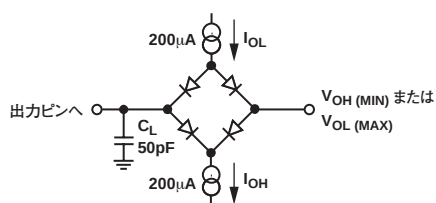


図5. デジタル出力タイミング測定用の負荷回路

タイミング特性: I²Cシリアル・インターフェース

設計および特性評価により保証。出荷テストは実施していません。DV_{DD}=2.7~5.5V、AV_{DD}=2.7~5.5V、AGND=DGND=0V。特に指定のない限り、仕様はすべてT_{MIN}~T_{MAX}の数値です。

表7.

パラメータ ¹	T _{MIN} 、T _{MAX} 時の限界値	単位	説明
F _{SCL}	400	kHz (max)	SCLクロック周波数
t ₁	2.5	μs (min)	SCLサイクル時間
t ₂	0.6	μs (min)	t _{HIGH} 、SCLハイレベル時間
t ₃	1.3	μs (min)	t _{LOW} 、SCLローレベル時間
t ₄	0.6	μs (min)	t _{HD} 、STA、START／繰返しSTART条件ホールド時間
t ₅	100	ns (min)	t _{SU} 、DAT、データ・セットアップ時間
t ₆ ²	0.9	μs (max)	t _{HD} 、DAT、データ・ホールド時間
	0	μs (min)	t _{HD} 、DAT、データ・ホールド時間
t ₇	0.6	μs (min)	t _{SU} 、STA、繰返しSTARTセットアップ時間
t ₈	0.6	μs (min)	t _{SU} 、STO、STOP条件セットアップ時間
t ₉	1.3	μs (min)	t _{BUF} 、STOP状態からSTART状態までのバス解放時間
t ₁₀	300	ns (max)	t _F 、送信時のSDAの立下がり時間
	0	ns (min)	t _R 、受信時のSCLとSDAの立上がり時間 (CMOS互換)
t ₁₁	300	ns (max)	t _F 、送信時のSDAの立下がり時間
	0	ns (min)	t _F 、受信時のSDAの立下がり時間 (CMOS互換)
	300	ns (max)	t _F 、受信時のSCLとSDAの立下がり時間
	20+0.1 C _B	ns (min)	t _F 、送信時のSCLとSDAの立下がり時間
C _B ³	400	pF (max)	各バス・ラインの容量性負荷

¹ 図6を参照。

² SCLの立下がりエッジの未定義領域を埋めるため、マスター・デバイスはSDA信号に対して最低300nsのホールド時間を維持する必要があります (SCL信号のV_{IH} (min)を基準とする)。

³ C_Bは1つのバス・ラインのトータル容量 (pF単位) であり、t_Rとt_Fは0.3DV_{DD}から0.7DV_{DD}までで計測した時間です。

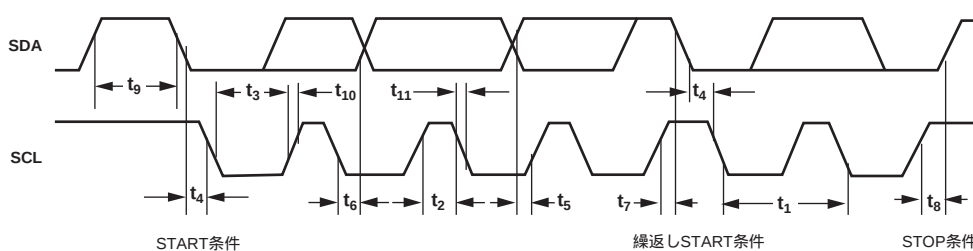


図6. I²Cインターフェースのタイミング図

03773-0-007

AD5390/AD5391/AD5392

絶対最大定格

最大100mAまでの過渡電流ではSCRのラッチアップは発生しません。特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表8.

パラメータ	定格値
AGNDに対する A_{VDD}	$-0.3 \sim +7\text{V}$
DGNDに対する D_{VDD}	$-0.3 \sim +7\text{V}$
DGNDに対するデジタル入力	$-0.3\text{V} \sim D_{VDD} + 0.3\text{V}$
DGNDに対するデジタル出力	$-0.3\text{V} \sim D_{VDD} + 0.3\text{V}$
AGNDに対するVREF	$-0.3 \sim +7\text{V}$
AGNDに対するREFOUT	$-0.3 \sim +7\text{V}$
DGNDに対するAGND	$-0.3 \sim +0.3\text{V}$
AGNDに対するVOUTX	$-0.3\text{V} \sim A_{VDD} + 0.3\text{V}$
動作温度範囲	
商用 (Bバージョン)	$-40 \sim +85^{\circ}\text{C}$
保存温度範囲	$-65 \sim +150^{\circ}\text{C}$
ジャンクション温度 (T_J (max))	150°C
θ_{JA} 、64ピンLFCSPパッケージ	22°C/W
θ_{JA} 、52ピンLQFPパッケージ	38°C/W
リフロー・ハンダ付けのピーク温度	230°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明

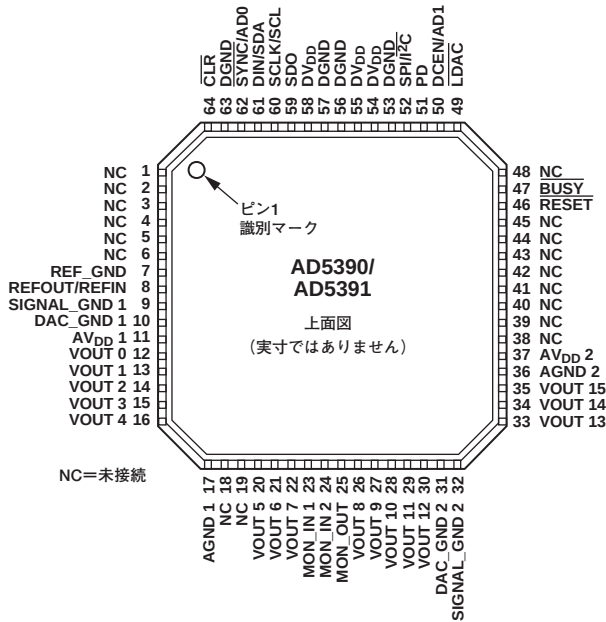


図7. AD5390/AD5391 LFCSPのピン配置

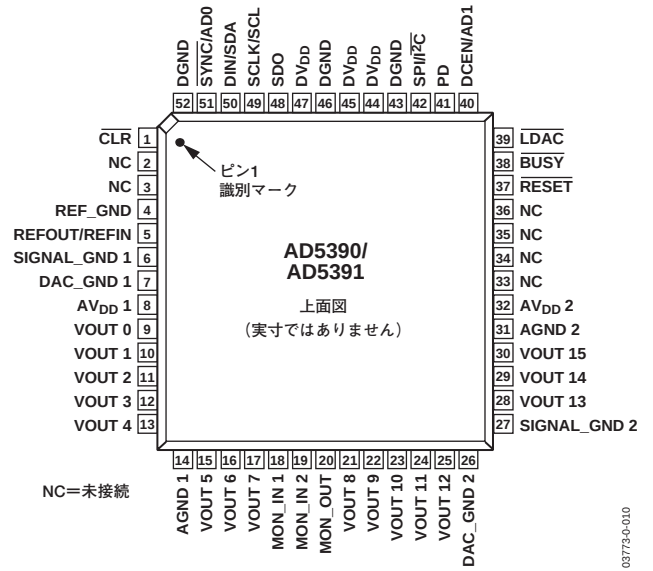


図9. AD5390/AD5391 LQFPのピン配置

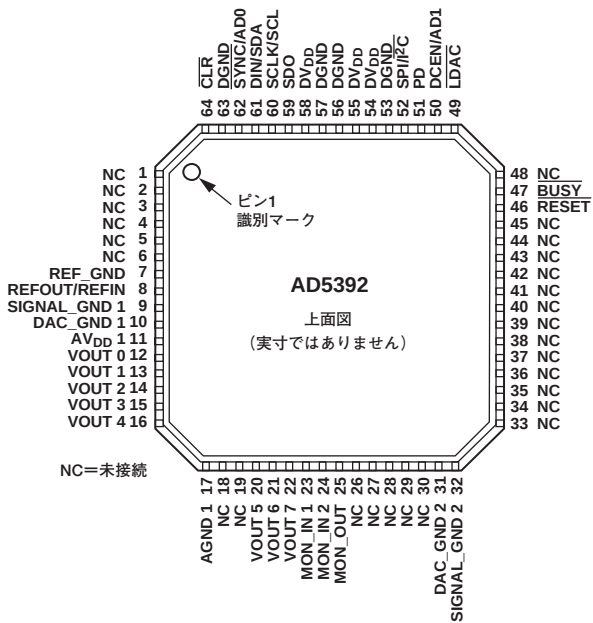


図8. AD5392 LFCSPのピン配置

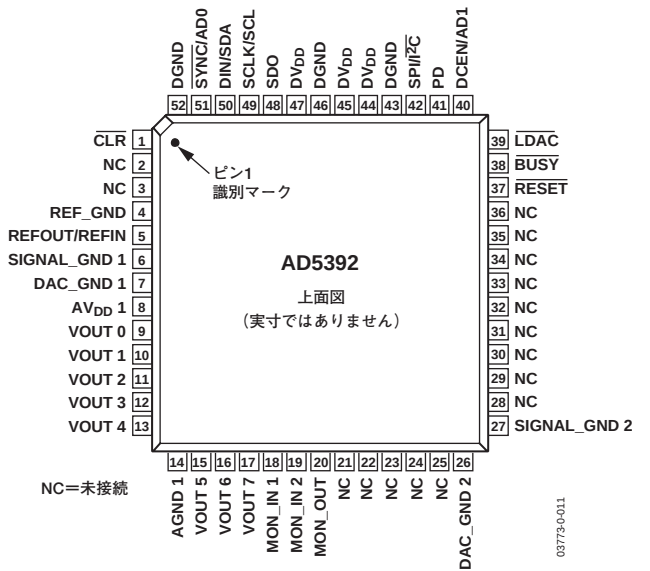


図10. AD5392 LQFPのピン配置

AD5390/AD5391/AD5392

表9. ピン機能の説明

名称	機能
VOUTX	チャンネルXのバッファされたアナログ出力です。各アナログ出力は、ゲイン2で動作するレールtoレール出力アンプによって駆動されます。各出力は、5kΩの負荷(グラウンド間)を駆動する能力を備えています。出力インピーダンスは0.5Ω (typ)です。
SIGNAL_GND (1,2)	各8チャンネルの出力グループのアナログ・グラウンド基準ポイントです。すべてのSIGNAL_GNDピンは内部で相互接続されます。ピンは可能な限りAD539xに近接した個所でAGNDプレーンに接続してください。
DAC_GND (1,2)	各8チャンネルの出力グループは、それぞれ1本のDAC_GNDピンを備えています。これは、内部14ビットDACのグラウンド基準ポイントです。このピンはAGNDプレーンに接続してください。
AGND (1,2)	アナログ・グラウンド基準ポイント。各8チャンネルの出力グループは、それぞれ1本のAGNDピンを備えています。すべてのAGNDピンをAGNDプレーンに外部接続してください。
AV _{DD} (1,2)	アナログ電源。各8チャンネルの出力グループは、それぞれ1本のAV _{DD} ピンを備えています。このピンは0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサを外付けしてデカップリングする必要があります。動作電圧範囲は5V±10%です。
DGND	すべてのデジタル回路用のグラウンドです。
DV _{DD}	ロジック電源。保証される動作電圧範囲は、2.7~5.5Vです。このピンは0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサをDGNDとの間に接続して、デカップリングすることを推奨します。
REF_GND	内部リファレンス用のグラウンド基準ポイントです。AGNDに接続してください。
REFOUT/REFIN	AD539xは1本のREFOUT/REFINコモン・ピンを備えています。内部リファレンスを選択すると、このピンはリファレンス出力となります。外部リファレンスを使用するアプリケーションでは、外部リファレンスをこのピンに加え、内部リファレンスはコントロール・レジスタでディスエーブルにします。このピンのデフォルト設定は、リファレンス入力です。
MON_OUT	アナログ出力ピン。AD5390/AD5391でモニタ機能をイネーブルにすると、MON_OUTは16:1チャンネル・マルチプレクサの出力として動作し、任意のチャンネル出力をMON_OUTピンにマルチプレクスするように設定できます。AD5392でモニタ機能をイネーブルにすると、MON_OUTは8:1チャンネル・マルチプレクサの出力として動作し、任意のチャンネル出力をMON_OUTピンにマルチプレクスするように設定できます。MON_OUTピンの出力インピーダンスは500Ω (typ)で、逐次比較型A/Dコンバータ(SAR ADC)の入力で見られるような高い入力インピーダンスを駆動するようになっています。
MON_IN (1,2)	モニタ入力ピン。AD539xには、モニタリング用の入力信号(デバイスの最大定格範囲内)を接続するために、2本のモニタ入力ピンが用意されています。MON_INピンに入力される任意の信号は出力チャンネルの信号と同様、ソフトウェアによってMON_OUTピンに切り替えることが可能です。たとえば、外部ADCを使用し、この信号をモニタできます。
$\overline{\text{SYNC}}$ /AD0	シリアル・インターフェース・ピン。これは、シリアル・インターフェース用のフレーム同期入力信号です。ローレベルに設定すると、アドレス指定されたレジスタが更新される前に必要なクロック数をカウントするように、内部カウンタがイネーブルとなります。I ² Cモード時には、AD0はハードウェア・アドレス・ピンとして動作します。
DCEN/AD1	インターフェース・コントロール・ピン。インターフェース選択ビットSPI/ $\overline{\text{TC}}$ によって、動作の内容が決定されます。シリアル・インターフェース・モード: デイジーチェーン選択入力(レベル・センシティブ、アクティブ・ハイレベル)。ハイレベルのとき、このピンはデイジーチェーン動作をイネーブルに設定し、複数のデバイスをカスケード接続できます。I ² Cモード: このピンはAD0と併用するとハードウェア・アドレス・ピンとして動作し、I ² Cバス上の本デバイスのソフトウェア・アドレスを決定します。
SDO	シリアル・データ出力。CMOSスリーステート出力です。複数のデバイスのデイジーチェーン接続にSDOを使用できます。データはSCLKの立上がりエッジでSDOからクロック出力され、SCLKの立下がりエッジで有効になります。
$\overline{\text{BUSY}}$	デジタルCMOS出力。DACデータ・レジスタにロードされたデータ(x2)の内部計算の実行中は $\overline{\text{BUSY}}$ がローレベルになります。この間に、さらにx1、c、mの各レジスタ(FIFOで格納)に新しいデータを書き込む動作を継続できますが、DACレジスタの更新とDAC出力はできません。 $\overline{\text{BUSY}}$ がローレベルのときに $\overline{\text{LDAC}}$ がローレベルになれば、このイベントが保存されます。パワーオン・リセット時、および $\overline{\text{RESET}}$ ピンがローレベルのときにも同様に、 $\overline{\text{BUSY}}$ はローレベルになります。この間はインターフェースがディスエーブルになり、 $\overline{\text{LDAC}}$ 上のイベントはすべて無視されます。CLR動作のときにも、 $\overline{\text{BUSY}}$ はローレベルになります。
$\overline{\text{LDAC}}$	DACにロジック入力をロード(アクティブ・ローレベル)。 $\overline{\text{BUSY}}$ が非アクティブ(ハイレベル)のときに $\overline{\text{LDAC}}$ をローレベルにすると、入力レジスタのデータ内容がDACレジスタに転送され、DAC出力が更新されます。 $\overline{\text{BUSY}}$ がアクティブで、しかも内部計算を実行中に、 $\overline{\text{LDAC}}$ をローレベルに設定すると、 $\overline{\text{LDAC}}$ 上のイベントが保存され、DACレジスタは $\overline{\text{BUSY}}$ が非アクティブになるときに更新されます。ただし、パワーオン・リセット時または $\overline{\text{RESET}}$ ピンがローレベルのときには、 $\overline{\text{LDAC}}$ 上のイベントはすべて無視されます。
$\overline{\text{CLR}}$	非同期クリア入力。 $\overline{\text{CLR}}$ 入力は、立下がりエッジでアクティブになります。 $\overline{\text{CLR}}$ がローレベルのとき、すべての $\overline{\text{LDAC}}$ パルスが無視されます。 $\overline{\text{CLR}}$ がアクティブ時には、すべてのチャンネルが $\overline{\text{CLR}}$ コード・レジスタに格納されたデータで更新されます。 $\overline{\text{CLR}}$ コードですべてのチャンネルが更新されているときは、 $\overline{\text{BUSY}}$ は20μs (AD5390/AD5391) および15μs (AD5392)の間、ローレベルになります。
$\overline{\text{RESET}}$	非同期のデジタル・リセット入力(立下がりエッジでアクティブ)。このピンの機能は、パワーオン・リセット発生器の機能と同じです。このピンをローレベルにすると、ステート・マシンのリセット・シーケンスを開始し、x1、m、c、x2の各レジスタをパワーオン時のデフォルト値にデジタル・リセットします。このシーケンスの最大所要時間は270μsです。 $\overline{\text{RESET}}$ の立下がりエッジでリセット・プロセスが開始され、その間、 $\overline{\text{BUSY}}$ はローレベルになり、 $\overline{\text{RESET}}$ が完了した時点でハイレベルに戻ります。 $\overline{\text{BUSY}}$ がローレベルの間は、すべてのインターフェースがディスエーブルになり、 $\overline{\text{LDAC}}$ パルスがすべて無視されます。 $\overline{\text{BUSY}}$ がハイレベルに戻ると、デバイスが通常の動作を再開し、次の立下がりエッジが検出されるまで $\overline{\text{RESET}}$ ピンのステータスが無視されます。

AD5390/AD5391/AD5392

名称	機能
PD	パワーダウン (レベル・センシティブ、アクティブ・ハイ)。アナログ消費電流を $1\mu\text{A}$ に、デジタル消費電流を $20\mu\text{A}$ に低減する低消費電力モードにデバイスを設定します。パワーダウン・モード時には、すべての内部アナログ回路が低消費電力モードに入ります。アナログ出力はパワーダウン・モードの設定方法に応じて、ハイ・インピーダンス出力として構成されるか、または $100\text{k}\Omega$ の負荷をグラウンドに供給します。パワーダウン時、シリアル・インターフェースはアクティブの状態に維持されます。
SPI/ $\overline{\text{I}^2\text{C}}$	インターフェース選択入力ピン。この入力がローレベルのとき、 I^2C モードが選択されます。この入力が高レベルのときは、SPIモードが選択されます。
SCLK/SCL	インターフェース用のクロック入力ピン。SPI互換のシリアル・インターフェース・モード時には、このピンはシリアル・クロック入力として動作し、最大 50MHz までのクロック速度で動作します。 I^2C モード: I^2C モード時には、このピンはSCL機能を実行し、データをデバイスにクロック入力します。 I^2C モード時のデータ転送速度は、 100kHz と 400kHz の両方の動作モードに対応しています。
DIN/SDA	インターフェース用のデータ入力ピン。 SPI/ $\overline{\text{I}^2\text{C}}=1$: このピンはシリアル・データ入力として動作します。データはSCLKの立下がりエッジで有効になる必要があります。 SPI/ $\overline{\text{I}^2\text{C}}=0$ 、 I^2C モード: I^2C モード時には、このピンはオープン・ドレイン入出力として動作するシリアル・データ・ピン (SDA) となります。

AD5390/AD5391/AD5392

用語の説明

相対精度 (INL)

相対精度またはエンドポイント直線性は、DACの伝達関数のエンドポイントを通る直線からの最大偏差の測定値です。ゼロスケール誤差とフルスケール誤差を調整した後で測定し、最下位ビット (LSB) 単位で表します。

微分非直線性 (DNL)

微分非直線性は、隣接する任意の2つのコード間の1LSB変化の理想値と実際の測定値との差です。最大1LSBに規定された微分非直線性が単調増加性を保証します。

ゼロスケール誤差

ゼロスケール誤差は、DACレジスタにオール0がロードされたときのDAC出力電圧の誤差です。理想的には、オール0がDACにロードされ、 $m = \text{オール}1$ 、 $c = 2^{n-1}$ のとき、 $V_{OUT}(\text{Zero Scale}) = 0V$ となります。

ゼロスケール誤差は、理想的な V_{OUT} 値と実際の V_{OUT} 値の差を mV 単位で表した測定値です。この誤差は主に、出力アンプのオフセットに起因して発生します。

オフセット誤差

オフセット誤差は、伝達関数の直線領域における理想的な V_{OUT} 値と実際の V_{OUT} 値の差を mV 単位で表した測定値です。オフセット誤差は、AD539x-5ではコード32をDACレジスタにロードし、またAD539x-3ではコード64をDACレジスタにロードして測定します。

ゲイン誤差

ゲイン誤差は、 $V_{OUT} = 10mV$ から $V_{OUT} = AV_{DD} - 50mV$ までの出力範囲の直線領域で規定されます。これは理想的なDAC伝達特性からの傾き偏差であり、DAC出力の無負荷時のフルスケール値の%で表します。

DCクロストーク

フルスケール・コード (オール0からオール1への遷移またはこの逆の遷移) および他のすべてのDACの出力変化に応答して、ミッドスケール時に1つのDACで起こる出力レベルのDC変動です。これはLSBの単位で表します。

DC出力インピーダンス

有効出力抵抗値です。パッケージ・ピンの抵抗値が主たる要素です。

出力電圧セトリング時間

1/4フルスケールから3/4フルスケールへの入力変動に対してDACの出力が規定のレベルにセトリングするまでの所要時間です。 $\overline{BUSY}$ の立上がりエッジから測定します。

D/A グリッチ・エネルギー

これは、大部分のコードが同時に遷移するときにアナログ出力に注入されるエネルギー量です。グリッチの面積として $nV \cdot s$ の単位で表します。DACレジスタのデータを0x1FFFと0x2000の間でトグルすることで測定します。

DAC間クロストーク

DAC間クロストークとは、1つのDACのデジタル・コード変化とその後に続くアナログ出力変化によって、別のDACの出力に現れるグリッチ・インパルスと定義されます。グリッチ・インパルスの影響を受けるチャンネルにミッドスケールをロードして測定し、 $nV \cdot s$ の単位で表します。

デジタル・クロストーク

デジタル・クロストークとは、1つのコンバータのDACレジスタで発生するコード変化によって、別のDACの出力に現れるグリッチ・インパルスと定義されます。 $nV \cdot s$ の単位で表します。

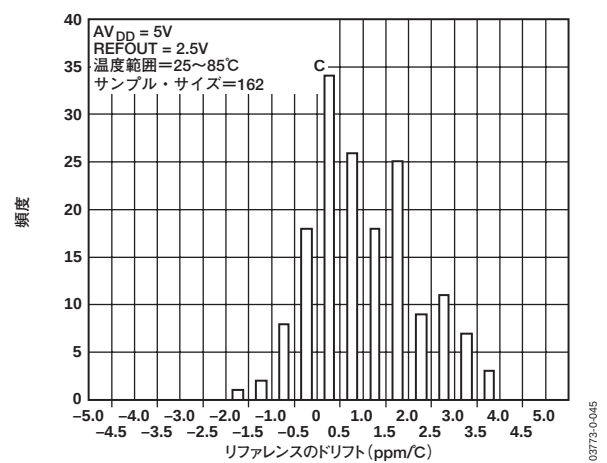
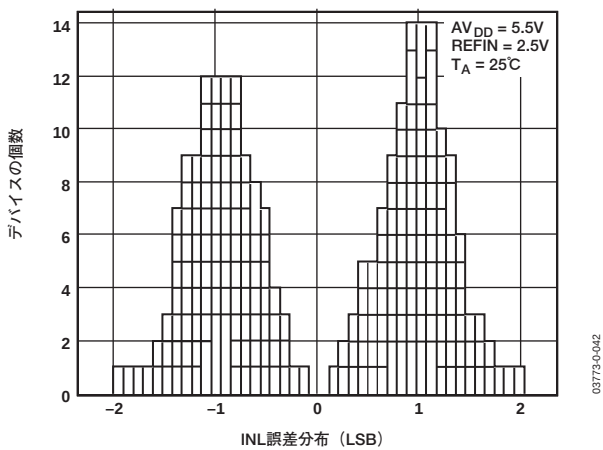
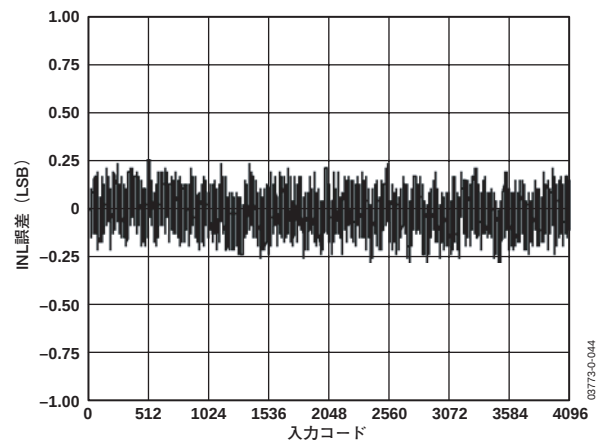
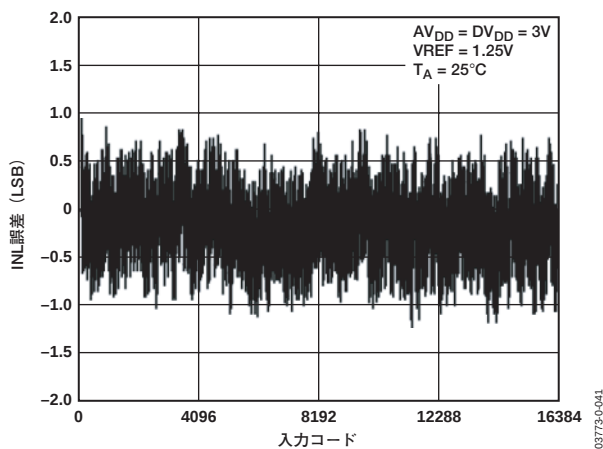
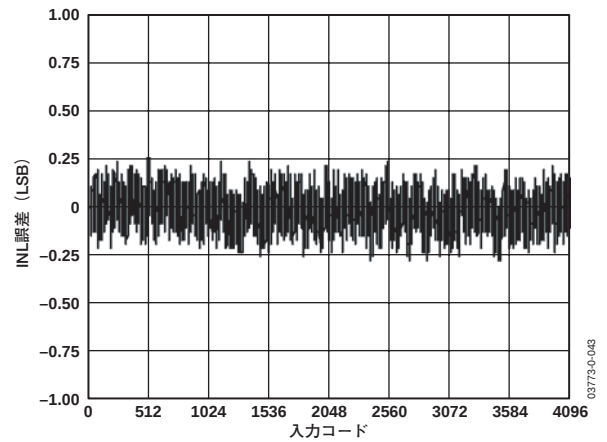
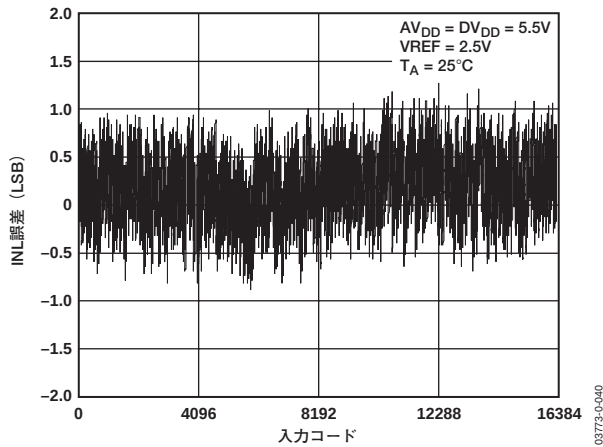
デジタル・フィードスルー

DACが選択されないときに、DACのデジタル入力上の高周波数ロジック動作がDACを通して容量結合され、これがそのDACの V_{OUT} ピン上にノイズとして現れることがあります。これは、電源ラインやグラウンド・ラインに沿って結合することもあります。このノイズがデジタル・フィードスルーです。

出力ノイズ・スペクトル密度

これは、内部で発生するランダム・ノイズの測定値です。ランダム・ノイズは、スペクトル密度 ($V/\sqrt{Hz}$) として特性付けられます。すべてのDACをミッドスケールにロードし、出力に現れるノイズを測定します。これは、10kHz時に1Hzの帯域幅で $nV/\sqrt{Hz}$ の単位で測定します。

代表的な性能特性



AD5390/AD5391/AD5392

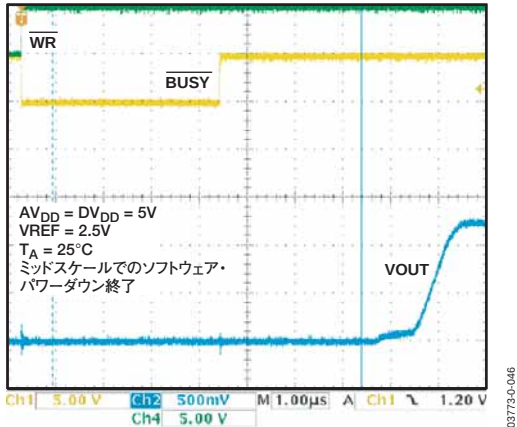


図17. AD539xのソフトウェア・パワーダウン終了時の応答性

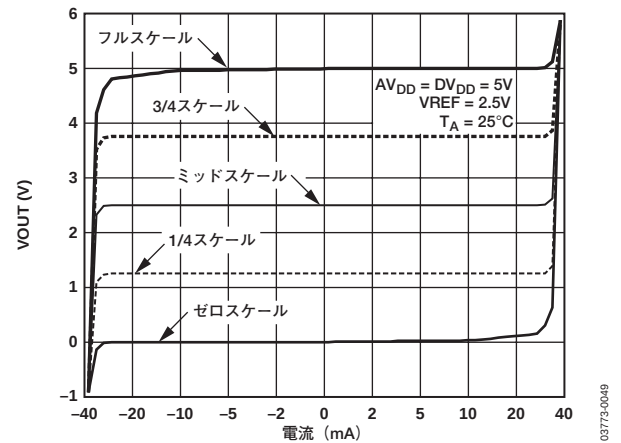


図20. AD539x-5のソースおよびシンク能力

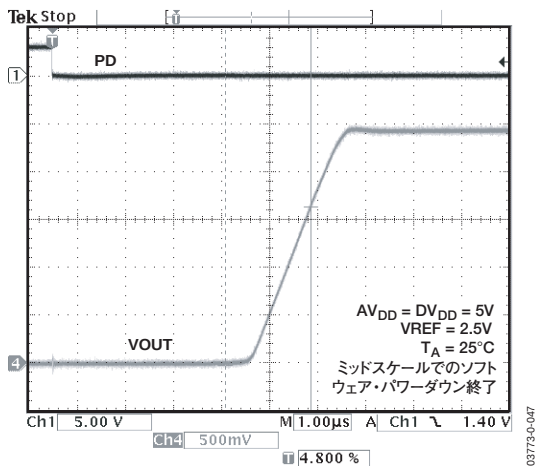


図18. AD539xのハードウェア・パワーダウン終了時の応答性

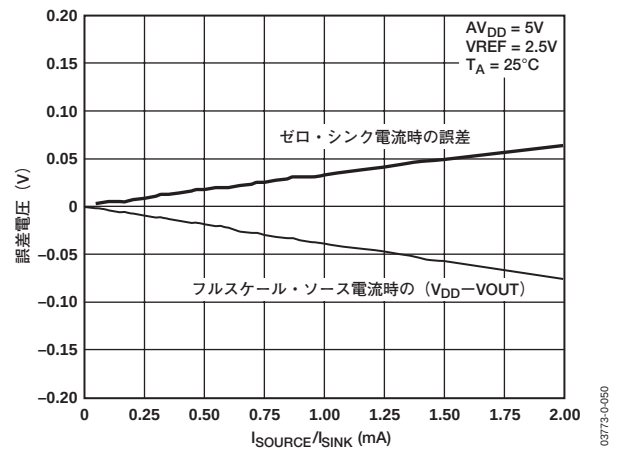


図21. ソース / シンク電流対電源レールのヘッドルーム

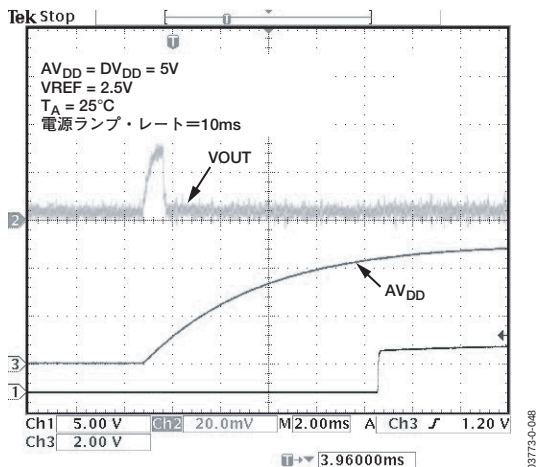


図19. AD539xのパワーアップ時の過渡応答性

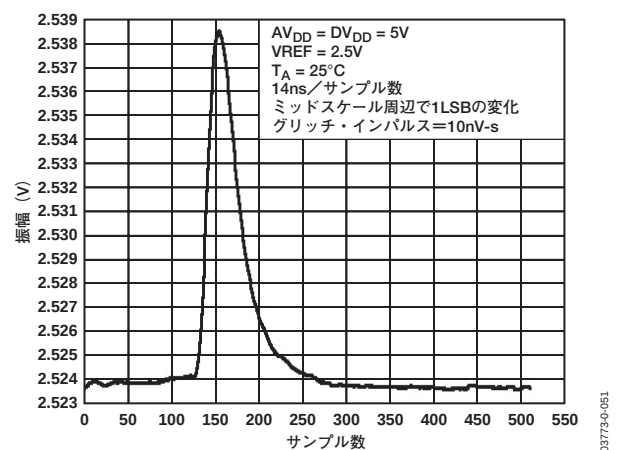


図22. AD539x-5のグリッチ・インパルス・エネルギー

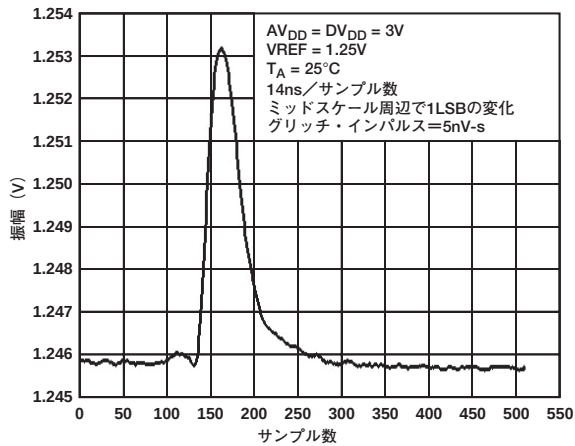


図23. AD539x-3のグリッチ・インパルス

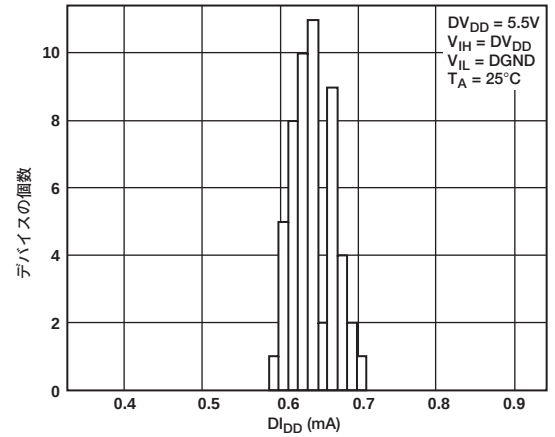


図26. AD539xの DI_{DD} のヒストグラム

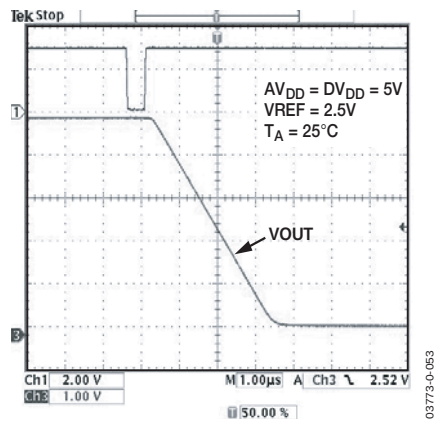


図24. AD539xのスレーレートのブースト・オフ

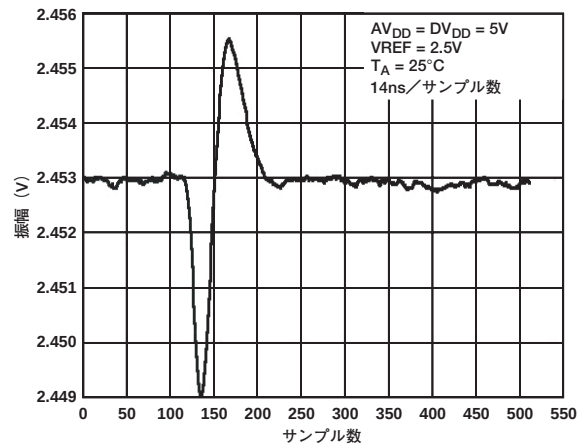


図27. AD539xの隣接チャンネル間クロストーク

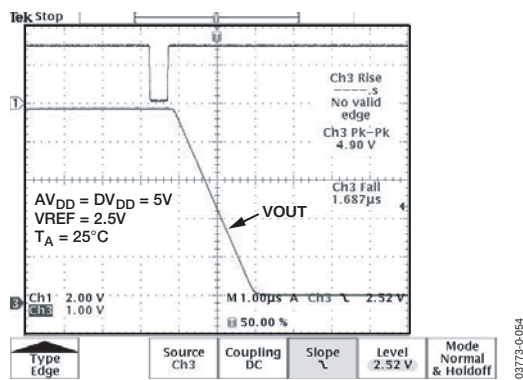


図25. AD539xのスレーレートのブースト・オン

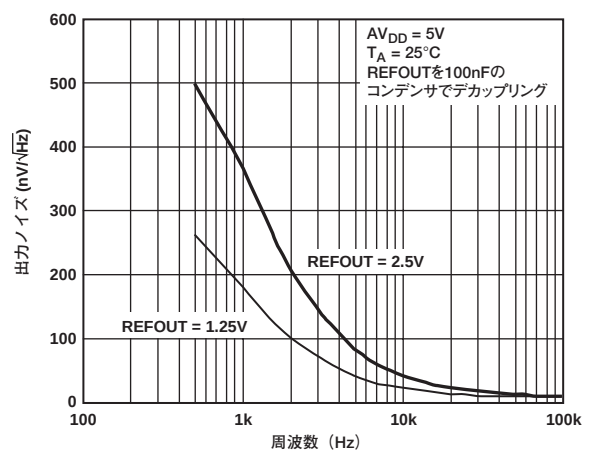


図28. AD539xのREFOUTのノイズ・スペクトル密度

AD5390/AD5391/AD5392

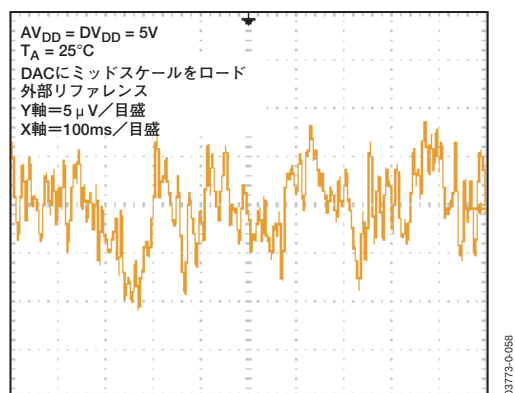


図29. 0.1 ~ 10Hz出力ノイズのプロット

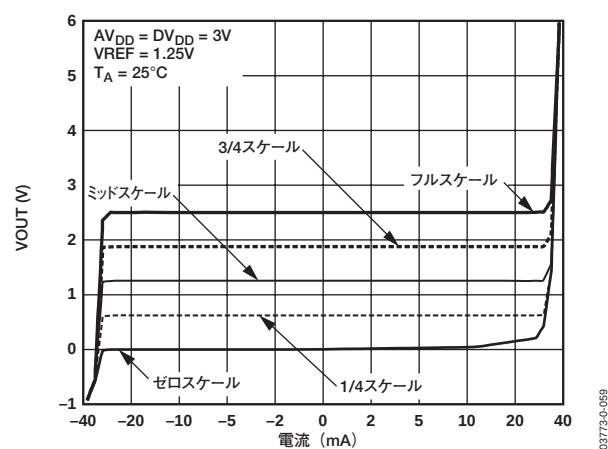


図30. AD539x-3の電流ソースおよびシンク能力

機能説明

DACアーキテクチャ概要

AD5390/AD5391は、分解能がそれぞれ14ビットおよび12ビットの全機能内蔵型の単電源、16チャンネル、電圧出力DACです。AD5392は、分解能が14ビットの全機能内蔵型の単電源、8チャンネル、電圧出力DACです。各デバイスは64ピンLFCSPと52ピンLQFPのパッケージで提供され、シリアル・インターフェースを特長としています。このDACファミリーには、1.25V/2.5Vの出力電圧を選択可能な10ppm/°Cのリファレンスが内蔵されており、バッファリングされたリファレンス入力を駆動できます（この入力の駆動に外部リファレンスを使用することも可能です）。すべてのチャンネルは、200pFの負荷と並列に5kΩの負荷を駆動する能力を備えたレールtoレール動作の出力アンプを内蔵しています。

1個のDACチャンネルのアーキテクチャは、12ビットまたは14ビットの抵抗ストリングDACとその後段に配備されたゲイン2動作の出力バッファ・アンプで構成されます。この抵抗ストリング・アーキテクチャにより、DACの単調増加性が保証されます。DACレジスタにロードされる12ビットと14ビットのバイナリ・デジタル・コードに基づいて、ストリング上のどのノードから電圧を引き出し、これを出力アンプに送り込むかが決定されます。デバイスの各チャンネルは、独立したオフセット・コントロール・レジスタとゲイン・コントロール・レジスタを内蔵しており、オフセットとゲインのデジタル調整が行えます。

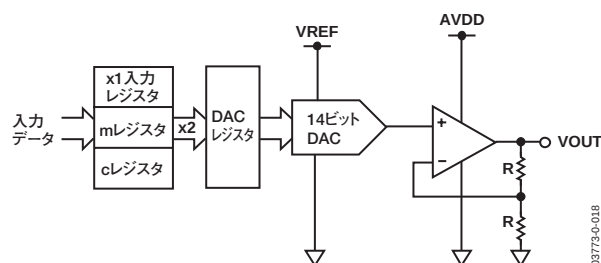


図31. AD5390/AD5392のシングル・チャンネル・アーキテクチャ

これらのレジスタを内蔵しているため、補正係数を保持する内部レジスタmおよびcを使用して、DACを含む完全なシグナル・チェーンの誤差を校正できます。すべてのチャンネルはダブル・バッファリング構成になっているので、 $\overline{\text{LDAC}}$ ピンを使用して全チャンネルの同期更新を実行できます。AD5390/AD5391/AD5392のシングル・チャンネルのブロック図を図31に示します。

各DACのデジタル入力伝達関数は、以下の式で表されます。

$$x_2 = \left((m+2) / 2^n \right) \times x_1 + (c - 2^{n-1})$$

ここで、
x2は抵抗ストリングDACにロードされるデータワードです。

x1はDAC入力レジスタに書き込まれる12ビットおよび14ビットのデータワードです。

mは12ビットおよび14ビットのゲイン係数（デフォルト値はAD5390/AD5392で0x3FFE、AD5391で0xFFE）です。ゲイン係数のLSBはゼロです。

nはDACの分解能（AD5390/AD5392でn=14、AD5391でn=12）です。

cは12ビットおよび14ビットのオフセット係数（デフォルト値はAD5390/AD5392で0x2000、AD5391で0x800）です。

これらのデバイス全体の伝達関数は、以下の式で表されます。

$$V_{OUT} = 2 \times V_{REF} \times x_2 / 2^n$$

ここで、
x2は抵抗ストリングDACにロードされるデータワードです。

V_{REF} は、外部リファレンスを使用する場合にDACのREFIN/REFOUTピンに加えられるリファレンス電圧です。仕様の性能を得るには、AD539x-5シリーズで2.5V、AD539x-3シリーズで1.25Vのリファレンス電圧を印加します。

AD5390/AD5391/AD5392

データ・デコーディング—AD5390/AD5392

AD5390/AD5392には、14ビットのデータ・バスが内蔵されています。入力シリアル・レジスタのREG1およびREG0ビットにロードされるデータに応じて、入力データがデコードされます。この詳細を表10に示します。

シリアル入力レジスタのデータは、アドレス指定されたDAC入力レジスタ、オフセット(c)レジスタ、またはゲイン(m)レジスタにロードされます。フォーマット・データ、オフセット(c)およびゲイン(m)レジスタのデータ内容の概要を表11～13に示します。

表10. レジスタの選択

REG1	REG0	選択されるレジスタ
1	1	入力データ・レジスタ(x1)
1	0	オフセット・レジスタ(c)
0	1	ゲイン・レジスタ(m)
0	0	特殊機能レジスタ(SFR)

表11. AD5390/AD5392のDACデータ・フォーマット
(REG1 = 1, REG0 = 1)

DB13~DB0	DAC出力 (V)
11 1111 1111 1111	$2 V_{REF} \times (16383/16384)$
11 1111 1111 1110	$2 V_{REF} \times (16382/16384)$
10 0000 0000 0001	$2 V_{REF} \times (8193/16384)$
10 0000 0000 0000	$2 V_{REF} \times (8192/16384)$
01 1111 1111 1111	$2 V_{REF} \times (8191/16384)$
00 0000 0000 0001	$2 V_{REF} \times (1/16384)$
00 0000 0000 0000	0

表12. AD5390/AD5392のオフセット・データ・フォーマット
(REG1 = 1, REG0 = 0)

DB13~DB0	オフセット (LSB)
1111111 1111 1111	+8192
1111111 1111 1110	+8191
1000000 0000 0001	+1
1000000 0000 0000	+0
0111111 1111 1111	-1
0000000 0000 0001	-8191
0000000 0000 0000	-8192

表13. AD5390/AD5392のゲイン・データ・フォーマット
(REG1 = 0, REG0 = 1)

DB13~DB0	ゲイン係数
11 1111 1111 1110	1
10 1111 1111 1110	0.75
01 1111 1111 1110	0.5
00 1111 1111 1110	0.25
00 0000 0000 0000	0

データ・デコーディング—AD5391

AD5391には、12ビットのデータ・バスが内蔵されています。入力シリアル・レジスタのREG1およびREG0ビットにロードされる値に応じて、入力データがデコードされます。シリアル入力レジスタの入力データは、アドレス指定されたDAC入力レジスタ、オフセット(c)レジスタ、またはゲイン(m)レジスタにロードされます。フォーマット・データ、オフセット(c)およびゲイン(m)レジスタのデータ内容の概要を表14～16に示します。

表14. AD5391のDACデータ・フォーマット(REG1 = 1, REG0 = 1)

DB11~DB0	DAC出力 (V)
1111 1111 1111	$2 V_{REF} \times (4095/4096)$
1111 1111 1110	$2 V_{REF} \times (4094/4096)$
1000 0000 0001	$2 V_{REF} \times (2049/4096)$
1000 0000 0000	$2 V_{REF} \times (2048/4096)$
0111 1111 1111	$2 V_{REF} \times (2047/4096)$
0000 0000 0001	$2 V_{REF} \times (1/4096)$
0000 0000 0000	0

表15. AD5391のオフセット・データ・フォーマット(REG1 = 1, REG0 = 0)

DB11~DB0	オフセット (LSB)
1111 1111 1111	+2048
1111 1111 1110	+2047
1000 0000 0001	+1
1000 0000 0000	+0
0111 1111 1111	-1
0000 0000 0001	-2047
0000 0000 0000	-2048

表16. AD5391のゲイン・データ・フォーマット(REG1 = 0, REG0 = 1)

DB11~DB0	ゲイン係数
1111 1111 1110	1
1011 1111 1110	0.75
0111 1111 1110	0.5
0011 1111 1110	0.25
0000 0000 0000	0

インターフェース

AD5390/AD5391/AD5392には、DSP、SPI、MICROWIRE互換、またはI²C互換のどちらかにプログラミング設定可能なシリアル・インターフェースが内蔵されています。SPI/I²Cピンを使用して、インターフェース・モードを選択します。

デバイスの消費電力とオンチップのデジタル・ノイズの両方を最小化するために、インターフェースが完全にパワーアップするのは、デバイスにデータが書き込まれているとき、すなわち $\overline{\text{SYNC}}$ の立下がりエッジのみに限られます。

DSP、SPI、MICROWIRE互換のシリアル・インターフェース

このシリアル・インターフェースは、スタンドアロン・モード時には最低3線で、デイジーチェーン・モード時には最低4線で動作させることができます。デイジーチェーン・モードでは、複数のデバイスを互いにカスケード接続して、システムのチャンネル数を拡張することが可能です。この動

作モードを設定するときは、SPI/I²Cピンをロジック1ピンに接続します。シリアル・インターフェース・コントロール・ピンの説明は表17にあります。

表17. シリアル・インターフェース・コントロール・ピン

ピン	説明
$\overline{\text{SYNC}}$ 、DIN、SCLK DCEN	標準の3線式インターフェース・ピン スタンドアロン・モードまたはデイジー チェーン・モードを選択
SDO	デイジーチェーン・モード用のデータ 出力ピン

図2～4には、スタンドアロンとデイジーチェーンの両モードでのAD5390/AD5391/AD5392のシリアル書き込み動作タイミング図を示しています。シリアル・インターフェース用の24ビットのデータワード・フォーマットを表18～20に示します。表21は各ビットの説明です。

表18. AD5390の16チャンネル、14ビットDACのシリアル入力レジスタの構成

MSB														LSB									
$\overline{\text{A}}/\text{B}$	R/ $\overline{\text{W}}$	0	0	A3	A2	A1	A0	REG1	REG0	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

表19. AD5391の16チャンネル、12ビットDACのシリアル入力レジスタの構成

MSB														LSB									
$\overline{\text{A}}/\text{B}$	R/ $\overline{\text{W}}$	0	0	A3	A2	A1	A0	REG1	REG0	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	X	X

表20. AD5392の8チャンネル、14ビットDACのシリアル入力レジスタの構成

MSB														LSB									
$\overline{\text{A}}/\text{B}$	R/ $\overline{\text{W}}$	0	0	0	A2	A1	A0	REG1	REG0	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0

表21. シリアル入力レジスタ構成ビットの説明

ビット	説明
$\overline{\text{A}}/\text{B}$	トグル・モードがイネーブルのときに、AまたはBレジスタのどちらにデータを書き込むかを選択します。トグル・モードのディス エーブル時には、このビットをゼロに設定してAデータ・レジスタを選択します。
R/ $\overline{\text{W}}$	読出しまたは書き込みコントロール・ビットです。
A3～A0	入力チャンネルのアドレス指定に使用します。
REG1とREG0	表10で概説したように、データを書き込むレジスタを選択します。
DB13～DB0	入力データワード・ピンです。
X	ドント・ケア

AD5390/AD5391/AD5392

スタンドアロン・モード

デジチェーン・イネーブル(DCEN)ピンをローレベルに接続すると、スタンドアロン・モードがイネーブルになります。シリアル・インターフェースは、連続と非連続の両方のシリアル・クロックで動作します。 $\overline{\text{SYNC}}$ の最初の立下がりエッジで書き込みサイクルが開始され、シリアル・クロック数をカウントするカウンタがリセットされるので、シリアル・シフト・レジスタに正しいビット数が確実にシフトされます。その後の立下がりエッジを除く $\overline{\text{SYNC}}$ のエッジは、24ビットがクロック入力されるまで、すべて無視されます。24ビットのシフトが完了した時点で、SCLKが無視されます。さらにシリアル転送動作を続ける場合には、 $\overline{\text{SYNC}}$ の立下がりエッジによってカウンタをリセットする必要があります。

デジチェーン・モード

複数のデバイスを搭載するシステムでは、SDOピンを使用してデバイスを相互にデジチェーン接続することが可能です。このデジチェーン・モードは、システム診断やシリアル・インターフェース・ライン数の低減に役立ちます。

DCENピンをハイレベルに接続すると、デジチェーン・モードがイネーブルになります。 $\overline{\text{SYNC}}$ の最初の立下がりエッジで書き込みサイクルが開始されます。 $\overline{\text{SYNC}}$ がローレベルのとき、SCLKが入力シフト・レジスタに連続的に加えられます。24個以上のクロック・パルスが加えられると、データがシフト・レジスタからリップル状態で出力され、SDOライン上に現れます。このデータはSCLKの立上がりエッジでクロック出力され、SCLKの立下がりエッジで有効になります。チェーン内の最初のデバイスのSDOを次のデバイスのDIN入力に接続する方法で、マルチデバイス・インターフェースを構成します。システム内の各デバイスには、24個のクロック・パルスが必要です。したがって、クロック・サイクルの合計数は24N(Nはチェーン内のAD539xデバイスの合計数)に等しくなければなりません。

すべてのデバイスへのシリアル転送が完了した時点で、 $\overline{\text{SYNC}}$ がハイレベルになります。これによって、デジチェーン内の各デバイスの入力データがラッチされ、さらにデータが入力シフト・レジスタにクロック入力されるのを防ぎます。

24個のクロックがデバイスにクロック入力される前に、 $\overline{\text{SYNC}}$ がハイレベルになると、これは不良フレームと判断され、データは放棄されます。

シリアル・クロックは連続クロックまたはゲート・クロックにすることができます。連続的なSCLKソースを使用できるのは、正しい数のクロック・サイクルに対して $\overline{\text{SYNC}}$ をローレベルに保持できる場合に限られます。ゲート・クロック・モード時には、正確な数のクロック・サイクルを含むバースト・クロックを使用し、最終クロックの後で $\overline{\text{SYNC}}$ をハイレベルに設定してデータをラッチする必要があります。

リードバック・モード

リードバック・モードを呼び出すときには、シリアル入力レジスタの書き込みシーケンスでR/ $\overline{\text{W}}$ ビットを1に設定します。R/ $\overline{\text{W}}$ ビット=1のとき、REG1およびREG0ビットと一緒にA3~A0の各ビットを使用し、データを読み出すレジスタを選択します。書き込みシーケンスの残りのビットはドント・ケアです。次のSPI書き込み動作時にSDO出力上に現れるデータには、その前にアドレス指定されたレジスタのデータが含まれます。1個のレジスタの読み出しでは、選択したレジスタのデータをSDOにクロック出力するときに、NOPコマンドを使用できます。

リードバック・シーケンスを図32に示します。たとえば、AD539xのチャンネル0のmレジスタをリードバックするには、次のようなシーケンスを実行する必要があります。最初に、0x404XXXをAD539xの入力レジスタに書き込みます。これにより、AD539xはチャンネル0のmレジスタを選択した読み出しモードに設定されます。DB13~DB0のデータビットはすべて、ドント・ケアである点に注意してください。次の書き込み動作とNOP状態もこれに従い、0x000000を書き込みます。この書き込み動作時に、mレジスタのデータがDOUTライン上にクロック出力されます。すなわち、クロック出力されるデータにはmレジスタのDB13~DB0のデータビットが含まれ、すでに書き込まれたアドレス情報が上位10ビットのなかに含まれます。リードバック・モード時には、 $\overline{\text{SYNC}}$ 信号でデータをフレーミングする必要があります。データはSCLKの立上がりエッジでクロック出力され、SCLK信号の立下がりエッジで有効になります。リードバックの書き込み動作と読み出し動作の間でSCLKがハイレベルにアイドルングされると、 $\overline{\text{SYNC}}$ の立下がりエッジでデータの最初のビットがクロック出力されます。

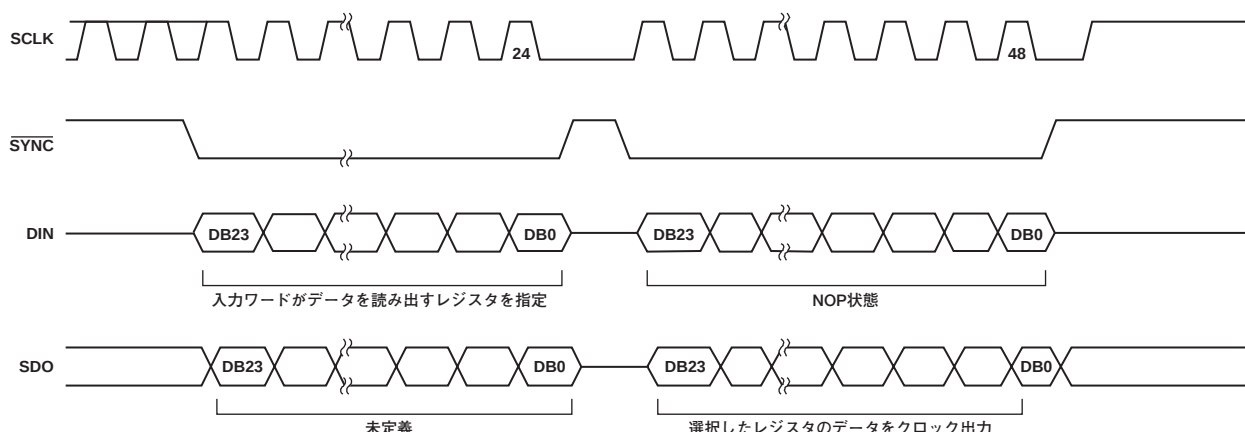


図32. AD539xのリードバック動作

03773-0-022

I²Cシリアル・インターフェース

AD5390/AD5391/AD5392シリーズは、1本のシリアル・データ・ライン (SDA)と1本のシリアル・クロック・ライン (SCL)で構成されるI²C互換の2線式インターフェースを備えています。SDAとSCLは、最大400kHzの速度でDACとマスター間の通信を可能にします。この2線式インターフェースのタイミング図を図4に示します。

SPI/ $\overline{I}^2\overline{C}$ ピンをロジック0に設定してI²C動作モードを選択すると、デバイスはスレーブ・デバイスとしてI²Cバスに接続されます (すなわち、デバイスはクロックを生成しません)。AD5390/AD5391/AD5392には、10101 (AD1) (AD0)の7ビットのスレーブ・アドレスが割り当てられます。上位5ビットは固定コードで、下位2ビットはAD1とAD0のピンの状態によって決定されます。AD1とAD0のピンのハードウェア設定機能により、最大4個のデバイスを同一バス上に構成できます。

I²Cデータ転送

各SCLクロック・サイクルで、1つのデータビットが転送されます。SCLクロック・パルスがハイレベルの間は、SDA上のデータを安定した状態に維持しておく必要があります。SCLがハイレベルに保持されているときのSDAの状態変化を制御信号として、STARTおよびSTOP条件を設定します。I²Cバスがビジーでないとき、SDAとSCLは共に外部プルアップ抵抗によってハイレベルに引き込まれます。

STARTおよびSTOP条件

マスター・デバイスは、START条件の発行によって通信を開始します。START条件とは、SCLがハイレベルのときにSDAがハイレベルからローレベルに遷移する状態です。STOP条件は、SCLがハイレベルのときにSDAがローレベルからハイレベルに遷移する状態です。マスターからのSTART条件の発行によって、AD539xに送信の開始が通知されます。STOP条件ではバスが解放されます。STOP条件の代わりに、繰返しSTART条件 (Sr) が生成されると、バスはアクティブの状態に維持されます。

繰返しSTART条件

繰返しSTART (Sr) 条件は、バス上のデータの方向が変更されることを示します。バス・マスターが複数のI²Cデバイスに書き込み中で、バスの制御を放棄したくない場合に、Srを利用できます。

アクノレッジ・ビット (ACK)

アクノレッジ・ビット (ACK) は、8ビットのデータワードに付属している9番目のビットです。ACKは常に受信側デバイスによって生成されます。AD539xデバイスはアドレスまたはデータの受信時に、9番目のクロック・サイクルでSDAをローレベルに引き込むことでACKを生成します。

ACKをモニタリングすることで、失敗に終わったデータ転送を検出できます。受信側デバイスがビジーであるか、またはシステム障害が起こった場合に、データ転送の失敗が発生します。データ転送が失敗に終わった場合には、バス・マスターは通信を再試行します。

AD539xのスレーブ・アドレス

バス・マスターは、START条件に続いて7ビットのスレーブ・アドレスを発行することで、スレーブ・デバイスとの通信を開始します。アイドル時には、AD539xデバイスはSTART条件とその後に続くスレーブ・アドレスを待ちます。アドレス・ワードのLSBは、読出し／書込み (R/ $\overline{W}$) ビットです。AD539xデバイスは受信専用デバイスであり、通信動作時にはR/ $\overline{W}$ = 0となります。正しいアドレス10101 (AD1) (AD0)を受信した後で、1クロック・サイクルの間SDAをローレベルに引き込むことによって、AD539xはACKを発行します。AD539xは、AD1とAD0のビットによって決定される4つのユーザ・プログラマブル・アドレスを備えています。

AD5390/AD5391/AD5392

I²C書込み動作

AD539x DACファミリーにデータを書込みできる3つの特定モードがあります。

4バイト・モード

AD539x DACへの書込みは、アドレス・バイト(R/W=0)から開始し、その後、DACがSDAをローレベルに引き込むことで、データ受信準備が完了していることを示す確認応答を行います。アドレス・バイトの後に、ポインタ・バイトが続きます。ポインタ・バイトは、アドレス指定されるDAC

の特定チャンネルを指し示し、DACによって確認応答されます。A3～A0のアドレス・ビットがAD5390/AD5391の全チャンネルのアドレスを割り当てます。A2～A0のアドレス・ビットはAD5392の全チャンネルのアドレスを指定します。AD5392では、アドレス・ビットA3はゼロです。それから、図33に示すように2バイトのデータがDACに書き込まれます。続いて、STOP条件が発行されます。この動作によって、AD539x内のシングル・チャンネルをいつでも更新できますが、このときには4バイトのデータがマスターから転送される必要があります。

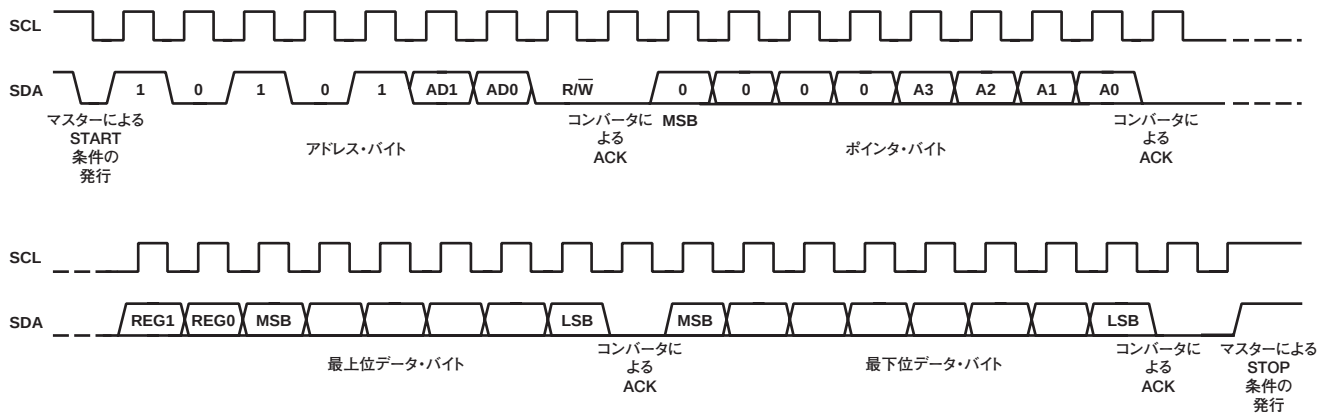


図33. 4バイト・モードのI²C書込み動作

03773-0-023

3バイト・モード

3バイト・モードでは、1回ごとにデバイス・アドレスを書き込む必要がなく、1回の書き込みシーケンスで複数のチャンネルを更新できます。デバイス・アドレス・バイトが必要とされるのは1回限りで、その後のチャンネル更新ではポインタ・バイトとデータ・バイトが要求されます。3バイト・モード時は、アドレス・バイト(R/ $\overline{W}$ =0)から開始し、その後、DACがSDAをローレベルに引き込むことで、データ受信準備が完了していることを示す確認応答を行います。アドレス・バイトの後に、ポインタ・バイトが続きます。ポインタ・バイトは、アドレス指定されるDACの特定チャンネルを指し示し、DACによって確認応答されます。A3～A0のアドレス・ビットがAD5390/AD5391の全チャンネルのアドレスを割り当てます。A2～A0の

アドレス・ビットはAD5392の全チャンネルのアドレスを指定します。AD5392では、アドレス・ビットA3はゼロです。それから2つのデータ・バイトが続きます。REG1とREG0で更新するレジスタを決定します。

データ・バイトの後にSTOP条件が送信されなければ、新しいポインタ・バイト、データ・バイトと続けて送信することによって、別のチャンネルを更新できます。このモードでは、最初にデバイスのアドレス指定が完了したら、3バイトを送信するだけですべてのチャンネルを更新できるので、AD539xのチャンネル更新におけるソフトウェアのオーバーヘッドが軽減されます。STOP条件によって、このモードはいつでも終了します。代表的な設定を図34に示します。

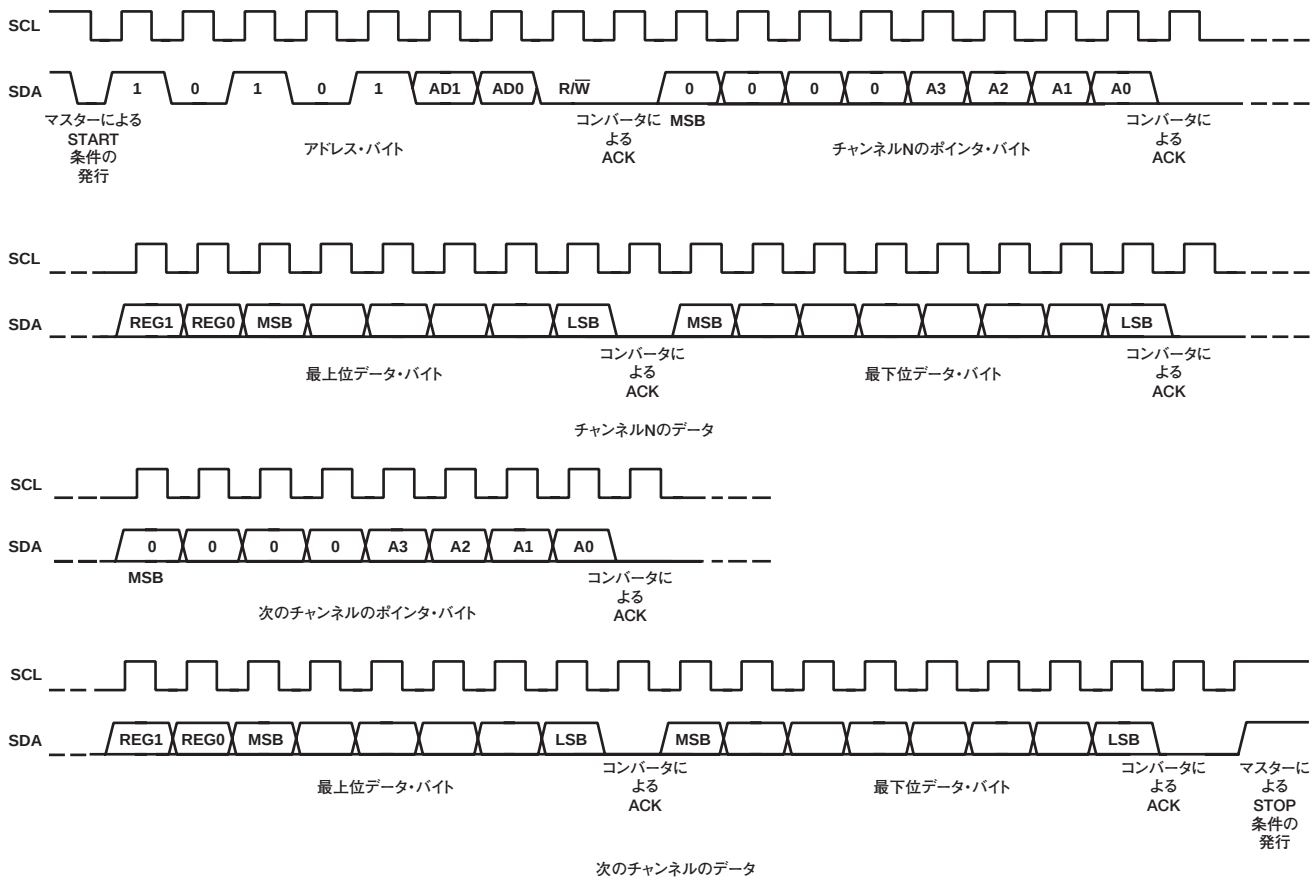


図34. 3バイト・モードのI²C書き込み動作

03773-0024

AD5390/AD5391/AD5392

2バイト・モード

2バイト・モードでは、このモードの初期化後、チャンネルを順次更新できます。デバイス・アドレス・バイトが必要とされるのは1回限りで、アドレス・ポインタは自動インクリメントまたはバースト・モードに対応するように設定されます。

ユーザはアドレス・バイト(R/W=0)から開始することが必要です。その後、DACがSDAをローレベルに引込むことで、データ受信準備が完了していることを示す確認応答を行います。アドレス・バイトの後に特定のポインタ・バイト(0xFF)が続き、これによってバースト動作モードが開始されます。アドレス・ポインタはチャンネル0に初期化され、ポインタの後のデータがチャンネル0にロードされます。アドレス・ポインタは、次のアドレスに自動的にインクリメントされます。

データ・バイトのREG0とREG1の各ビットが、更新するレジスタを決定します。このモードでは、初期化の後で2つのデータ・バイトを送信するだけでチャンネルを更新できます。チャンネル・アドレスはアドレス0から最終アドレスまで自動的にインクリメントされ、その後、通常の3バイト動作モードに戻ります。このモード時には、1つのブロックの全チャンネルにデータを送信できるので、全チャンネル設定におけるソフトウェアのオーバーヘッドが軽減されます。STOP条件によって、このモードはいつでも終了します。2バイト・モードでは、トグル動作モードはサポートされません。代表的な設定を図35に示します。

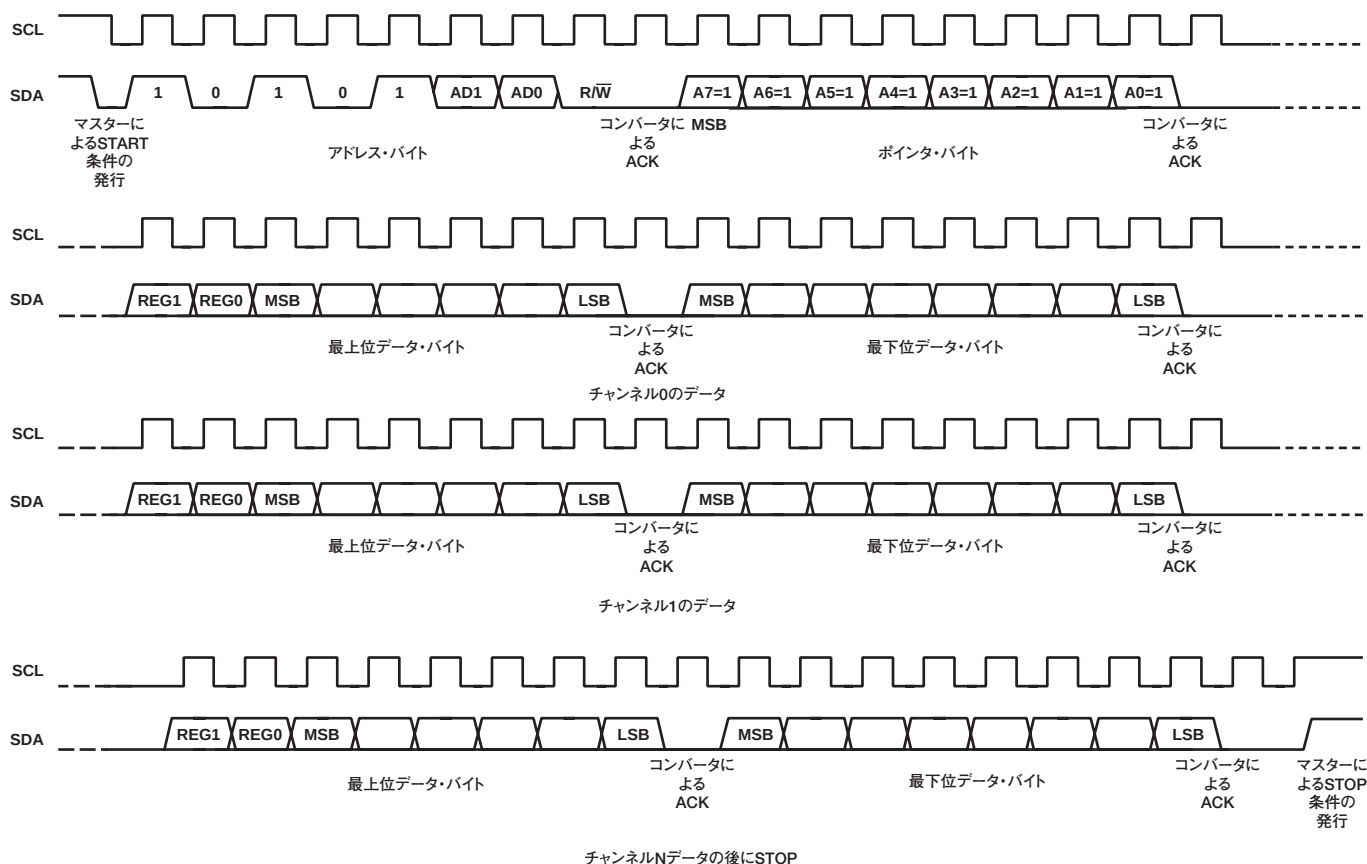


図35. 2バイト・モードのI²C書き込み動作

03773-0-025

AD539x内蔵の特殊機能レジスタ

AD539xファミリには、表22に示す数多くの特殊機能レジスタ(SFR)が内蔵されています。SFRのアドレスはREG1=0およびREG0=0で指定され、A3～A0のアドレス・ビットを使用してデコードされます。

表22. SFRレジスタの機能 (REG1 = 0, REG0 = 0)

R/W	A3	A2	A1	A0	機能
X	0	0	0	0	NOP(動作なし)
0	0	0	0	1	CLRコード書込み
0	0	0	1	0	ソフトCLR
0	1	0	0	0	ソフト・パワーダウン
0	1	0	0	1	ソフト・パワーアップ
0	1	1	0	0	コントロール・レジスタの書込み
1	1	1	0	0	コントロール・レジスタの読出し
0	1	0	1	0	チャンネル・モニタ
0	1	1	1	1	ソフト・リセット

SFRコマンド

NOP(動作なし)

REG1=REG0=0, A3～A0=0000

動作をまったく実行しませんが、リードバック・モード時に診断目的でデータをSDO上にクロック出力するのに役立ちます。NOP動作時には、 $\overline{\text{BUSY}}$ 出力はローレベルになります。

CLRコード書込み

REG1=REG0=0, A3～A0=0001

DB13～DB0=CLRデータを含む

$\overline{\text{CLR}}$ ラインをローレベルにするか、またはソフト・クリア機能を起動すると、ユーザ設定可能なCLRレジスタに格納されたデータがDACレジスタにロードされ、これに従ってVOUT0～VOUT15が設定されます。これは、特定の出力電圧をクリア状態に設定するときだけでなく、キャリブレーション目的にも有用です。キャリブレーションを実行するときには、フルスケールまたはゼロスケールをクリア・コード・レジスタにロードし、その後でハードウェアまたはソフトウェア・クリアを発行して、このコードをすべてのDACにロードできるので、すべてのDACに対して個別に書込みを行う必要がありません。パワーアップ時のデフォルト設定はオール・ゼロです。

ソフトCLR

REG1=REG0=0, A3～A0=0010

DB13～DB0=ドント・ケア

この命令を実行すると、外部CLRピンが備えている機能と同じクリア動作が実行されます。DAC出力には、CLRコード・レジスタのデータがロードされます。ソフトCLRを完全に実行するための所要時間はAD5390/AD5391で20 μ s、AD5392で15 μ sであり、これは $\overline{\text{BUSY}}$ のローレベル時間によって示されます。

ソフト・パワーダウン

REG1=REG0=0, A3～A0=1000

DB13～DB0=ドント・ケア

この命令を実行すると、すべてのチャンネルを低消費電力モードに設定するグローバル・パワーダウンが実行され、アナログ電流が最大1 μ A、デジタル消費電流が最大20 μ Aに低減されます。パワーダウン・モード時には、出力アンプをハイ・インピーダンス出力として構成するか、またはグラウンドに100k Ω の負荷を供給するように設定できます。パワーダウン・モード時は、すべての内部レジスタのデータ内容が保持されます。

ソフト・パワーアップ

REG1=REG0=0, A3～A0=1001

DB13～DB0=ドント・ケア

出力アンプと内部リファレンスをパワーアップするときに、この命令を使用します。パワーダウン・モードの終了に要する時間は8 μ sです。ハードウェア・パワーダウンとソフトウェア機能は、デジタルOR関数で内部結合されています。

ソフト・リセット

REG1=REG0=0, A3～A0=1111

DB13～DB0=ドント・ケア

ソフトウェア・リセットを実行するとき、この命令を使用します。すべての内部レジスタは、フルスケール時にm、ゼロスケール時にcに対応するデフォルト値にリセットされます。DACレジスタのデータ内容がクリアされ、アナログ出力はすべて0Vに設定されます。ソフトウェア・リセットのアクティブ時間は、最大で135 μ sです。

チャンネル・モニタ

REG1=REG0=0, A3～A0=1010

DB13～DB8=モニタ対象チャンネルのアドレス・データが含まれます。

すべてのデバイスにモニタ機能が備わっています。内部のマルチプレクサはインターフェースを介してアドレス指定されます。このマルチプレクサにより、任意のチャンネル出力をMON_OUTピンに送り、外部ADCを使用してモニタできます。すべての出力チャンネルのモニタに加えて、2つの外部入力も用意されているので、AD539x外部の信号をモニタすることも可能です。任意のチャンネル出力をMON_OUTピンに送る前に、チャンネル・モニタ機能をコントロール・レジスタでイネーブルにしておく必要があります。14ビット・デバイスのAD5390とAD5392では、モニタされるチャンネルのアドレスがDB13～DB8に含まれます。12ビット・デバイスのAD5391では、モニタされるチャンネルのアドレスがDB11～DB6に含まれます。アドレス63を選択すると、MON_OUTピンがスリーステート状態になります。

表23および表24は、それぞれAD5390/AD5392とAD5391のチャンネル・モニタ・デコーディングです。

AD5390/AD5391/AD5392

表23. AD5390/AD5392のチャンネル・モニタ・デコーディング

REG1	REG0	A3	A2	A1	A0	DB13	DB12	DB11	DB10	DB9	DB8	DB7~DB0	MON_OUT (AD5390)	MON_OUT (AD5392)
0	0	1	0	1	0	0	0	0	0	0	0	X	VOUT0	VOUT0
0	0	1	0	1	0	0	0	0	0	0	1	X	VOUT1	VOUT1
0	0	1	0	1	0	0	0	0	0	1	0	X	VOUT2	VOUT2
0	0	1	0	1	0	0	0	0	0	1	1	X	VOUT3	VOUT3
0	0	1	0	1	0	0	0	0	1	0	0	X	VOUT4	VOUT4
0	0	1	0	1	0	0	0	0	1	0	1	X	VOUT5	VOUT5
0	0	1	0	1	0	0	0	0	1	1	0	X	VOUT6	VOUT6
0	0	1	0	1	0	0	0	0	1	1	1	X	VOUT7	VOUT7
0	0	1	0	1	0	0	0	1	0	0	0	X	VOUT8	
0	0	1	0	1	0	0	0	1	0	0	1	X	VOUT9	
0	0	1	0	1	0	0	0	1	0	1	0	X	VOUT10	
0	0	1	0	1	0	0	0	1	0	1	1	X	VOUT11	
0	0	1	0	1	0	0	0	1	1	0	0	X	VOUT12	
0	0	1	0	1	0	0	0	1	1	0	1	X	VOUT13	
0	0	1	0	1	0	0	0	1	1	1	0	X	VOUT14	
0	0	1	0	1	0	0	0	1	1	1	1	X	VOUT15	
0	0	1	0	1	0	1	0	0	1	0	0	X	MON_IN1	MON_IN1
0	0	1	0	1	0	1	0	0	1	0	1	X	MON_IN2	MON_IN2
0	0	1	0	1	0	1	1	1	1	1	1	X	スリーステート	スリーステート

表24. AD5391のチャンネル・モニタ・デコーディング

REG1	REG0	A3	A2	A1	A0	DB11	DB10	DB9	DB8	DB7	DB6	DB5~DB0	MON_OUT (AD5391)
0	0	1	0	1	0	0	0	0	0	0	0	X	VOUT0
0	0	1	0	1	0	0	0	0	0	0	1	X	VOUT1
0	0	1	0	1	0	0	0	0	0	1	0	X	VOUT2
0	0	1	0	1	0	0	0	0	0	1	1	X	VOUT3
0	0	1	0	1	0	0	0	0	1	0	0	X	VOUT4
0	0	1	0	1	0	0	0	0	1	0	1	X	VOUT5
0	0	1	0	1	0	0	0	0	1	1	0	X	VOUT6
0	0	1	0	1	0	0	0	0	1	1	1	X	VOUT7
0	0	1	0	1	0	0	0	1	0	0	0	X	VOUT8
0	0	1	0	1	0	0	0	1	0	0	1	X	VOUT9
0	0	1	0	1	0	0	0	1	0	1	0	X	VOUT10
0	0	1	0	1	0	0	0	1	0	1	1	X	VOUT11
0	0	1	0	1	0	0	0	1	1	0	0	X	VOUT12
0	0	1	0	1	0	0	0	1	1	0	1	X	VOUT13
0	0	1	0	1	0	0	0	1	1	1	0	X	VOUT14
0	0	1	0	1	0	0	0	1	1	1	1	X	VOUT15
0	0	1	0	1	0	1	0	0	1	0	0	X	MON_IN1
0	0	1	0	1	0	1	0	0	1	0	1	X	MON_IN2
0	0	1	0	1	0	1	1	0	1	1	0	X	未定義
0	0	1	0	1	0	1	1	.	.	.	.	X	未定義
0	0	1	0	1	0	1	1	1	1	1	0	X	未定義
0	0	1	0	1	0	1	1	1	1	1	1	X	スリーステート

AD5390/AD5391/AD5392

コントロール・レジスタの書込み

AD5390とAD5392のコントロール・レジスタの内容を表25に示します。表26はビットの説明です。REG1=REG0=0、A3～A0=1100、DB13～DB0にはコントロール・レジスタのデータが含まれる点に注意してください。

表25. AD5390/AD5392のコントロール・レジスタの内容

MSB												LSB	
CR13	CR12	CR11	CR10	CR9	CR8	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0

表26. AD5390とAD5392のビットの説明

ビット	説明
CR13	パワーダウン・ステータス。このビットで出力アンプの状態をパワーダウン・モードに設定します。 CR13=1: アンプの出力がハイ・インピーダンスになります (パワーアップ時のデフォルト設定) CR13=0: アンプの出力がグラウンド間で100kΩとなります
CR12	REF選択。このビットで、AD539xで動作する内部リファレンスを選択します。CR12は、以下のようにプログラミング設定されます。 CR12=1: 内部リファレンスは2.5V (AD5390/AD5392-5のデフォルト設定)。AD539x-5に推奨される動作リファレンスです。 CR12=0: 内部リファレンスは1.25V (AD5390/AD5392-3のデフォルト設定)。AD5390-3とAD5392-3に推奨される動作リファレンス電圧です。
CR11	電流ブースト制御。このビットは出力アンプの電流ブーストに使用され、出力アンプのスルーレートが変更されます。CR11は、以下のように設定します。 CR11=1: ブースト・モード・オン。このとき、出力アンプのバイアス電流が最大限に増加し、スルーレートが最適化されますが、消費電力が増大します。 CR11=0: ブースト・モード・オフ (パワーアップ時のデフォルト設定)。このとき、出力アンプのバイアス電流が低下し、全体の消費電力が低減されます。
CR10	内部/外部リファレンス。このビットで、DACが内部または外部のどちらの電圧リファレンスを使用するかを決定します。 CR10=1: 内部リファレンスをイネーブル。リファレンス出力は、CR12にロードされるデータに応じて異なります。 CR10=0: 外部電圧リファレンスを選択 (パワーアップ時のデフォルト設定)
CR9	チャンネル・モニタ・イネーブル (表23を参照) CR9=1: モニタをイネーブル。チャンネル・モニタ機能をイネーブルに設定します。SFRレジスタのモニタ・チャンネルに書き込むと、その後で選択したチャンネル出力がMON_OUTピンに送られます。 CR9=0: モニタをディスエーブルにします (パワーアップ時のデフォルト設定)。モニタをディスエーブルにすると、MON_OUTピンはスリーステート状態になります。
CR8	サーマル・モニタ機能。このビットをイネーブルにすると、AD5390/AD5392の内部ダイ温度がモニタされます。この温度が130℃を超えると、サーマル・モニタは出力アンプをパワーダウンします。いくつかの出力チャンネルが同時に短絡してデバイスの消費電力がその規定値を超える場合などに、この機能を利用してデバイスを保護できます。ダイ温度が130℃以下に低下していたら、ソフト・パワーアップで出力アンプを再度イネーブルに設定します。 CR8=1: サーマル・モニタをイネーブル CR8=0: サーマル・モニタをディスエーブル (パワーアップ時のデフォルト設定)
CR7～CR4	ドント・ケア
CR3～CR2	トグル機能イネーブル。この機能により、各DACのAおよびBレジスタにロードされる2つのコード間の出力をトグルできます。コントロール・レジスタ・ビットのCR3とCR2を使用し、AD5390とAD5392で8チャンネルのグループをトグル・モードで動作させることが可能です。以下のように設定します。 CR3 グループ1 チャンネル8～15 CR2 グループ0 チャンネル0～7 AD5392では、CR2が唯一のアクティブ・ビットです。任意のビットにロジック1を書き込むと、1つのチャンネル・グループがイネーブルになり、ロジック0を書き込むと、チャンネル・グループがディスエーブルになります。2個のレジスタ間をトグルするとき、$\overline{\text{LDAC}}$を使用します。
CR1とCR0	ドント・ケア

AD5390/AD5391/AD5392

AD5391のコントロール・レジスタの内容を表27に示します。表28はビットの説明です。REG1=REG0=0、A3~A0=1100、DB13~DB0にはコントロール・レジスタのデータが含まれる点に注意してください。

表27. AD5391のコントロール・レジスタの内容

MSB										LSB	
CR11	CR10	CR9	CR8	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0

表28. AD5391のビットの説明

ビット	説明
CR11	パワーダウン・ステータス。このビットで出力アンプの状態をパワーダウン・モードに設定します。 CR11=1: アンプの出力がハイ・インピーダンスになります (パワーアップ時のデフォルト設定)。 CR11=0: アンプの出力がグラウンド間で100kΩとなります。
CR10	REF選択。このビットで、AD5391で動作する内部リファレンスを選択します。CR10は、以下のようにプログラミング設定されます。 CR10=1: 内部リファレンスは2.5V (AD5391-5のデフォルト設定)。AD5391-5に推奨される動作リファレンス電圧です。 CR10=0: 内部リファレンスは1.25V (AD5391-3のデフォルト設定)。AD5391-3に推奨される動作リファレンス電圧です。
CR9	電流ブースト制御。このビットは出力アンプの電流ブーストに使用され、出力アンプのスルーレートが変更されます。CR9は、以下のように設定します。 CR9=1: ブースト・モード・オン。このとき、出力アンプのバイアス電流が最大限に増加し、スルーレートが最適化されますが、消費電力が増大します。 CR9=0: ブースト・モード・オフ (パワーアップ時のデフォルト設定)。このとき、出力アンプのバイアス電流が低下し、全体の消費電力が低減されます。
CR8	内部/外部電圧リファレンス。このビットで、DACが内部または外部のどちらの電圧リファレンスを使用するかを決定します。 CR8=1: 内部リファレンスをイネーブル。リファレンス出力は、CR10にロードされるデータに応じて異なります。 CR8=0: 外部リファレンスを選択 (パワーアップ時のデフォルト設定)
CR7	チャンネル・モニタ・イネーブル (表24を参照) CR7=1: モニタをイネーブル。チャンネル・モニタ機能をイネーブルに設定します。SFRレジスタのモニタ・チャンネルに書き込むと、その後で選択したチャンネル出力がMON_OUTピンに送られます。 CR7=0: モニタをディスエーブルにします (パワーアップ時のデフォルト設定)。モニタをディスエーブルにすると、MON_OUTピンはスリーステート状態になります。
CR6	サーマル・モニタ機能。このビットをイネーブルにすると、AD5391の内部ダイ温度がモニタされます。この温度が130℃を超えると、サーマル・モニタは出力アンプをパワーダウンします。いくつかの出力チャンネルが同時に短絡してデバイスの消費電力がその規定値を超える場合などに、この機能を利用してデバイスを保護できます。ダイ温度が130℃以下に低下していれば、ソフト・パワーアップで出力アンプを再度イネーブルに設定します。 CR6=1: サーマル・モニタをイネーブル CR6=0: サーマル・モニタをディスエーブル (パワーアップ時のデフォルト設定)
CR5~CR2	ドント・ケア
CR1~CR0	トグル機能イネーブル。この機能を利用して、各DACのAおよびBレジスタにロードされる2つのコード間の出力をトグルできます。コントロール・レジスタ・ビットのCR1とCR0を使用し、AD5391で8チャンネルのグループをトグル・モードで動作させることが可能です。以下のように設定します。 CR1 グループ1 チャンネル8~15 CR0 グループ0 チャンネル0~7 任意のビットにロジック1を書き込むと、1つのチャンネル・グループがイネーブルになり、ロジック0を書き込むと、チャンネル・グループがディスエーブルになります。2個のレジスタ間をトグルするときは、$\overline{\text{LDAC}}$を使用します。

ハードウェア機能

リセット機能

RESET ラインをローレベルに設定すると、すべての内部レジスタのデータ内容がパワーオン・リセット状態にリセットされます。RESET は、立下がりエッジでアクティブになる入力です。フルスケール時に m、ゼロスケール時に c に対応するようにデフォルト設定されます。すべての DAC レジスタのデータ内容がクリアされ、出力は 0V に設定されます。このシーケンスの所要時間は、最大で $270\mu\text{s}$ です。RESET の立下がりエッジでリセット処理が開始されます。この間、BUSY はローレベルになり、RESET が完了したときにハイレベルに戻ります。BUSY がローレベルの間は、すべてのインターフェースがディスエーブルになり、LDAC パルスはすべて無視されます。BUSY がハイレベルに復帰すると、デバイスは通常の動作を再開し、RESET ピンのステータスは次の立下がりエッジが検出されるまで無視されます。

非同期クリア機能

CLR は立下がりエッジでトリガされ、CLR の実行中は BUSY がローレベルになります。CLR ラインをローレベルに設定すると、DAC レジスタのデータ内容がクリアされ、ユーザ設定可能な CLR レジスタのデータがロードされます。この機能をシステム・キャリブレーションに利用し、ゼロスケールとフルスケールを一緒にすべてのチャンネルにロードできます。CLR の実行時間は AD5390/AD5391 で $20\mu\text{s}$ 、AD5392 で $15\mu\text{s}$ です。

BUSY および LDAC 機能

BUSY は、AD539x デバイスのステータスを示すデジタル CMOS 出力です。x2 データの内部計算の実行中は、BUSY はローレベルになります。BUSY がローレベルのときに LDAC をローレベルにすると、このイベントが保存されます。LDAC 入力は常にローレベルに保持しておくことが可能で、この場合には BUSY がハイレベルになった直後に DAC 出力が更新されます。パワーオン・リセット時、および RESET ピン上で立下がりエッジが検出されたときにも、BUSY はローレベルになります。この間、すべてのインターフェースがディスエーブルになり、LDAC 上のイベントはすべて無視されます。

AD539x シリーズは、LDAC を最後にローレベルにしてから x2 レジスタに書き込みを行わなければ、DAC レジスタを更新しないようにする特別な機能を備えています。一般に LDAC をローレベルにすると、DAC レジスタは x2 レジスタのデータ内容で満杯になります。ただし、これらのデバイスが DAC レジスタを更新するのは、x2 データが変化した場合のみに限られるので、不要なデジタル・クロストークが除去されます。

パワーオン・リセット

AD539x シリーズには、パワーオン・リセット発生器とステート・マシーンが内蔵されています。パワーオン・リセットは、すべてのレジスタを事前に定義済みの状態にリセットし、アナログ出力はハイ・インピーダンス出力として設定されます。パワーオン・リセット・シーケンス時は BUSY ピンがローレベルになるので、デバイスへのデータの書き込みが防止されます。

パワーダウン

AD539x シリーズには、すべてのチャンネルを低消費電力モードに設定するグローバル・パワーダウン機能が内蔵されており、アナログ消費電流が最大 $1\mu\text{A}$ 、デジタル消費電流が最大 $20\mu\text{A}$ に低減されます。パワーダウン・モード時には、出力アンプをハイ・インピーダンス出力として構成するか、またはグラウンドに $100\text{k}\Omega$ の負荷を供給するように設定できます。パワーダウン・モード時は、すべての内部レジスタのデータ内容が保持されます。パワーダウン・モードの終了時、アンプのセトリグ時間を経過してから、出力がその正しい値にセトリグします。

マイクロプロセッサとのインターフェース接続

AD539x と MC68HC11 とのインターフェース

MC68HC11 のシリアル・ペリフェラル・インターフェース (SPI) をマスター・モード (MSTR=1) に設定し、クロック極性ビット (CPOL)=0、クロック位相ビット (CPHA)=1 にします。SPI コントロール・レジスタ (SPCR) への書き込み動作によって、SPI を設定します。68HC11 のユーザ・マニュアルを参照してください。MC68HC11 の SCK が AD539x の SCLK を駆動し、また MOSI 出力が AD539x のシリアル・データ・ライン (DIN) を駆動し、さらに MISO 入力 が D_{OUT} から駆動されます。SYNC 信号はポート・ライン (PC7) から駆動されます。データが AD539x に送信されているとき、SYNC ラインはローレベルに引き込まれます (PC7)。MOSI 出力上に現れるデータは、SCK の立下がりエッジで有効になります。MC68HC11 のシリアル・データは 8 ビット・バイトで送信され、送信サイクルで発生するクロックの立下がりエッジはわずか 8 個です。

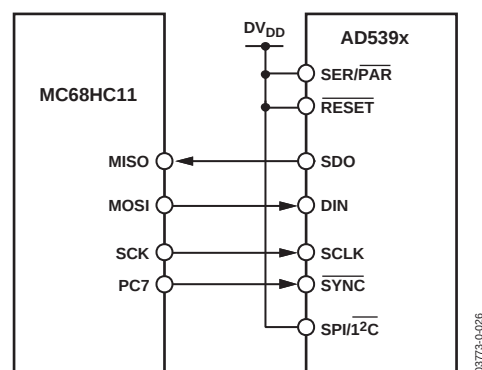


図36. AD539xとMC68HC11とのインターフェース

AD5390/AD5391/AD5392

AD539xとPIC16C6x/7xとのインターフェース

PIC16C6x/7xの同期シリアル・ポート(SSP)をSPIマスターとして設定し、クロック極性ビット=0にします。この設定は、同期シリアル・ポート・コントロール・レジスタ(SSPCON)への書き込み動作によって行います。PIC16/17マイクロコントローラのユーザ・マニュアルを参照してください。図37では、I/OポートRA1を使用して $\overline{\text{SYNC}}$ に信号パルスを送信し、AD539xのシリアル・ポートをイネーブルにしています。このマイクロコントローラが各シリアル転送動作で転送するデータはわずか8ビットであることから、動作モードによっては3回の連続的な読み出し/書き込み動作が必要になります。接続図を図37に示します。

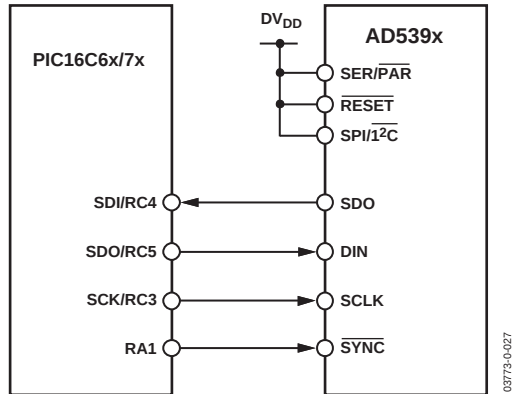


図37. AD539xとPIC16C6x/7xとのインターフェース

AD539xと8051とのインターフェース

AD539xでは、シリアル・データと同期化されたクロックが必要です。したがって、8051のシリアル・インターフェースをモード0で動作させる必要があります。このモードのとき、シリアル・データはRxDを経由して入出力され、シフト・クロックはTxDから出力されます。8051とAD539xの接続方法を図38に示します。AD539xはシフト・クロックの立上がりエッジでデータをシフト出力し、立下がりエッジでデータをラッチ入力するので、シフト・クロックを反転する必要があります。AD539xはデータをMSBファーストで要求します。8051はLSBファーストでデータを出力するため、送信チェーンでは、これを考慮に入れる必要があります。

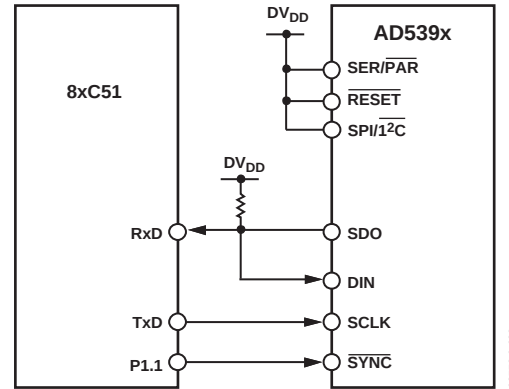


図38. AD539xと8051とのインターフェース

AD539xとADSP2101/ADSP2103とのインターフェース

図39は、AD539xとADSP2101/ADSP2103とのシリアル・インターフェースを示しています。ADSP2101/ADSP2103は、SPORT送信オルタネート・フレーミング・モードで動作するように設定する必要があります。ADSP2101/ADSP2103のSPORTをSPORTコントロール・レジスタでプログラミングし、内部クロック動作、アクティブ・ローレベルのフレーミング、16ビットのワード長のように構成する必要があります。SPORTをイネーブルにした後で、Txレジスタにワードを書き込むことで送信を開始します。

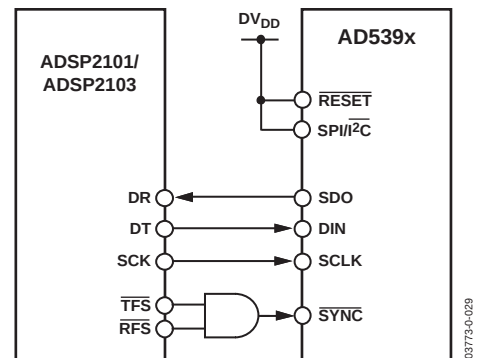


図39. AD539xとADSP2101/ADSP2103とのインターフェース

アプリケーション情報

電源のデカップリング

精度が重視される回路では、定格性能を保証するために電源とグラウンド・リターン・レイアウトに注意が必要です。AD539xを実装するPCボードは、アナログ回路部とデジタル回路部を分離して、ボード内の一定の個所にそれぞれをまとめて配置するように設計してください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムでAD539xを使用する場合は、接続を1点のみで行ってください。AD539xのできるだけ近くにスター結線を設けます。

複数の電源ピン(AV_{DD}、DV_{DD})が使用される場合には、AV_{DD}はAV_{DD}同士で、DV_{DD}はDV_{DD}同士で互いに接続することを推奨します。AD539xは、各電源に10 μ Fと0.1 μ Fのコンデンサを並列に接続して電源を十分にバイパスしてください。その際、これらのコンデンサは可能な限りパッケージに近い位置、理想的にはデバイスの真上に配置します。10 μ Fのコンデンサは、タンタルのビード型を使います。0.1 μ Fのコンデンサについては、高周波でグラウンド間に低インピーダンスの経路を形成する一般のセラミック・タイプのように、等価直列抵抗値(ESR)と等価直列インダクタンス(ESL)の小さいコンデンサを使用し、内部ロジックのスイッチング起因する過渡電流を処理する必要があります。

AD539xの電源ラインは、できるだけ太いパターンを使用して低インピーダンス・パスとし、電源ライン上のグリッチによる影響を軽減する必要があります。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドして、ボードの他の部分へのノイズの放出を防ぎ、リファレンス入力の近くを通らないようにします。DINとSCLKのライン間にグラウンド・ラインを走らせると、ライン間のクロストークが低減されます(多層ボードではグラウンド・プレーンが別個に用意されているので必要ありませんが、各ラインを引き離すと効果的です)。

デジタル信号とアナログ信号の交差は回避してください。ボードの両面のパターンは、互いに直角になるように配置します。これにより、ボードを通過するフィードスルーの影響が低減されます。マイクロストリップ技術は非常に優れていますが、必ずしも両面ボードに適用できるとは限りません。この技術では、ボードの部品面をグラウンド・プレーン専用とし、信号パターンはハンダ面に配置します。

代表的な構成回路

図40に、外部リファレンスを使用した場合のAD539x-5の代表的な構成回路を示します。この回路ではAGND、SIGNAL_GND、DAC_GNDのピンがすべて1つの共通のAGNDに接続されています。AGNDとDGNDは、AD539xデバイスの直近で互いに接続されています。パワーアップ時に、AD539xはデフォルトで外部リファレンス動作に設定されます。AV_{DD}ラインはすべて互いに接続され、同じ5V電源から駆動されます。0.1 μ Fのセラミック・コンデンサと10 μ Fのタンタル・コンデンサをデバイスに近い位置でデカップリングを行うことを推奨します。このアプリケーションでは、AD539x-5のリファレンスは、ADR421またはADR431の2.5Vリファレンスを使用して外部から供給します。AD539x-3に適した外部リファレンスとして、1.2V電圧リファレンスのADR280が挙げられます。

0.1 μ Fのコンデンサによって、デバイスのREFOUT/REFINピンでリファレンスをデカップリングすることが必要です。

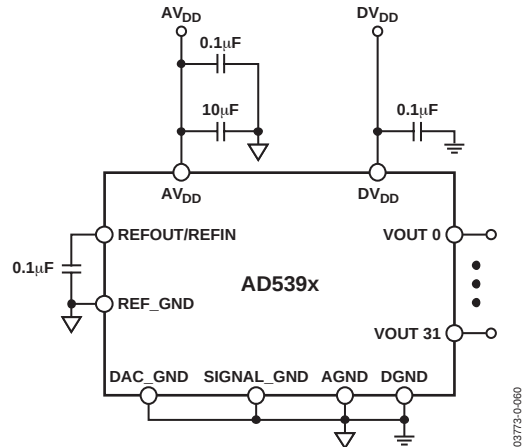


図40. 外部リファレンスを使用した代表的な構成

図41には、内部リファレンスを使用した場合の代表的な構成回路を示しています。パワーアップ時にAD539xはデフォルトで外部リファレンスに設定されるため、AD539xのコントロール・レジスタに書き込みを行い、内部リファレンスを設定し、オンにする必要があります。AD5390/AD5392では、コントロール・レジスタのCR12ビットを使用してリファレンス電圧を選択できます。内部リファレンスを選択するときは、CR10ビットを使用します。AV_{DD}=5Vのときには2.5Vのリファレンス、AV_{DD}=3Vのときには1.25Vのリファレンスを使用することを推奨します。AD5391では、コントロール・レジスタのCR10ビットを使用してリファレンス電圧を選択できます。内部リファレンスを選択するときは、CR8ビットを使用します。

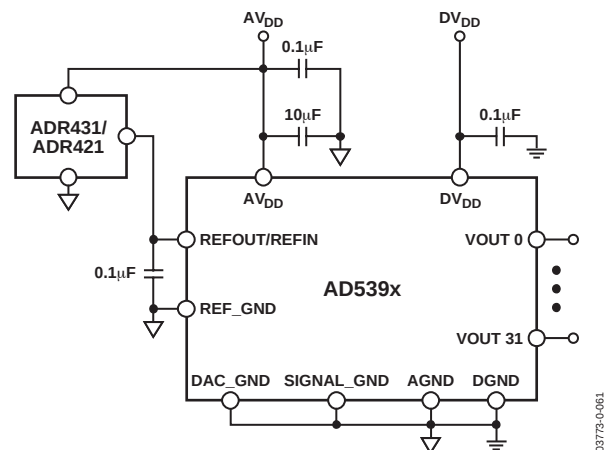


図41. 内部リファレンスを使用した代表的な構成

AD5390/AD5391/AD5392

わかりやすくするためにデジタル接続は省略しています。AD539xにはパワーオン・リセット回路が内蔵されています。パワーオン・リセットには電源投入時から10msの時間が必要です。電源のランプ・レートが10msを超える場合には、初期化プロセスでAD539xをリセットし、キャリブレーション・データがデバイスに正しくロードされるようにします。

AD539xのモニタ機能

AD5390はチャンネル・モニタ機能を内蔵しています。この機能はインターフェースを介してアドレス指定されるマルチプレクサから構成されており、任意のチャンネル出力をこのピンに接続して、外部ADCを使用してモニタすることができます。コントロール・レジスタでチャンネル・モニタ機能をイネーブルにした後に、チャンネルをMON_OUTピンに接続する必要があります。

表23と24には、AD5390、AD5391、AD5392の任意のチャンネルをMON_OUTピンに送るのに必要なデコーディング情報を記載しています。チャンネル・アドレス63を選択すると、MON_OUTピンはスリーステート状態になります。AD539xファミリーには、MON_IN1およびMON_IN2と呼ばれる2本のモニタ入力ピンも用意されています。これらのピンに外部信号を接続すると、ソフトウェア制御によってモニタリングのために外部信号をMON_OUTピンにマルチプレクスすることができます。図42に、6ピンSOTパッケージの12ビット逐次比較型A/Dコンバータ(SAR ADC)を使った代表的なモニタリング回路を示します。外部リファレンス入力のモニタを容易にするために、この入力をMON_IN1に接続しています。コントローラの出力ポートでモニタするチャンネルを選択し、入力ポートで変換データをADCから読み出します。

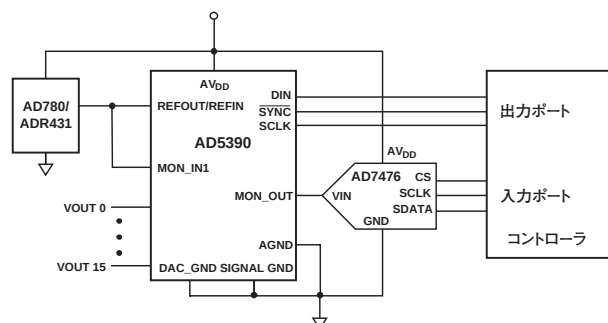


図42. 代表的なチャンネル・モニタリング回路

トグル・モード機能

トグル・モード機能は、2個のDACデータ・レジスタの間で切り替わるLDAC制御信号を使用して、出力信号を生成することが可能です。この機能は、SFRコントロール・レジスタを使用して次のように設定します。REG1=REG0=0、A3~A0=1100の書き込みによって、コントロール・レジスタの書き込み動作を指定します。トグル・モード機能は、AD5390/AD5392ではコントロール・レジスタのCR3およびCR2ビット、AD5391ではコントロール・レジスタのCR1およびCR0ビットを使用して、8チャンネルのグループでイネーブルになります（「コントロール・レジスタの書き込み」を参照）。図43に、トグル・モード実行回路のブロック図を示します。AD539xの各DACチャンネルには、それぞれAデータ・レジスタとBデータ・レジスタが用意されています。Bレジスタにデータをロードできるのは、トグル・モードがイネーブルのときに限られる点に注意してくださ

い。AD539xをトグル動作モードに設定するときのイベント・シーケンスは、以下のとおりです。

1. コントロール・レジスタを使用して、必要なチャンネルのトグル・モードをイネーブルにします。
2. Aレジスタにデータをロードします。
3. Bレジスタにデータをロードします。
4. LDACを与えます。

LDACでAとBの各レジスタ間を切り替えて、アナログ出力を決定します。最初のLDACは出力がAレジスタのデータを反映するように設定します。このモードは、全チャンネルの出力で矩形波を発生させたい場合に非常に便利です。これは、液晶ベースの可変光減衰器を駆動する場合に必要になります。たとえば、AD5390の設定では、コントロール・レジスタに書き込みを行い、CR3=1およびCR2=1を設定することで、2つの8チャンネル・グループでトグル動作モードがイネーブルになります。次に、16個すべてのAレジスタとBレジスタにデータをロードする必要があります。LDACのトグルによって、出力値がAおよびBレジスタのデータを反映するように設定され、LDACの周波数が矩形波出力の周波数を決定します。最初のLDACで、Aレジスタのデータ内容がDACレジスタにロードされます。トグル・モードはコントロール・レジスタでディスエーブルされます。トグル・モードをディスエーブルにした後の最初のLDACで、出力はAレジスタに格納されたデータで更新されます。

サーマル・モニタ機能

AD539xファミリーは、複数の出力が短絡したときにチップを保護するサーマル・シャットダウン機能を内蔵しています。各出力アンプの短絡電流は40mA (typ)です。AD539xを5V電源で動作させると、短絡アンプ1個当たりの消費電力は200mWになります。5チャンネルが短絡すると、さらに消費電力が増加します。52ピンLQFPの θ_{JA} は、44°C/W (typ)です。

サーマル・モニタ機能をイネーブルにするには、AD5390/AD5392ではコントロール・レジスタのCR8ビット、AD5391ではコントロール・レジスタのCR6ビットを使用します。ダイ温度が約130°Cを超えると、AD539xの出力アンプは自動的にパワーダウンします。サーマル・シャットダウンの発生後は、ダイ温度が130°C以下に低下した場合にソフト・パワーアップを起動するか、またはコントロール・レジスタでサーマル・モニタ機能をオフにする方法で、デバイスを再びイネーブルにすることができます。

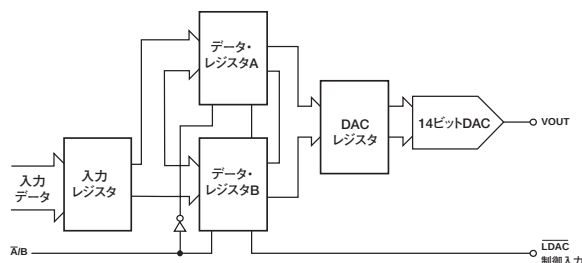


図43. トグル・モード機能

パワーアンプの制御

多段パワーアンプ設計では、出力段の動作と制御に多数のセットポイントが要求されます。AD539xは小型 (LFCSPパッケージ) で、8チャンネルまたは16チャンネルを集積化し、しかも12ビットと14ビットの分解能を提供するので、このようなアプリケーションに最適です。代表的なトランスミッタ・アーキテクチャを図44に示します。この回路構成では、 I_{BIAS} 制御、平均パワー制御 (APC)、ピーク・パワー制御 (PPC)、送信ゲイン制御 (TGC)、オーディオ・レベル制御 (ALC) の各制御回路でAD539x DACを使用することが可能です。アンプ全体の設計では、可変電圧減衰器、位相シフト制御、DCセットポイント制御でもDACが必要とされます。

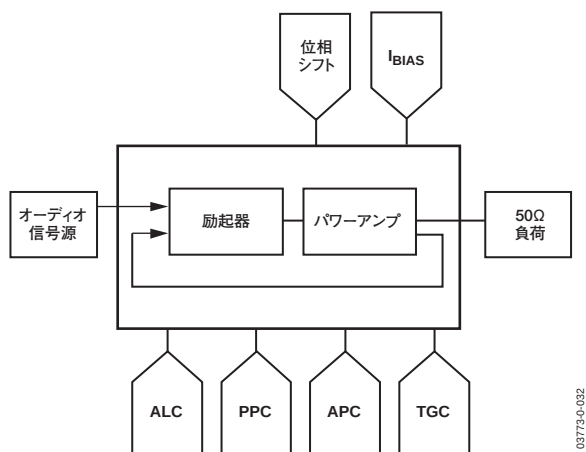


図44. 多段パワーアンプ制御

プロセス制御アプリケーション

8チャンネルまたは16チャンネルのAD539x-5ファミリーは、12ビットまたは14ビットの分解能を提供するため、プロセス制御アプリケーションに最適です。これらのアプリケーションでは一般的に、0~5V、±5V、0~10V、±10Vの出力電圧範囲と電流シンクおよびソース機能が要求されます。AD539x-5シリーズは5Vの単電源で動作するので、上記のような出力電圧範囲を達成するには、外部からの信号調整が必要となります。これらの出力電圧範囲を達成するための構成を図45に示します。これらのアプリケーションでAD539xシリーズを使用することの主な利点として、小型のパッケージ・サイズ、12ビットから14ビットへのアップグレードを可能にするピン配置の互換性、温度係数が最大10ppm/℃の2.5Vリファレンスの内蔵、優れた精度仕様が挙げられます。AD539xファミリーはチャンネルごとにオフセットおよびゲイン・レジスタが内蔵されているので、チャンネル別のシステム・レベルのキャリブレーションが実行できます。

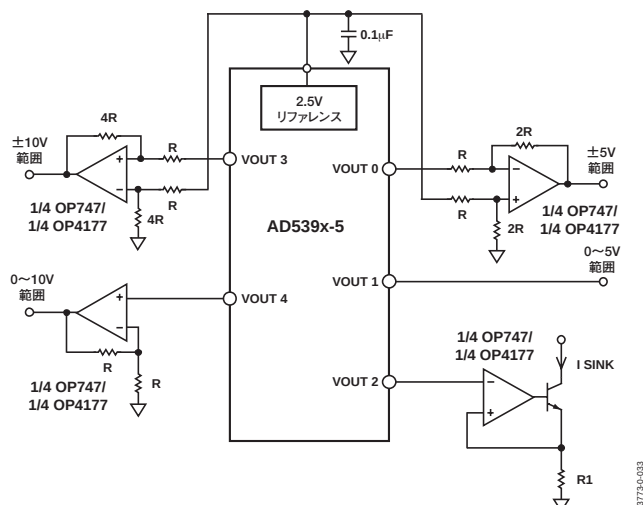


図45. プロセス制御アプリケーション用の出力構成

光トランシーバ

AD539x-3ファミリーは、光トランシーバ・アプリケーションに最適です。一例として、300ピンMSAアプリケーションでは、レーザ・パワー、APDバイアス、変調器の振幅などの制御にDACが要求され、モジュールからのアナログ出力として診断情報が必要とされます。8チャンネルまたは16チャンネルのAD539xは、64ピンLFCSPパッケージで12ビットと14ビットの分解能を提供し、さらに2.7~5.5Vの電源電圧で動作するとともに、リファレンスを内蔵し、しかもI²C互換およびSPIインターフェースを特長としているので、このようなアプリケーションでの使用に最適なデバイスです。図46に、光トランシーバ・アプリケーションでの代表的な構成を示します。

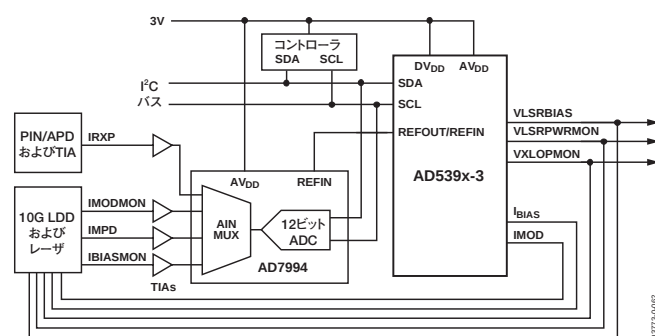


図46. AD539x-3を利用した光トランシーバ

AD5390/AD5391/AD5392

オーダー・ガイド

モデル	温度範囲	分解能	AV _{DD}	出力 チャンネル	直線性誤差 (LSB)	パッケージ	パッケージ・ オプション
AD5390BCP-3	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	16	±4	64ピン LFCSP	CP-64-2
AD5390BCP-3-REEL	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	16	±4	64ピン LFCSP	CP-64-2
AD5390BCP-3-REEL7	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	16	±4	64ピン LFCSP	CP-64-2
AD5390BCP-5	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	16	±3	64ピン LFCSP	CP-64-2
AD5390BCP-5-REEL	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	16	±3	64ピン LFCSP	CP-64-2
AD5390BCP-5-REEL7	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	16	±3	64ピン LFCSP	CP-64-2
AD5390BST-3	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	16	±4	52ピン LQFP	ST-52
AD5390BST-3-REEL	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	16	±4	52ピン LQFP	ST-52
AD5390BST-5	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	16	±3	52ピン LQFP	ST-52
AD5390BST-5-REEL	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	16	±3	52ピン LQFP	ST-52
AD5391BCP-3	-40 ~ +85°C	12ビット	2.7 ~ 3.6 V	16	±1	64ピン LFCSP	CP-64-2
AD5391BCP-3-REEL	-40 ~ +85°C	12ビット	2.7 ~ 3.6 V	16	±1	64ピン LFCSP	CP-64-2
AD5391BCP-3-REEL7	-40 ~ +85°C	12ビット	2.7 ~ 3.6 V	16	±1	64ピン LFCSP	CP-64-2
AD5391BCP-5	-40 ~ +85°C	12ビット	4.5 ~ 5.5 V	16	±1	64ピン LFCSP	CP-64-2
AD5391BCP-5-REEL	-40 ~ +85°C	12ビット	4.5 ~ 5.5 V	16	±1	64ピン LFCSP	CP-64-2
AD5391BCP-5-REEL7	-40 ~ +85°C	12ビット	4.5 ~ 5.5 V	16	±1	64ピン LFCSP	CP-64-2
AD5391BST-3	-40 ~ +85°C	12ビット	2.7 ~ 3.6 V	16	±1	52ピン LQFP	ST-52
AD5391BST-3-REEL	-40 ~ +85°C	12ビット	2.7 ~ 3.6 V	16	±1	52ピン LQFP	ST-52
AD5391BST-5	-40 ~ +85°C	12ビット	4.5 ~ 5.5 V	16	±1	52ピン LQFP	ST-52
AD5391BST-5-REEL	-40 ~ +85°C	12ビット	4.5 ~ 5.5 V	16	±1	52ピン LQFP	ST-52
AD5392BCP-3	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	8	±4	64ピン LFCSP	CP-64-2
AD5392BCP-3-REEL	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	8	±4	64ピン LFCSP	CP-64-2
AD5392BCP-3-REEL7	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	8	±4	64ピン LFCSP	CP-64-2
AD5392BCP-5	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	8	±3	64ピン LFCSP	CP-64-2
AD5392BCP-5-REEL	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	8	±3	64ピン LFCSP	CP-64-2
AD5392BCP-5-REEL7	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	8	±3	64ピン LFCSP	CP-64-2
AD5392BST-3	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	8	±4	52ピン LQFP	ST-52
AD5392BST-3-REEL	-40 ~ +85°C	14ビット	2.7 ~ 3.6 V	8	±4	52ピン LQFP	ST-52
AD5392BST-5	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	8	±3	52ピン LQFP	ST-52
AD5392BST-5-REEL	-40 ~ +85°C	14ビット	4.5 ~ 5.5 V	8	±3	52ピン LQFP	ST-52
Eval-AD5390EB						AD5390 評価用ボード	
Eval-AD5391EB						AD5391 評価用ボード	
Eval-AD5392EB						AD5392 評価用ボード	

ノート

ノート

ノート

アナログ・デバイセズ社またはその二次ライセンスを受けた関連会社からライセンスの対象となるI²Cコンポーネントを購入した場合、購入者にはこれらのコンポーネントをI²Cシステムで使用するフィリップス社のI²Cの特許権に基づくライセンスが許諾されます。ただし、フィリップス社が規定するI²C規格仕様に準拠したシステムが必要です。