

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2010年3月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2010年3月5日

製品名：AD9446

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

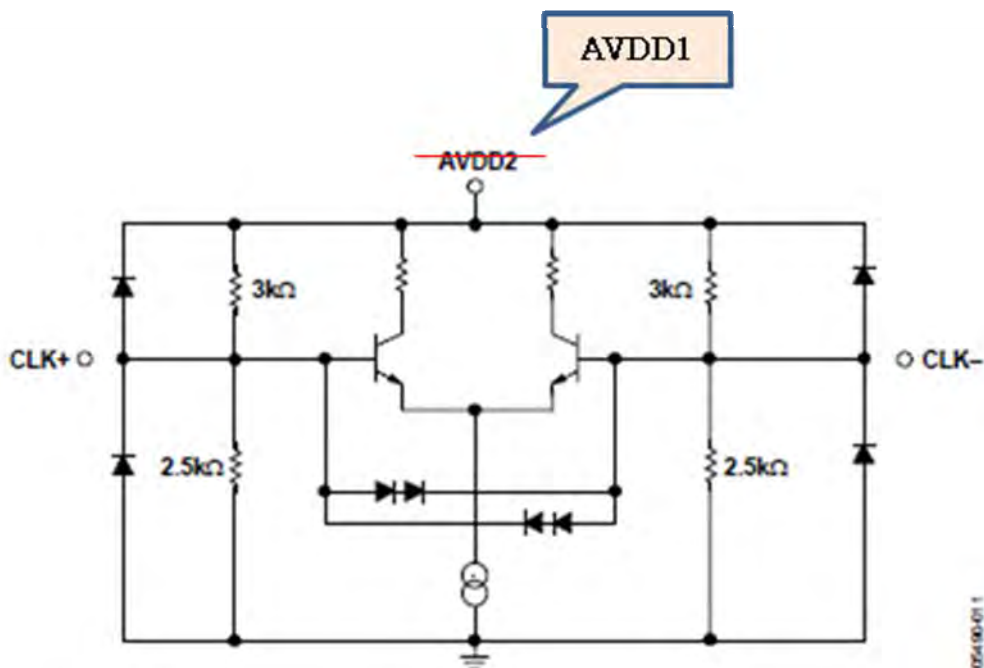


Figure 11. Equivalent Sample Clock Input Circuit

特長

100MSPSのサンプリング・レートを保証 (AD9446-100)
 30MHz (3.8Vp-p、80MSPS) の入力時で83.6dBFSのSNR
 30MHz (3.2Vp-p、80MSPS) の入力時で82.6dBFSのSNR
 30MHz (3.2Vp-p、80MSPS) の入力時で89dBcのSFDR
 9.8MHz/10.8MHz (100MSPS) のツートーン入力時で
 95dBFSのSFDR
 ジッタ：60fsec rms
 優れた直線性
 $DNL = \pm 0.4LSB$ (typ)
 $INL = \pm 3.0LSB$ (typ)
 2.0~4.0Vp-pの差動フルスケール入力
 アナログ入力のバッファリング
 LVDS出力 (ANSI-644準拠) またはCMOS出力
 データ・フォーマット：オフセット・バイナリまたは2の補数
 を選択可能
 出力クロックを内蔵
 動作電源電圧：3.3V/5V

アプリケーション

MRIレシーバ
 マルチキャリア、マルチモードの携帯電話レシーバ
 アンテナ・アレイの位置決め
 パワーアンプのリニアライゼーション
 ブロードバンド無線
 レーダー
 赤外線画像処理
 通信用計測機器

概要

AD9446は、IFサンプリング・トラック&ホールド回路を内蔵した16ビット、モノリシックのサンプリングA/Dコンバータ (ADC) です。性能、小型サイズ、使いやすさを追求して最適化されています。最大100MSPSの変換レートで動作し、ベースバンド (<100MHz) IF周波数を使用する計装、医療用画像処理、レーダー受信機などのアプリケーションで優れたSNR性能を発揮します。

このADCの完全な性能動作を実現するには、3.3Vおよび5.0Vの電源と低電圧の差動入力クロックが必要です。ほとんどのアプリケーションでは、リファレンスやドライバ部品を外付けする必要がありません。データ出力はCMOSまたはLVDS互換 (ANSI-644準拠) であり、パターン配線の距離を短くすると全体の電流値を軽減できます。

機能ブロック図

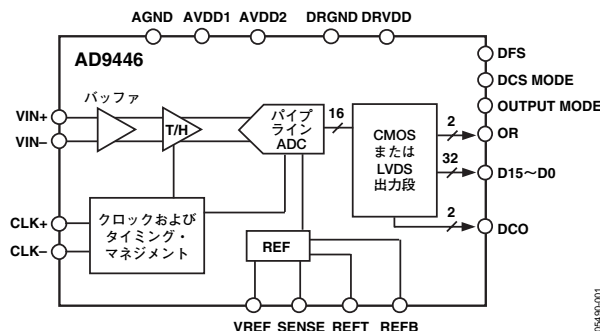


図1

入力電圧範囲、データ・フォーマットの選択、出力データ・モードなどのオプション機能を備えているため、各種の動作条件を設定できます。

AD9446は、鉛フリーの100ピン表面実装プラスチック・パッケージ (100ピンTQFP/EP) を採用し、工業用温度範囲 (-40~+85℃) で仕様規定されています。

製品のハイライト

1. 真の16ビット直線性
2. 高性能：データ・アキュジション、計測器、磁気共鳴画像処理、レーダー受信機などのベースバンドIFアプリケーションで非常に優れたSNR性能を発揮
3. 使いやすさ：リファレンス、アナログ入力電圧範囲の調整が可能な高入力インピーダンスのトラック&ホールド回路、データの取込みを容易にする出力クロックを内蔵
4. 鉛フリーの100ピンTQFP/EPパッケージ
5. クロック・デューティサイクル・スタビライザ (DCS) が、広範囲のクロック・パルス幅でADCの性能全体を維持
6. 信号が指定の入力電圧範囲を超えたときを示すOR (アウトオブレンジ) 出力

目次

特長	1	用語の説明	9
アプリケーション	1	ピン配置と機能の説明	10
概要	1	等価回路	15
機能ブロック図	1	代表的な性能特性	16
製品のハイライト	1	動作原理	24
改訂履歴	2	アナログ入力とリファレンスの概要	24
仕様	3	クロック入力に関する考慮事項	26
DC仕様	3	電源に関する考慮事項	27
AC仕様	4	デジタル出力	27
デジタル仕様	6	タイミング	27
スイッチング仕様	6	動作モードの選択	28
タイミング図	7	評価用ボード	29
絶対最大定格	8	外形寸法	36
熱抵抗	8	オーダー・ガイド	36
ESDに関する注意	8		

改訂履歴

10/05—Revision 0: Initial Version

仕様

DC仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、LVDSモード、規定の最小サンプリング・レート、3.2Vp-pの差動入力、トリミング済みの内部リファレンス（1.6Vモード）、 $A_{IN} = -1.0dBFS$ 、DCSオン。

表1

パラメータ	温度	AD9446BSVZ-80			AD9446BSVZ-100			単位
		Min	Typ	Max	Min	Typ	Max	
分解能	全範囲	16			16			ビット
精度								
ノーマリズド・ミッシング・コード	全範囲	保証			保証			
オフセット誤差	全範囲	-5	±0.1	+5	-5	±0.1	+5	mV
ゲイン誤差	全範囲	-3	±0.6	+3	-3	±0.5	+3	% FSR
	25℃	-2	±0.3	+2	-2	±0.3	+2	% FSR
微分非直線性 (DNL) ¹	全範囲	-0.75	±0.4	+0.75	-0.85	±0.4	+0.85	LSB
積分非直線性 (INL) ¹	25℃	-5	±3.0	+5	-6	±3.0	+6	LSB
電圧リファレンス								
出力電圧 ¹								
VREF=1.6V (3.2V p-pのアナログ入力電圧範囲)	全範囲	1.6			1.6			V
負荷レギュレーション@1.0mA	全範囲	±2			±2			mV
リファレンス入力電流 (外部VREF=1.6V)	全範囲							μA
入力換算ノイズ	25℃	1.5			1.9			LSB rms
アナログ入力								
入カスパン								
VREF=1.6V	全範囲	3.2			3.2			V p-p
VREF=1.0V (外部)	全範囲	2.0			2.0			V p-p
内部入力コモンモード電圧	全範囲	3.5			3.5			V
外部入力コモンモード電圧	全範囲	3.2		3.8	3.2		3.8	V
入力抵抗 ²	全範囲	1			1			kΩ
入力容量 ²	全範囲	6			6			pF
電源								
電源電圧								
AVDD1	全範囲	3.14	3.3	3.46	3.14	3.3	3.46	V
AVDD2	全範囲	4.75	5.0	5.25	4.75	5.0	5.25	V
DRVDD-LVDS出力	全範囲	3.0	3.3	3.6	3.0	3.3	3.6	V
DRVDD-CMOS出力	全範囲	3.0	3.3	3.6	3.0	3.3	3.6	V
電源電流 ¹								
I _{AVDD1}	全範囲		335	365		368	401	mA
I _{AVDD2}	全範囲		204	234		223	255	mA
I _{DRVDD} ¹ -LVDS出力	全範囲		68	75		69	75	mA
I _{DRVDD} ¹ -CMOS出力	全範囲		14			14		mA
PSRR								
オフセット	全範囲	1			1			mV/V
ゲイン	全範囲	0.2			0.2			%/V
消費電力								
LVDS出力	全範囲	2.4			2.6			W
CMOS出力 (DC入力)	全範囲	2.2			2.3			W

¹ 最大クロック・レート、 $f_{IN}=15MHz$ 、フルスケールのサイン波で測定、LVDS出力モードの場合は各出力ビット・ペア・ピンに100Ωの差動終端抵抗を接続し、CMOS出力モードの場合は各出力ビット・ピンに約5pFの負荷を接続。

² 入力容量または入力抵抗は、1本の差動入力ピンとAGND間の実効インピーダンスを基準とします。等価なアナログ入力構造については、図6を参照。

AD9446

AC仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、LVDSモード、規定の最小サンプリング・レート、3.2Vp-pの差動入力、トリミング済みの内部リファレンス（1.6Vモード）、A_{IN}=−1.0dBFS、DCSオン。

表2

パラメータ	温度	AD9446BSVZ-80			AD9446BSVZ-100			単位
		Min	Typ	Max	Min	Typ	Max	
S/N比（SNR）								
f _{IN} = 10MHz	25℃	79.6	81.8		78.4	79.7		dB
f _{IN} = 30MHz	25℃	80.5	81.6		78.3	79.5		dB
	全範囲	79.2			77.9			dB
f _{IN} = 70MHz	25℃	79.0	80.6		77.7	79.0		dB
	全範囲	78.2			77.6			dB
f _{IN} = 92MHz	25℃		80.1			78.9		dB
f _{IN} = 125MHz	25℃		78.8			78.2		dB
f _{IN} = 170MHz	25℃		77.1			77.0		dB
f _{IN} = 10MHz（2Vp-p入力）	25℃		78.3			76.6		dB
f _{IN} = 30MHz（2Vp-p入力）	25℃		78.3			76.6		dB
f _{IN} = 70MHz（2Vp-p入力）	25℃		77.6			76.2		dB
f _{IN} = 92MHz（2Vp-p入力）	25℃		77.5			76		dB
f _{IN} = 125MHz（2Vp-p入力）	25℃		76.7			75.6		dB
f _{IN} = 170MHz（2Vp-p入力）	25℃		75.5			75.1		dB
信号／ノイズ&歪み（SINAD）								
f _{IN} = 10MHz	25℃	77.1	80.5		76.9	78.9		dB
f _{IN} = 30MHz	25℃	75.9	80.4		75.5	78.6		dB
	全範囲	74.9			71.7			dB
f _{IN} = 70MHz	25℃	75.5	78.6		73.8	77.7		dB
	全範囲	74.4			69.1			dB
f _{IN} = 92MHz	25℃		79.2			77.1		dB
f _{IN} = 125MHz	25℃		74.9			76.9		dB
f _{IN} = 170MHz	25℃		66.0			70.5		dB
f _{IN} = 10MHz（2Vp-p入力）	25℃		77.9			76.2		dB
f _{IN} = 30MHz（2Vp-p入力）	25℃		77.8			76.1		dB
f _{IN} = 70MHz（2Vp-p入力）	25℃		77.1			75.9		dB
f _{IN} = 92MHz（2Vp-p入力）	25℃		77.1			75.7		dB
f _{IN} = 125MHz（2Vp-p入力）	25℃		75.7			75.3		dB
f _{IN} = 170MHz（2Vp-p入力）	25℃		72.5			73.6		dB
有効ビット数（ENOB）								
f _{IN} = 10MHz	25℃		13.2			13.0		ビット
f _{IN} = 30MHz	25℃		13.2			12.9		ビット
f _{IN} = 70MHz	25℃		12.9			12.8		ビット
f _{IN} = 92MHz	25℃		13.0			12.7		ビット
f _{IN} = 125MHz	25℃		12.3			12.6		ビット
f _{IN} = 170MHz	25℃		10.8			11.6		ビット

パラメータ	温度	AD9446BSVZ-80			AD9446BSVZ-100			単位
		Min	Typ	Max	Min	Typ	Max	
スプリアスフリー・ダイナミック・レンジ (SFDR、2次または3次高調波)								
$f_{IN} = 10\text{MHz}$	25°C	82	90		82	92		dBc
$f_{IN} = 30\text{MHz}$	25°C	82	89		82	89		dBc
	全範囲	80			79			dBc
$f_{IN} = 70\text{MHz}$	25°C	80	87		81	89		dBc
	全範囲	79			77			dBc
$f_{IN} = 92\text{MHz}$	25°C		84			84		dBc
$f_{IN} = 125\text{MHz}$	25°C		80			83		dBc
$f_{IN} = 170\text{MHz}$	25°C		66			74		dBc
$f_{IN} = 10\text{MHz}$ (2Vp-p入力)	25°C		92			94		dBc
$f_{IN} = 30\text{MHz}$ (2Vp-p入力)	25°C		93			92		dBc
$f_{IN} = 70\text{MHz}$ (2Vp-p入力)	25°C		92			92		dBc
$f_{IN} = 92\text{MHz}$ (2Vp-p入力)	25°C		90			89		dBc
$f_{IN} = 125\text{MHz}$ (2Vp-p入力)	25°C		85			87		dBc
$f_{IN} = 170\text{MHz}$ (2Vp-p入力)	25°C		77			82		dBc
ワースト高調波 (2次または3次高調波を除く)								
$f_{IN} = 10\text{MHz}$	25°C		-98	-89		-96	-91	dBc
$f_{IN} = 30\text{MHz}$	25°C		-97	-89		-97	-89	dBc
	全範囲			-89			-87	dBc
$f_{IN} = 70\text{MHz}$	25°C		-98	-90		-96	-90	dBc
	全範囲			-89			-88	dBc
$f_{IN} = 92\text{MHz}$	25°C		-98			-95		dBc
$f_{IN} = 125\text{MHz}$	25°C		-96			-96		dBc
$f_{IN} = 170\text{MHz}$	25°C		-95			-92		dBc
$f_{IN} = 10\text{MHz}$ (2Vp-p入力)	25°C		-97			-93		dBc
$f_{IN} = 30\text{MHz}$ (2Vp-p入力)	25°C		-97			-96		dBc
$f_{IN} = 70\text{MHz}$ (2Vp-p入力)	25°C		-94			-94		dBc
$f_{IN} = 92\text{MHz}$ (2Vp-p入力)	25°C		-97			-99		dBc
$f_{IN} = 125\text{MHz}$ (2Vp-p入力)	25°C		-97			-95		dBc
$f_{IN} = 170\text{MHz}$ (2Vp-p入力)	25°C		-93			-95		dBc
ツートーンSFDR								
$f_{IN} = 10.8\text{MHz}$ @ -7 dBFS、 9.8MHz @ -7 dBFS	25°C		96			95		dBFS
$f_{IN} = 70.3\text{MHz}$ @ -7 dBFS、 69.3MHz @ -7 dBFS	25°C		92			92		dBFS
アナログ帯域幅	全範囲		325			540		MHz

AD9446

デジタル仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、 $R_{LVDS_BIAS}=3.74k\Omega$ 。

表3

パラメータ	温度	AD9446BSVZ-80			AD9446BSVZ-100			単位
		Min	Typ	Max	Min	Typ	Max	
CMOSロジック入力 (DFS、DCSモード、出力モード)								
ハイレベル入力電圧	全範囲	2.0			2.0			V
ローレベル入力電圧	全範囲	0.8			0.8			V
ハイレベル入力電流	全範囲	200			200			μA
ローレベル入力電流	全範囲	−10 +10			−10 +10			μA
入力容量	全範囲	2			2			pF
デジタル出力ビット—CMOSモード (D0〜D15、OTR) ¹ DRVDD=3.3V								
ハイレベル出力電圧	全範囲	3.25			3.25			V
ローレベル出力電圧	全範囲	0.2			0.2			V
デジタル出力ビット—LVDSモード (D0〜D15、OTR)								
V _{OD} 差動出力電圧 ²	全範囲	247 545			247 545			mV
V _{OS} 出力オフセット電圧	全範囲	1.125 1.375			1.125 1.375			V
クロック入力 (CLK+, CLK−)								
差動入力電圧	全範囲	0.2			0.2			V
コモンモード電圧	全範囲	1.3	1.5	1.6	1.3	1.5	1.6	V
入力抵抗	全範囲	1.1	1.4	1.7	1.1	1.4	1.7	kΩ
入力容量	全範囲	2			2			pF

¹ 出力電圧レベルは、5pFの負荷を各出力にかけた状態で測定しています。

² LVDS $R_{TERM}=100\Omega$

スイッチング仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V。

表4

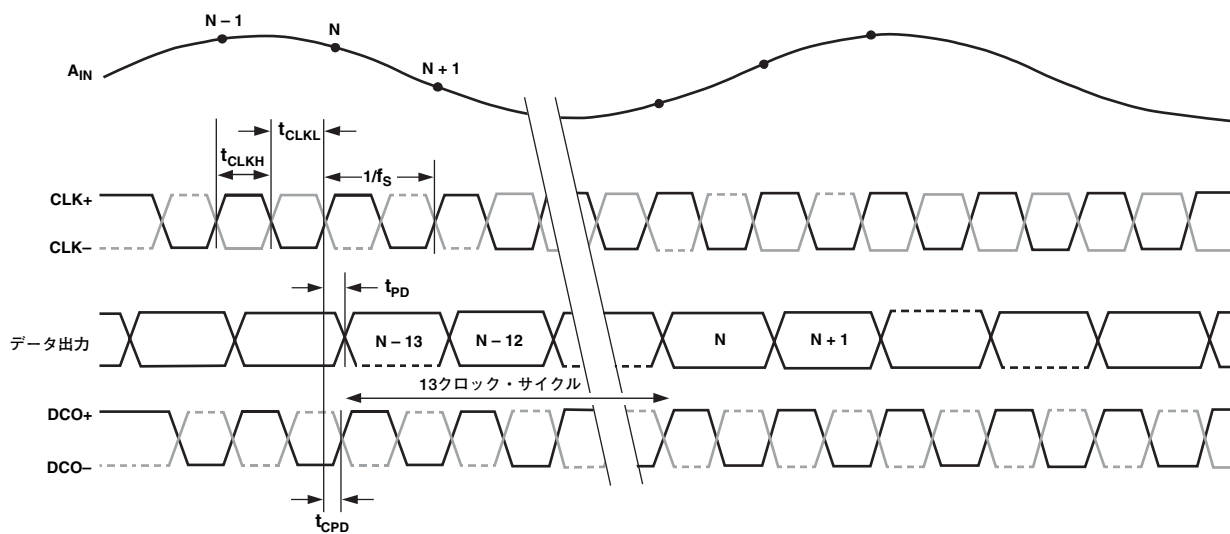
パラメータ	温度	AD9446BSVZ-80			AD9446BSVZ-100			単位
		Min	Typ	Max	Min	Typ	Max	
クロック入力パラメータ								
最大変換レート	全範囲	80			100			MSPS
最小変換レート	全範囲			1			1	MSPS
CLK周期	全範囲	12.5			10			ns
CLKパルス幅ハイレベル ¹ (t _{CLKH})	全範囲	5.0			4.0			ns
CLKパルス幅ローレベル ¹ (t _{CLKL})	全範囲	5.0			4.0			ns
データ出力パラメータ								
出力伝播遅延—CMOS (t _{PD}) ² (Dx、DCO+)	全範囲		3.35			3.35		ns
出力伝播遅延—LVDS (t _{PD}) ³ (Dx+)、 (t _{CPD}) ³ (DCO+)	全範囲	2.1	3.6	4.8	2.3	3.6	4.8	ns
パイプライン遅延 (レイテンシ)	全範囲		13			13		サイクル
アパーチャ遅延 (t _A)	全範囲							ns
アパーチャ不確実性 (ジッタ、t _J)	全範囲		60			60		fsec rms

¹ デューティサイクル・スタビライザ (DCS) をイネーブルにしています。

² 出力伝播遅延は、5pFの負荷を使用して、クロックの50%遷移からデータの50%遷移までのタイミングで測定しています。

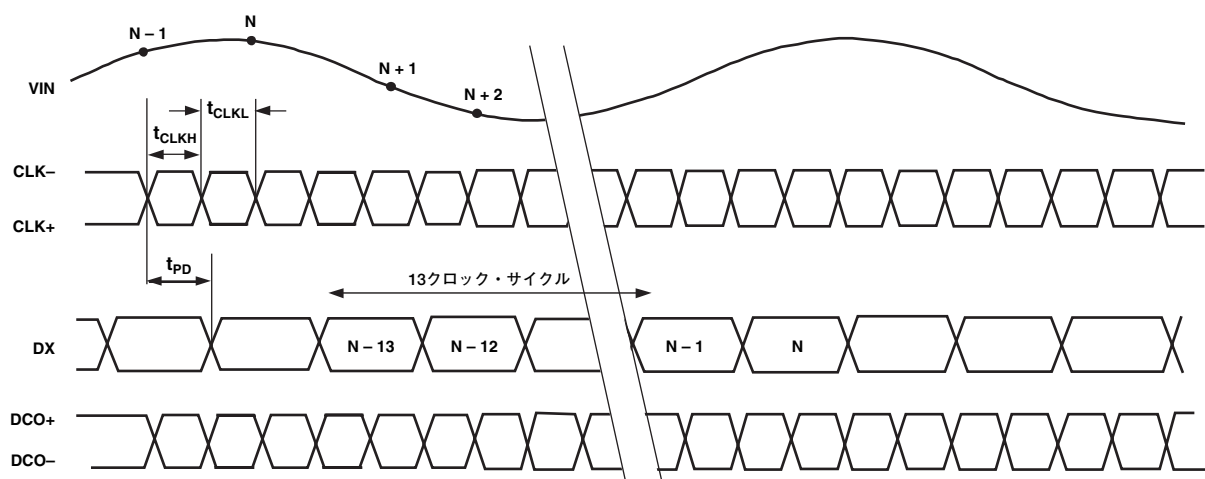
³ LVDS $R_{TERM}=100\Omega$ 。CLK+の立上がりエッジの50%ポイントからデータ遷移の50%ポイントまでのタイミングで測定しています。

タイミング図



05490-002

図2. LVDSモードのタイミング図



05490-003

図3. CMOSモードのタイミング図

絶対最大定格

表5

パラメータ	基準	定格値
電氣的定格		
AVDD1	AGND	−0.3～+4V
AVDD2	AGND	−0.3～+6V
DRVDD	DGND	−0.3～+4V
AGND	DGND	−0.3～+0.3V
AVDD1	DRVDD	−4～+4V
AVDD2	DRVDD	−4～+6V
AVDD2	AVDD1	−4～+6V
D0±～D15±	DGND	−0.3V～DRVDD+0.3V
CLK+／CLK−	AGND	−0.3V～AVDD1+0.3V
出力モード、 DCSモード、 DFS	AGND	−0.3V～AVDD1+0.3V
VIN+、VIN−	AGND	−0.3V～AVDD2+0.3V
VREF	AGND	−0.3V～AVDD1+0.3V
SENSE	AGND	−0.3V～AVDD1+0.3V
REFT、REFB	AGND	−0.3V～AVDD1+0.3V
環境定格		
保存温度範囲		−65～+125℃
動作温度範囲		−40～+85℃
リード・ピン温度 (ハンダ付け、 10秒)		300℃
ジャンクション 温度		150℃

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

AD9446のパッケージのヒート・シンクは、グラウンドにハンダ付けする必要があります。

表6

パッケージ・タイプ	θ_{JA}	θ_{JB}	θ_{JC}	単位
100ピンTQFP/EP	19.8	8.3	2	℃/W

自然空冷で多層ボードに実装する場合の $\theta_{JA}=19.8^{\circ}\text{C/W}$ （ヒート・シンクをハンダ付けした場合の代表値）

自然空冷で多層ボードに実装する場合の $\theta_{JB}=8.3^{\circ}\text{C/W}$ （ヒート・シンクをハンダ付けした場合の代表値）

$\theta_{JC}=2^{\circ}\text{C/W}$ （代表値、接合部－露出ヒート・シンク間）は、ヒート・シンクを経由した熱抵抗値です。

エアフローは放熱を促し、これに伴って θ_{JA} が実質的に低下します。さらに、金属パターンがスルーホール、グラウンド、電源プレーンに配線されると、パッケージのピンに直接接触する金属部分が増え、 θ_{JA} が低下します。露出ヒート・シンクをグラウンド・プレーンにハンダ付けしてください。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



用語の説明

アナログ帯域幅（フルパワー帯域幅）

基本周波数（FFT分析により決定）の電力スペクトルが3dB低下するアナログ入力周波数です。

アパーチャ遅延（ t_A ）

クロックの立ち上がりエッジの50%ポイントと、アナログ入力が入サンプリングされるタイミングとの間の遅延時間です。

アパーチャ不確実性（ジッタ、 t_j ）

アパーチャ遅延のサンプル間変動です。

クロック・パルス幅およびデューティサイクル

パルス幅ハイレベルは、定格性能を達成するためにクロック・パルスがロジック1状態を維持する必要がある最小時間です。パルス幅ローレベルは、クロック・パルスがローレベル状態を維持する必要がある最小時間です。所定のクロック・レート時に、これらの仕様に基づいて許容可能なクロック・デューティサイクルが決定されます。

微分非直線性（DNL、ノー・ミッシング・コード）

理想的なADCは、正確に1LSB離れたコード遷移を示します。DNLはこの理想値からの差です。16ビット分解能に対して保証されたノー・ミッシング・コードは、65,536個すべてのコードが全動作範囲で存在しなければならないことを表します。

有効ビット数（ENOB）

所定の入力周波数時におけるサイン波入力に対する有効ビット数は、SINADの測定値から以下の式を用いて計算できます。

$$ENOB = \frac{(SINAD - 1.76)}{6.02}$$

ゲイン誤差

最初の遷移は、負側フルスケールより0.5LSB高いアナログ電圧で発生します。最後の遷移は、正側フルスケールより1.5LSB低いアナログ電圧で発生します。ゲイン誤差は、理想的な最初と最後のコード遷移の差と、実際の最初と最後のコード遷移の差の偏差です。

積分非直線性（INL）

直線性誤差とは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との偏差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より0.5LSBだけ下に存在します。正側フルスケールは、最後のコード遷移より1.5LSB高いレベルと定義されます。偏差とは、各コードの中心と真の直線との距離です。

最大変換レート

パラメータ・テストを実施する際に適用されるクロック・レートです。

最小変換レート

最小周波数のアナログ信号S/N比が保証制限値から3dBだけ低下するときのクロック・レートです。

オフセット誤差

メジャー・キャリー遷移は、 $VIN+ = VIN-$ の0.5LSB低いアナログ電圧で発生します。オフセット誤差は、そのポイントからの実際の遷移の差として定義されます。

アウトオブレンジからの回復時間

正側フルスケールの10%上から負側フルスケールの10%上までの変化、または負側フルスケールの10%下から正側フルスケールの10%下までの変化の後で、ADCがアナログ入力を再び取り込むまでの所要時間です。

出力伝播遅延（ t_{PD} ）

クロックのエッジが立ち上がった後で、出力データ・ビットがすべて有効ロジック・レベルになるまでの遅延時間です。

電源電圧変動除去比

電源の最小制限電圧から最大制限電圧までの最大フルスケール変動を示します。

信号／ノイズ&歪み比（SINAD）

入力信号振幅のrms値と、ナイキスト周波数より下の全スペクトル成分（DC以外の高調波成分を含む）のrms値総和との比です。

S/N比（SNR）

入力信号振幅のrms値と、ナイキスト周波数より下の全スペクトル成分（最初から6番目までの高調波成分とDC成分を除く）のrms値総和との比です。

スプリアス・フリー・ダイナミック・レンジ（SFDR）

信号振幅のrms値とピーク・スプリアス・スペクトル成分のrms値との比です。ピーク・スプリアス成分は高調波である場合があります。SFDRは、dBc（信号レベルを小さくした場合の劣化）またはdBFS（常にコンバータのフルスケールに換算）の単位で表されることがあります。

温度ドリフト

オフセット誤差およびゲイン誤差の温度ドリフトは、初期値（25℃時）から T_{MIN} または T_{MAX} 時の値の最大変化量です。

全高調波歪み

入力信号振幅のrms値と最初から6番目までの高調波成分のrms和の比です。

ツートーンSFDR

いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比です。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。

AD9446

ピン配置と機能の説明

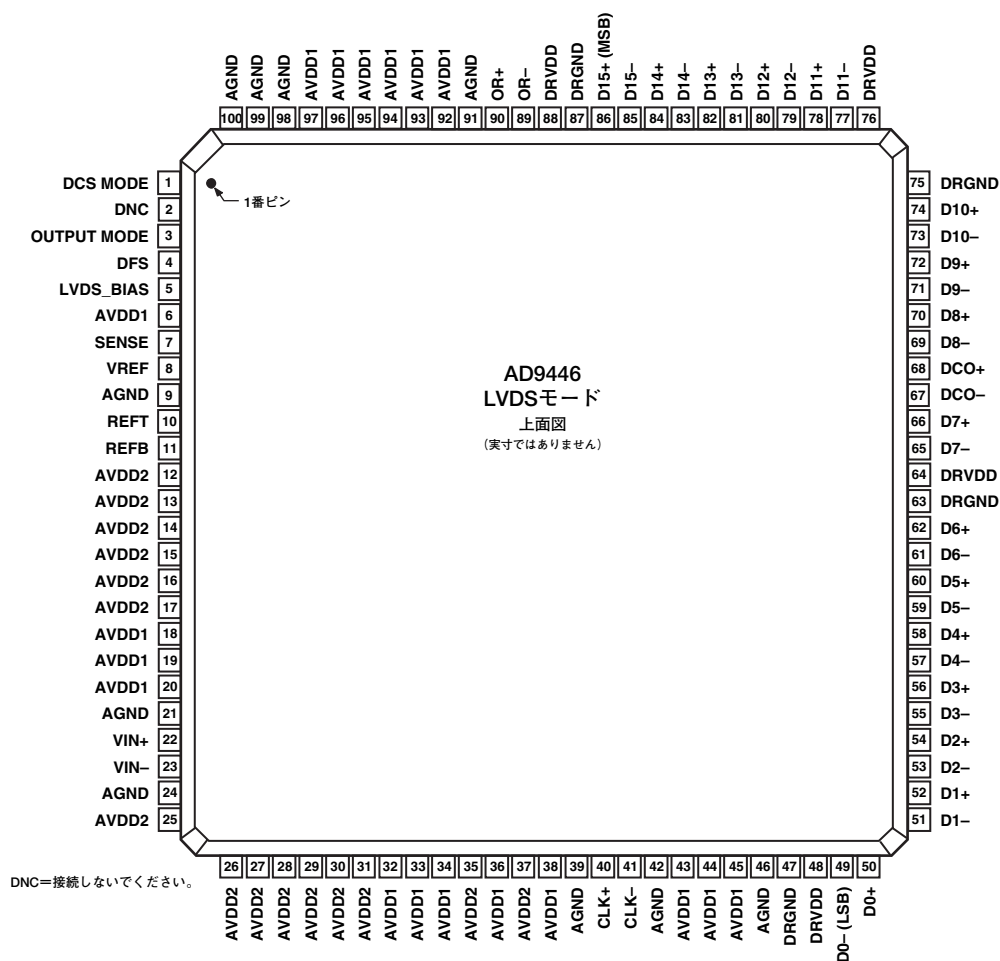


図4. 100ピンTQFP/EPパッケージのピン配置 (LVDSモード)

表7. ピン機能の説明—100ピンTQFP/EPパッケージ (LVDSモード)

ピン番号	記号	機能
1	DCS MODE	クロック・デューティサイクル・スタビライザ (DCS) 制御ピン。CMOS互換。DCS=ローレベル (AGND) でDCSがイネーブルになります (推奨設定)。DCS=ハイレベル (AVDD1) でDCSがディスエーブルになります。
2	DNC	接続しません。ピンは開放しておきます。
3	OUTPUT MODE	CMOS互換の出力ロジック・モード制御ピン。OUTPUT MODE=0でCMOSモードになります。OUTPUT MODE=1 (AVDD1) でLVDS出力になります。
4	DFS	データ・フォーマット選択ピン。出力データのフォーマットを決定するCMOS制御ピンです。DFS=ハイレベル (AVDD1) で2の補数を選択します。DFS=ローレベル (グラウンド) でオフセット・バイナリを選択します。
5	LVDS_BIAS	LVDS出力電流の設定ピン。3.7k Ω の抵抗をDRGNDに終端接続してください。
6、18~20、32~34、36、38、43~45、92~97	AVDD1	3.3V (±5%) のアナログ電源
7	SENSE	リファレンス・モード選択ピン。AGNDに接続すると1.6Vの内部リファレンスを選択します (3.2V _{p-p} のアナログ入力電圧範囲)。AVDD1に接続すると外部リファレンスを選択します。
8	VREF	1.6VリファレンスのI/Oピン。このピンの機能は、SENSEピンと外部プログラミング抵抗の設定によって異なります。0.1 μ Fと10 μ Fのコンデンサをグラウンド間に接続して、デカップリングを行ってください。
9、21、24、39、42、46、91、98、99、100、 露出ヒート・シンク	AGND	アナログ・グラウンド。パッケージの底面に実装された露出ヒート・シンクをAGNDに接続します。
10	REFT	差動リファレンス出力ピン。0.1 μ Fのコンデンサをグラウンド間に接続し、さらに0.1 μ Fと10 μ FのコンデンサをREFB (11番ピン) 間に接続して、デカップリングを行ってください。
11	REFB	差動リファレンス出力ピン。0.1 μ Fのコンデンサをグラウンド間に接続し、さらに0.1 μ Fと10 μ FのコンデンサをREFT (10番ピン) 間に接続して、デカップリングを行ってください。
12~17、25~31、35、37	AVDD2	5.0Vのアナログ電源 (±5%)
22	VIN+	アナログ入力—真
23	VIN-	アナログ入力—相補
40	CLK+	クロック入力—真
41	CLK-	クロック入力—相補
47、63、75、87、 48、64、76、88	DRGND	デジタル出力グラウンド
	DRVDD	3.3Vのデジタル出力電源 (3.0~3.6V)
49	D0- (LSB)	相補出力ビットD0 (LVDSレベル)
50	D0+	真の出力ビットD0
51	D1-	相補出力ビットD1
52	D1+	真の出力ビットD1
53	D2-	相補出力ビットD2
54	D2+	真の出力ビットD2
55	D3-	相補出力ビットD3
56	D3+	真の出力ビットD3
57	D4-	相補出力ビットD4
58	D4+	真の出力ビットD4
59	D5-	相補出力ビットD5
60	D5+	真の出力ビットD5
61	D6-	相補出力ビットD6
62	D6+	真の出力ビットD6
65	D7-	相補出力ビットD7
66	D7+	真の出力ビットD7
67	DCO-	データ・クロック出力—相補
68	DCO+	データ・クロック出力—真
69	D8-	相補出力ビットD8
70	D8+	真の出力ビットD8

AD9446

ピン番号	記号	機能
71	D9－	相補出力ビットD9
72	D9＋	真の出力ビットD9
73	D10－	相補出力ビットD10
74	D10＋	真の出力ビットD10
77	D11－	相補出力ビットD11
78	D11＋	真の出力ビットD11
79	D12－	相補出力ビットD12
80	D12＋	真の出力ビットD12
81	D13－	相補出力ビットD13
82	D13＋	真の出力ビットD13
83	D14－	相補出力ビットD14
84	D14＋	真の出力ビットD14
85	D15－	相補出力ビットD15
86	D15＋ (MSB)	真の出力ビットD15
89	OR－	アウトオブレンジ相補出力ビット
90	OR＋	アウトオブレンジ真の出力ビット

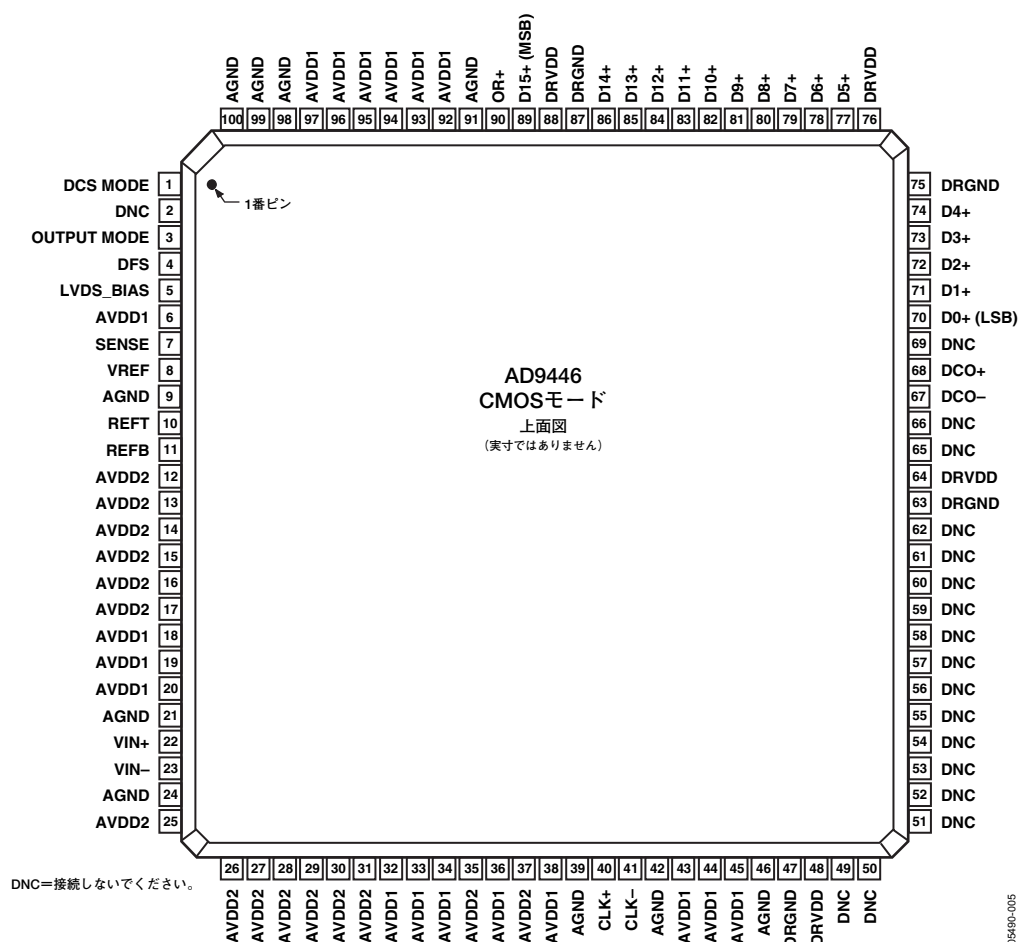


図5. 100ピンTQFP/EPパッケージのピン配置 (CMOSモード)

AD9446

表8. ピン機能の説明—100ピンTQFP/EPパッケージ（CMOSモード）

ピン番号	記号	機能
1	DCS MODE	クロック・デューティサイクル・スタビライザ（DCS）制御ピン。CMOS互換です。DCS=ローレベル（AGND）でDCSがイネーブルになります（推奨設定）。DCS=ハイレベル（AVDD1）でDCSがディスエーブルになります。
2、49～62、65～66、69、3	DNC OUTPUT MODE	接続しません。ピンは開放しておきます。 CMOS互換の出力ロジック・モード制御ピン。OUTPUT MODE=0でCMOSモードになります。OUTPUT MODE=1（AVDD1）でLVDS出力になります。
4	DFS	データ・フォーマット選択ピン。出力データのフォーマットを決定するCMOS制御ピンです。DFS=ハイレベル（AVDD1）で2の補数を選択します。DFS=ローレベル（グラウンド）でオフセット・バイナリを選択します。
5 6、18～20、32～34、36、38、43～45、92～97	LVDS_BIAS AVDD1	LVDS出力電流の設定ピン。3.7kΩの抵抗をDRGNDに終端接続してください。3.3V（±5%）のアナログ電源
7	SENSE	リファレンス・モード選択ピン。AGNDに接続すると1Vの内部リファレンスを選択します。AVDD1に接続すると外部リファレンスを選択します。
8	VREF	1.6VリファレンスのI/Oピン。このピンの機能は、SENSEピンと外部プログラミング抵抗の設定によって異なります。0.1μFと10μFのコンデンサをグラウンド間に接続して、デカップリングを行ってください。
9、21、24、39、42、46、91、98、99、100、 露出ヒート・シンク	AGND	アナログ・グラウンド。パッケージの底面に実装された露出ヒート・シンクをAGNDに接続します。
10	REFT	差動リファレンス出力ピン。0.1μFのコンデンサをグラウンド間に接続し、さらに0.1μFと10μFのコンデンサをREFB（11番ピン）間に接続して、デカップリングを行ってください。
11	REFB	差動リファレンス電圧ピン。0.1μFのコンデンサをグラウンド間に接続し、さらに0.1μFと10μFのコンデンサをREFT（10番ピン）間に接続して、デカップリングを行ってください。
12～17、25～31、35、37	AVDD2	5.0Vのアナログ電源（±5%）
22	VIN+	アナログ入力—真
23	VIN-	アナログ入力—相補
40	CLK+	クロック入力—真
41	CLK-	クロック入力—相補
47、63、75、87、	DRGND	デジタル出力グラウンド
48、64、76、88	DRVDD	3.3Vのデジタル出力電源（3.0～3.6V）
67	DCO-	データ・クロック出力—相補
68	DCO+	データ・クロック出力—真
70	D0+（LSB）	真の出力ビットD0（CMOSレベル）
71	D1+	真の出力ビットD1
72	D2+	真の出力ビットD2
73	D3+	真の出力ビットD3
74	D4+	真の出力ビットD4
77	D5+	真の出力ビットD5
78	D6+	真の出力ビットD6
79	D7+	真の出力ビットD7
80	D8+	真の出力ビットD8
81	D9+	真の出力ビットD9
82	D10+	真の出力ビットD10
83	D11+	真の出力ビットD11
84	D12+	真の出力ビットD12
85	D13+	真の出力ビットD13
86	D14+	真の出力ビットD14
89	D15+（MSB）	真の出力ビットD15
90	OR+	アウトオブレンジ真の出力ビット

等価回路

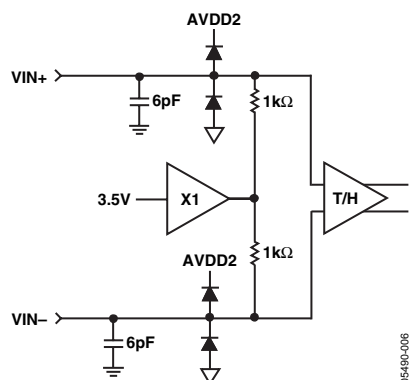


図6. アナログ入力等価回路

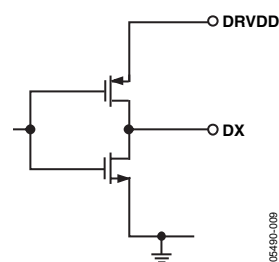


図9. CMOSデジタル出力等価回路

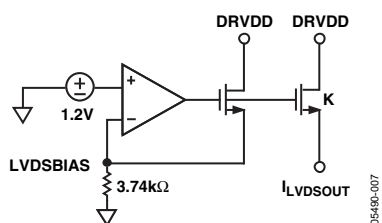


図7. LVDS_BIAS等価回路

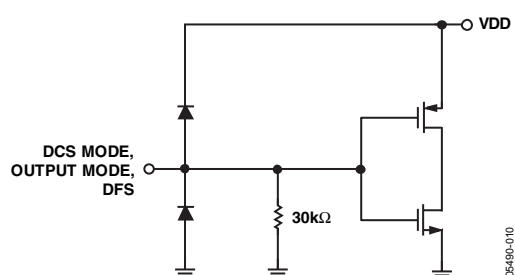


図10. デジタル入力等価回路、DFS、DCS MODE、OUTPUT MODE

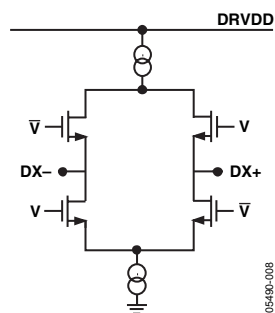


図8. LVDSデジタル出力等価回路

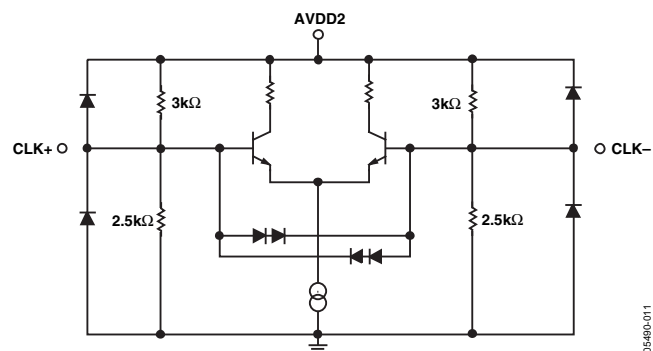


図11. サンプル・クロック入力等価回路

代表的な性能特性

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、規定のサンプリング・レート、LVDSモード、DCSイネーブル、 $T_A=25^\circ\text{C}$ 、3.2Vp-pの差動入力、AIN=-1.0dBFS、トリミング済みの内部リファレンス（VREF定格値=1.6V）。

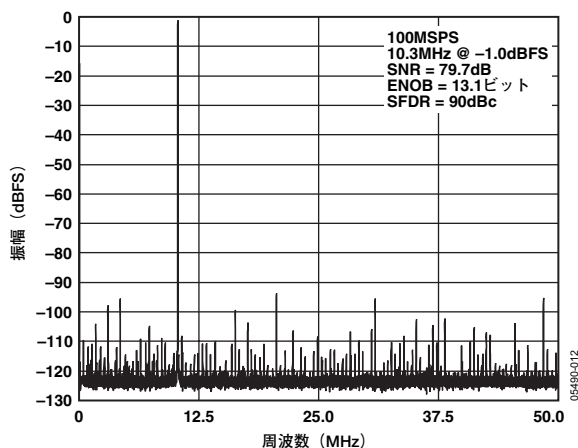


図12. 64kポイントのシングルトーン
FFT/100MSPS/10.3MHz (AD9446-100)

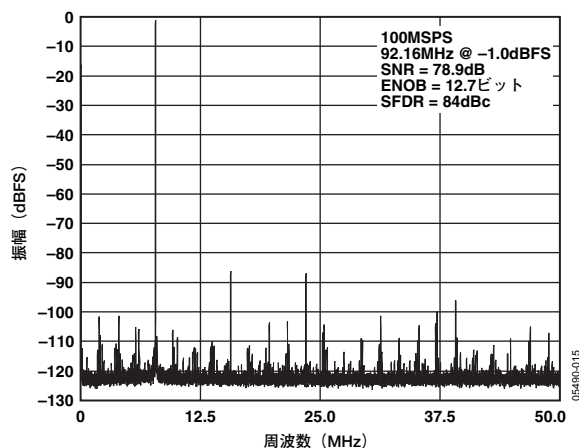


図15. 64kポイントのシングルトーン
FFT/100MSPS/92.16MHz (AD9446-100)

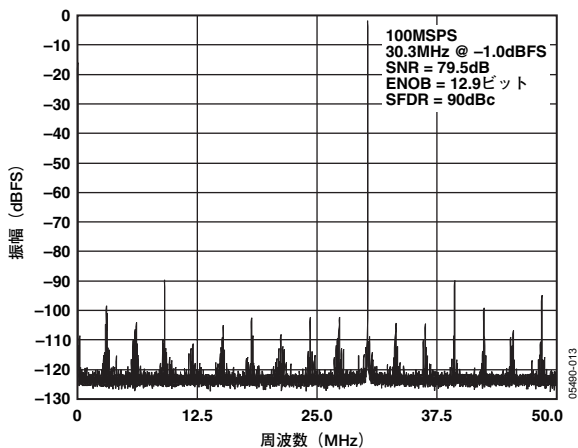


図13. 64kポイントのシングルトーン
FFT/100MSPS/30.3MHz (AD9446-100)

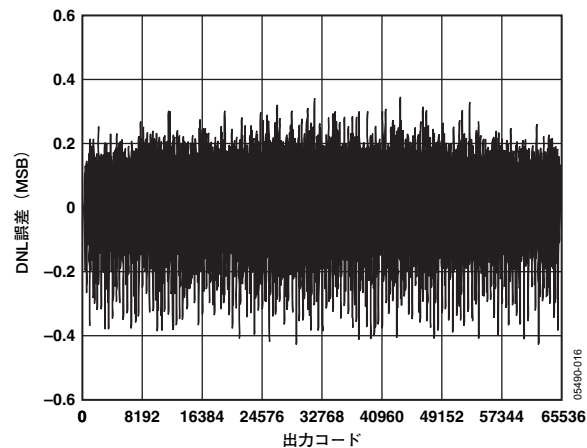


図16. 出力コード 対 DNL誤差
(AD9446-100、100MSPS、10.3MHz)

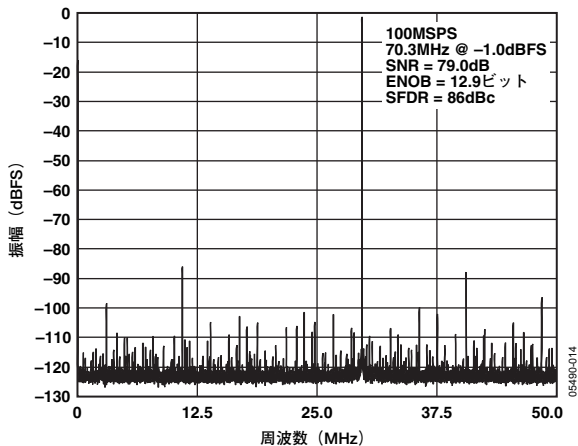


図14. 64kポイントのシングルトーン
FFT/100MSPS/70.3MHz (AD9446-100)

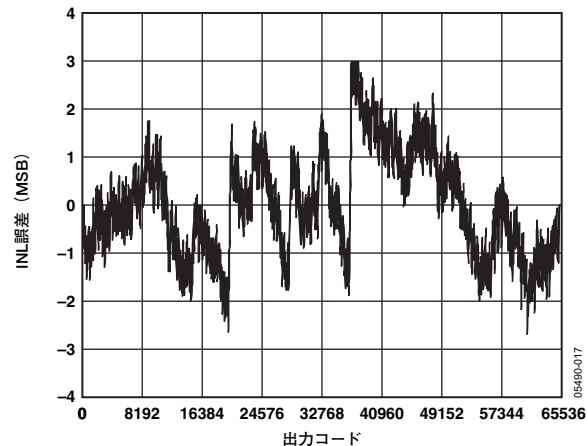


図17. 出力コード 対 INL誤差
(AD9446-100、100MSPS、10.3MHz)

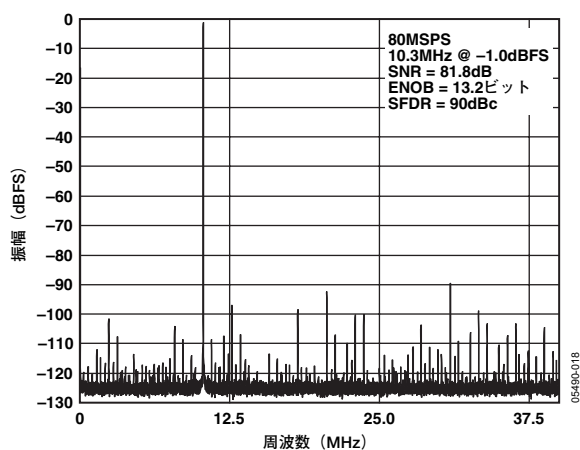


図18. 64kポイントのシングルトーン
FFT/80MSPS/10.3MHz (AD9446-80)

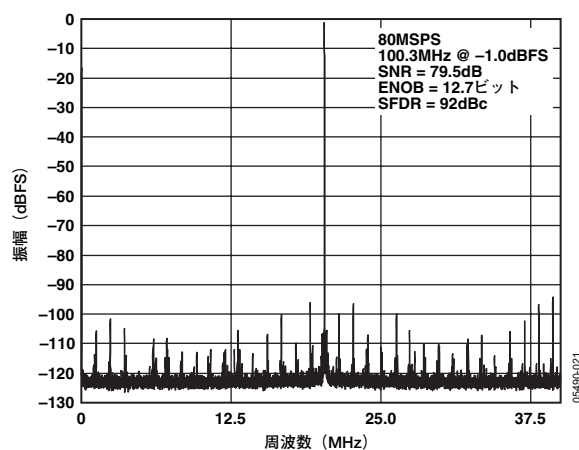


図21. 64kポイントのシングルトーン
FFT/80MSPS/100.3MHz (AD9446-80)

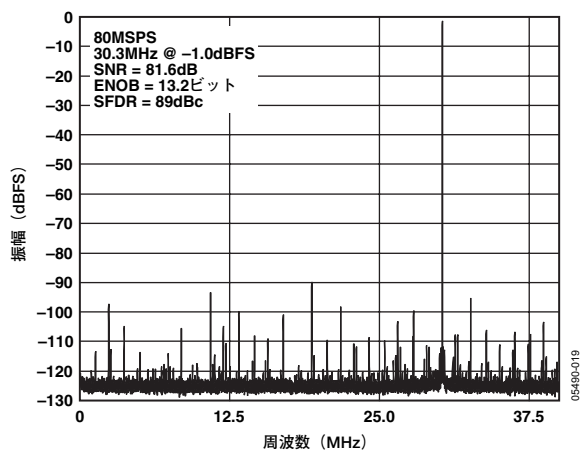


図19. 64kポイントのシングルトーン
FFT/80MSPS/30.3MHz (AD9446-80)

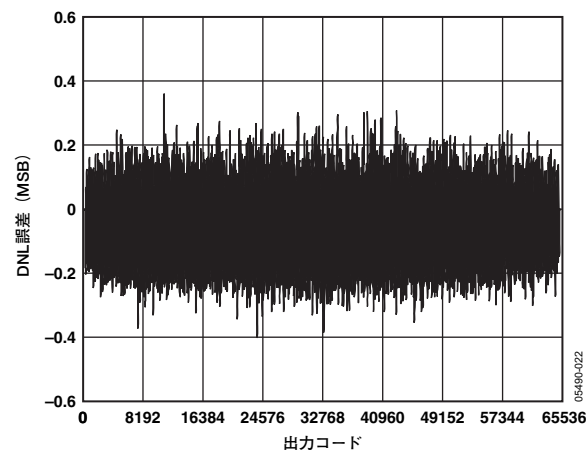


図22. 出力コード 対 DNL誤差
(AD9446-80、80MSPS、10.3MHz)

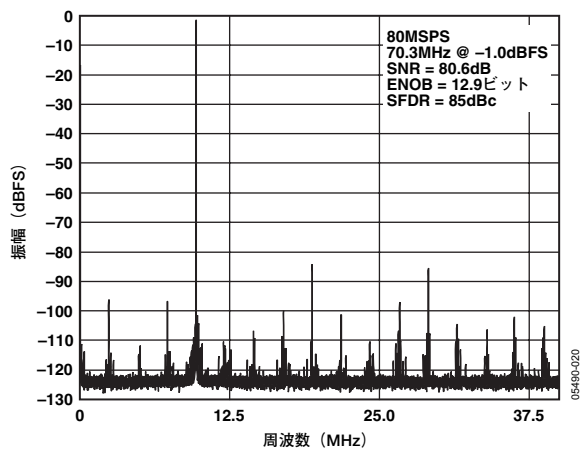


図20. 64kポイントのシングルトーン
FFT/80MSPS/70.3MHz (AD9446-80)

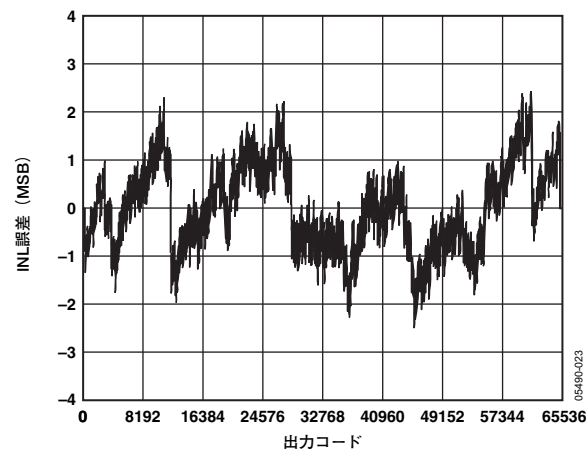


図23. 出力コード 対 INL誤差
(AD9446-80、80MSPS、10.3MHz)

AD9446

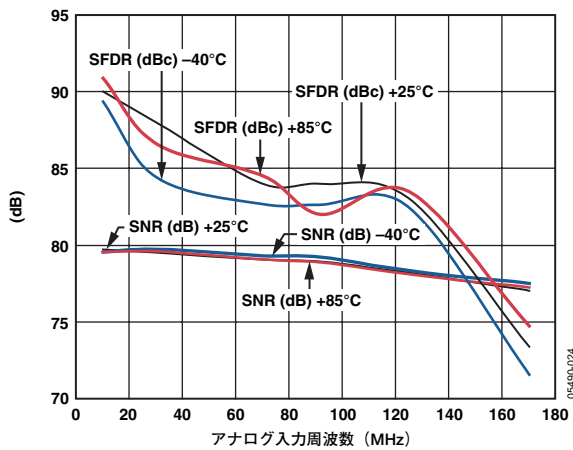


図24. アナログ入力周波数 対 SNR/SFDR
(AD9446-100、100MSPS、3.2Vp-pの
入力範囲)

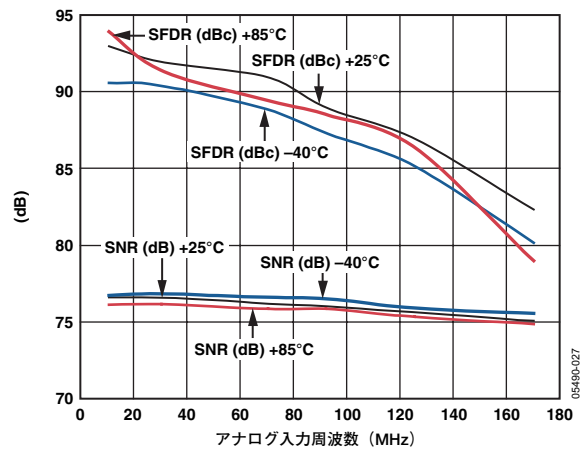


図27. アナログ入力周波数 対 SNR/SFDR
(AD9446-100、100MSPS、2.0Vp-pの
入力範囲)

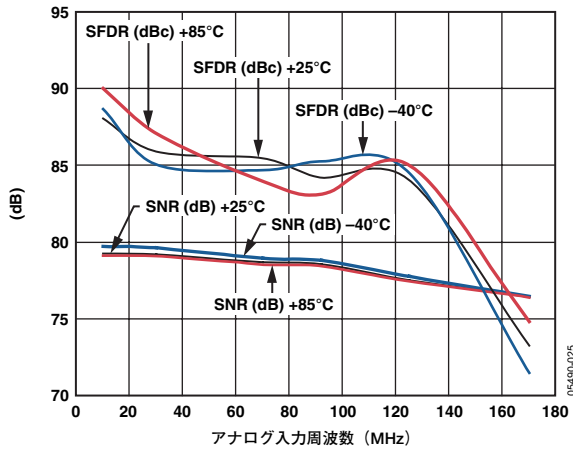


図25. アナログ入力周波数 対 SNR/SFDR
(AD9446-100、100MSPS、3.2Vp-pの
入力範囲、CMOS出力モード)

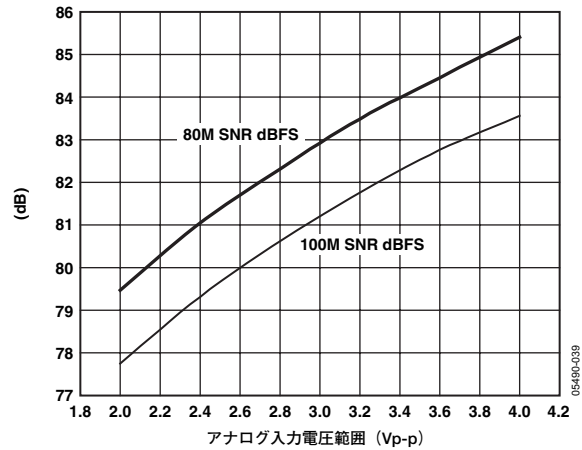


図28. アナログ入力電圧範囲 対 SNR
(AD9446-100、30.3MHz、-30dBFS)

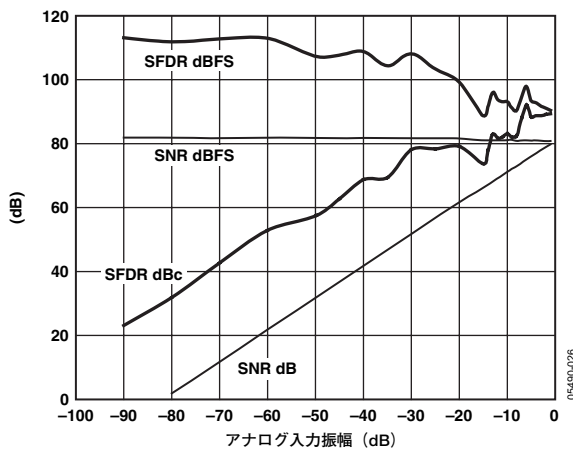


図26. アナログ入力レベル 対 SNR/SFDR
(AD9446-100、100MSPS)

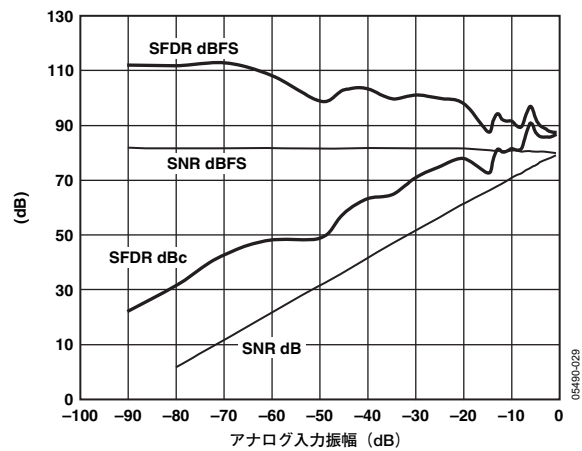


図29. アナログ入力レベル 対 SNR/SFDR
(AD9446-100、100MSPS、CMOS出力
モード)

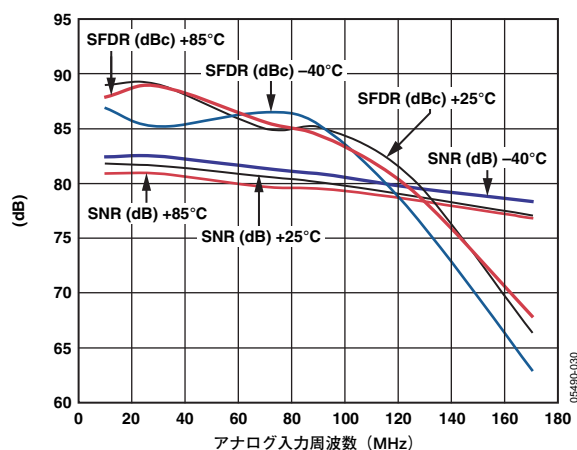


図30. アナログ入力周波数 対 SNR/SFDR
(AD9446-80、80MSPS、3.2Vp-pの
入力範囲)

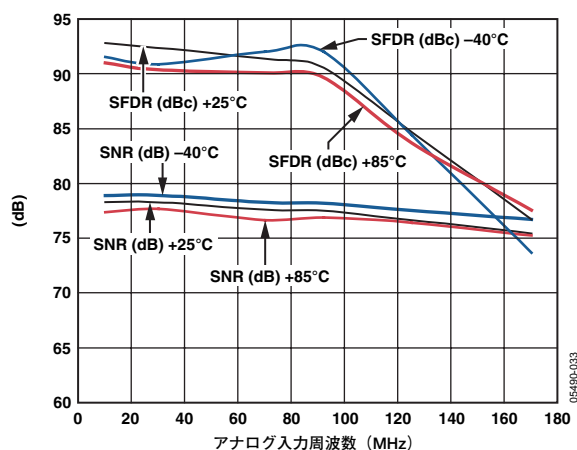


図33. アナログ入力周波数 対 SNR/SFDR
(AD9446-80、80MSPS、2.0Vp-pの
入力範囲)

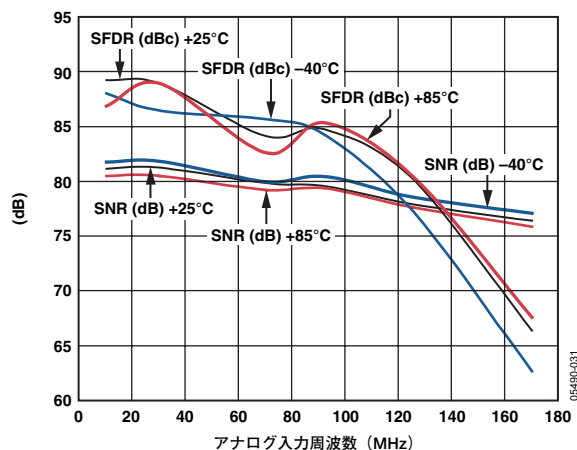


図31. アナログ入力周波数 対 SNR/SFDR
(AD9446-80、80MSPS、3.2Vp-pの
入力範囲、CMOS出力モード)

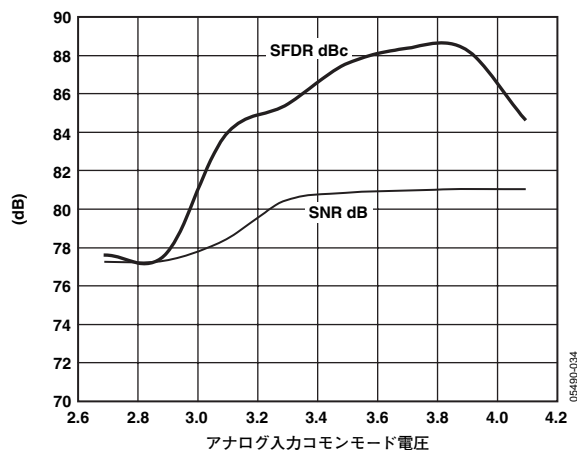


図34. アナログ入力コモンモード電圧 対
SNR/SFDR (AD9446-80、80MSPS)

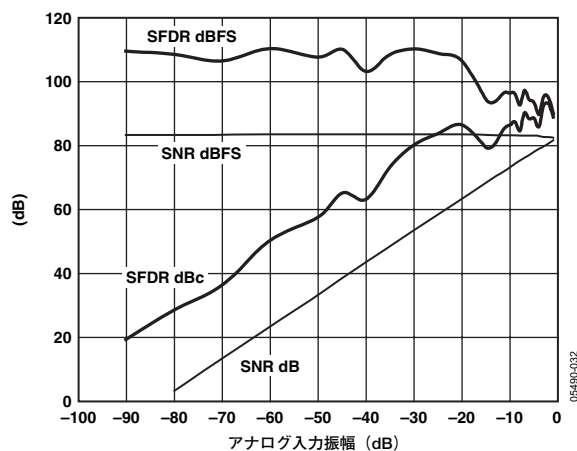


図32. アナログ入力レベル 対 SNR/SFDR
(AD9446-80、80MSPS)

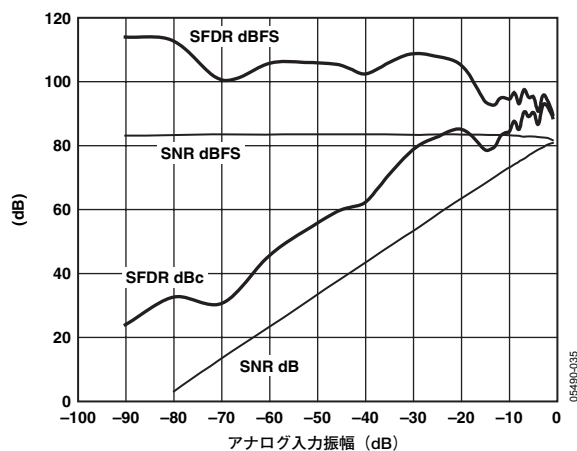


図35. アナログ入力レベル 対 SNR/SFDR
(AD9446-80、80MSPS、CMOS出力
モード)

AD9446

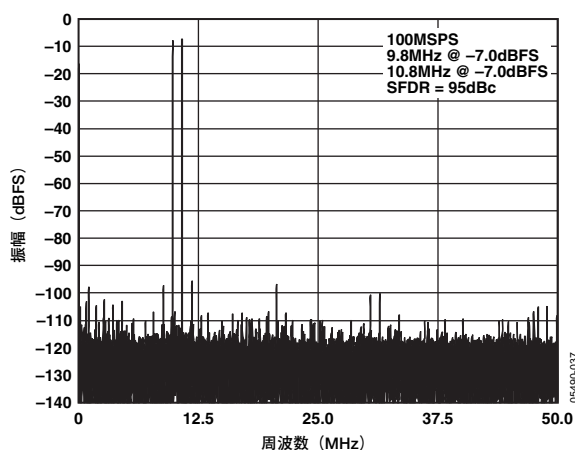


図36. 64kポイントのツートーン
FFT/100MSPS/9.8MHz、10.8MHz
(AD9446-100)

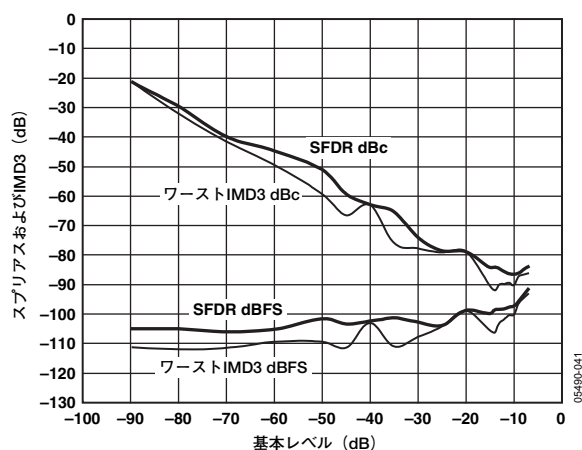


図39. アナログ入力レベル 対 ツートーンSFDR
(AD9446-100、100MSPS/69.3MHz、
70.3MHz)

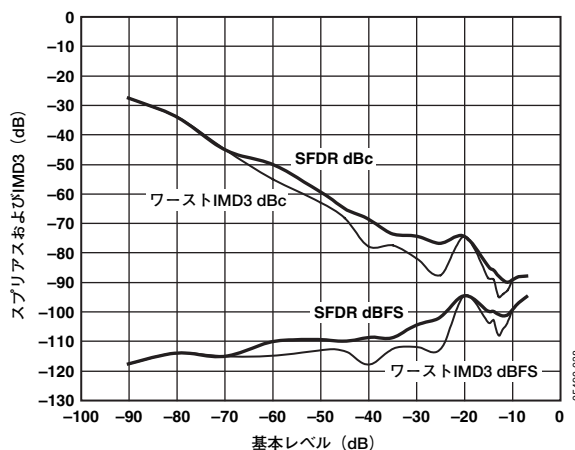


図37. アナログ入力レベル 対 ツートーンSFDR
(AD9446-100、100MSPS/9.8MHz、
10.8MHz)

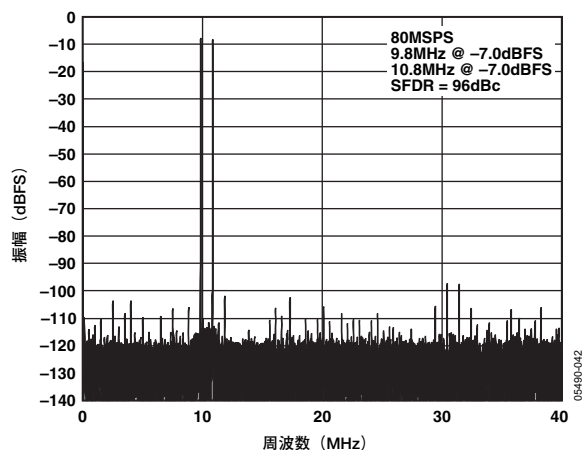


図40. 64kポイントのツートーン
FFT/80MSPS/9.8MHz、10.8MHz
(AD9446-80)

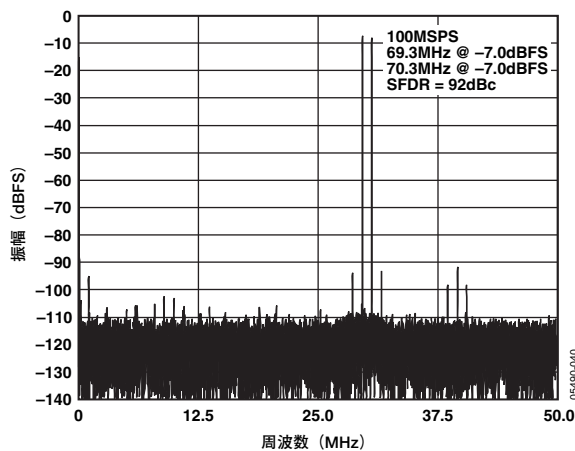


図38. 64kポイントのツートーン
FFT/100MSPS/69.3MHz、70.3MHz
(AD9446-100)

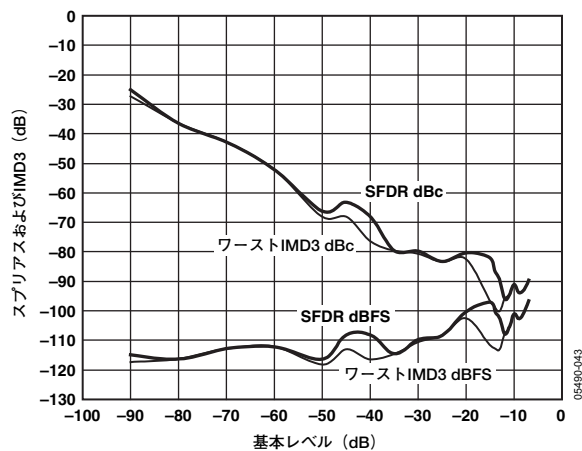


図41. アナログ入力レベル 対 ツートーンSFDR
(AD9446-80、80MSPS/9.8MHz、
10.8MHz)

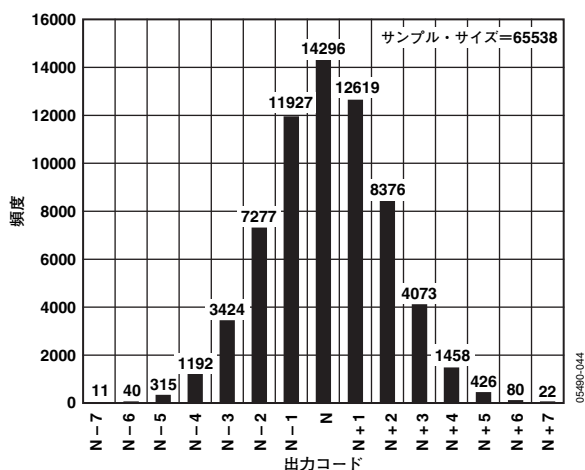


図42. グラウンド入力ヒストグラム
(AD9446-100)

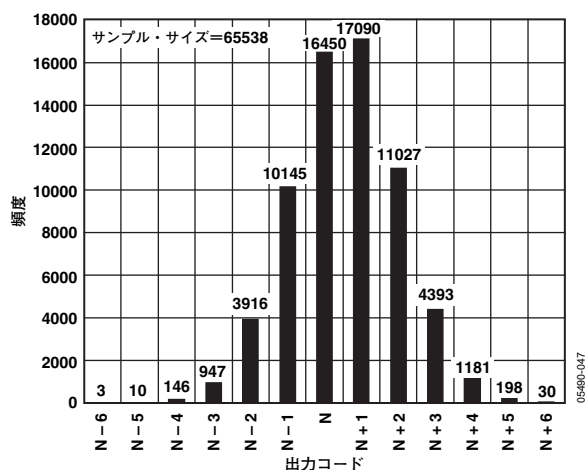


図45. グラウンド入力ヒストグラム
(AD9446-80)

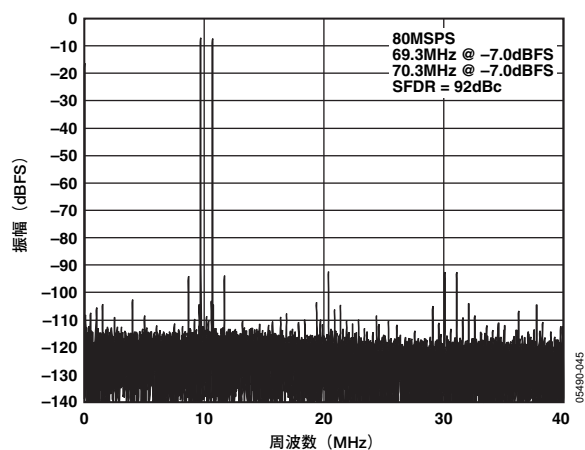


図43. 64kポイントのツートーン
FFT/80MSPS/69.3MHz、70.3MHz
(AD9446-80)

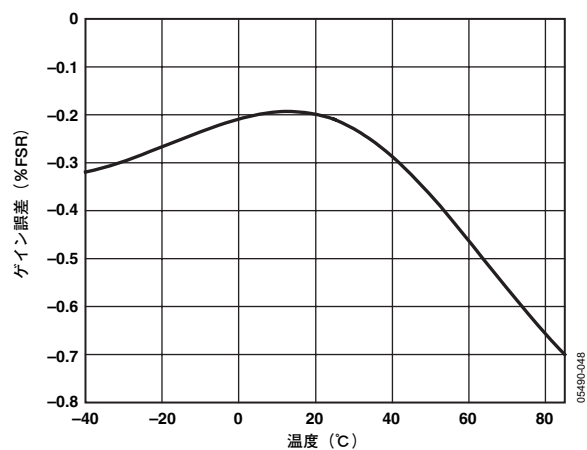


図46. ゲインの温度特性 (AD9446-100)

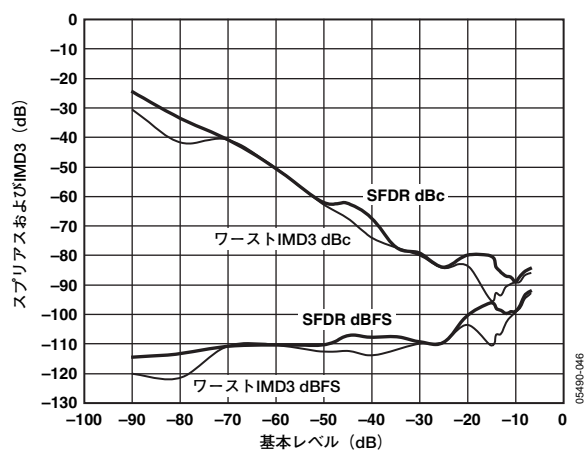


図44. アナログ入力レベル 対 ツートンSFDR
(AD9446-80、80MSPS/69.3MHz、
70.3MHz)

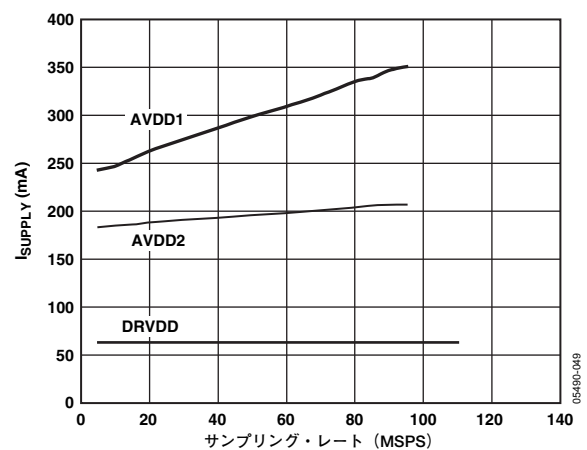


図47. サンプリング・レート 対 電源電流
(AD9446-80、10.3MHz@-1dBFS)

AD9446

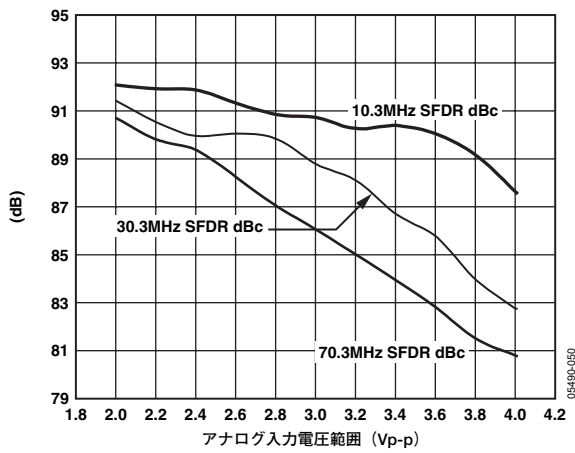


図48. アナログ入力電圧範囲 対 SFDR
(AD9446-100、100MSPS)

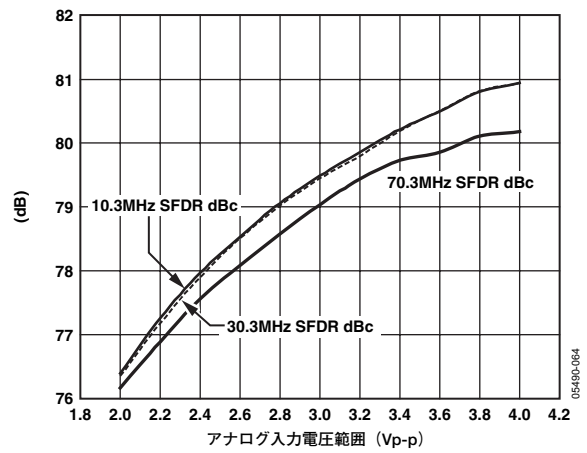


図51. アナログ入力電圧範囲 対 SNR
(AD9446-100、100MSPS)

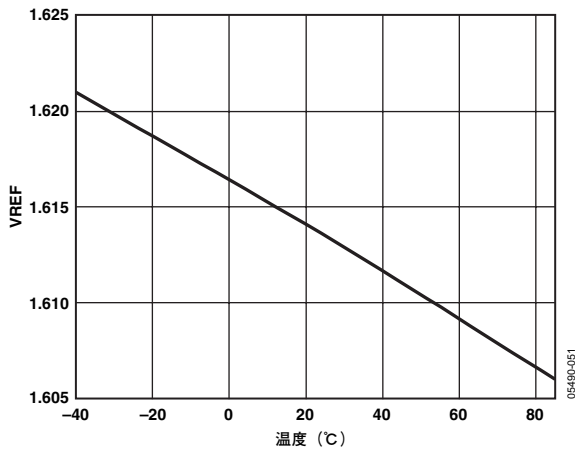


図49. VREFの温度特性 (AD9446-100)

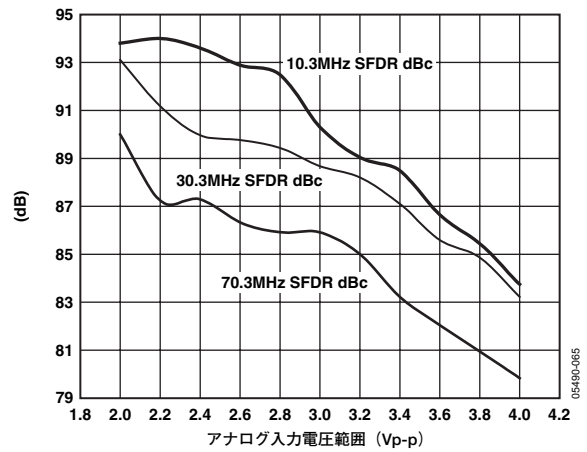


図52. アナログ入力電圧範囲 対 SFDR
(AD9446-80、100MSPS)

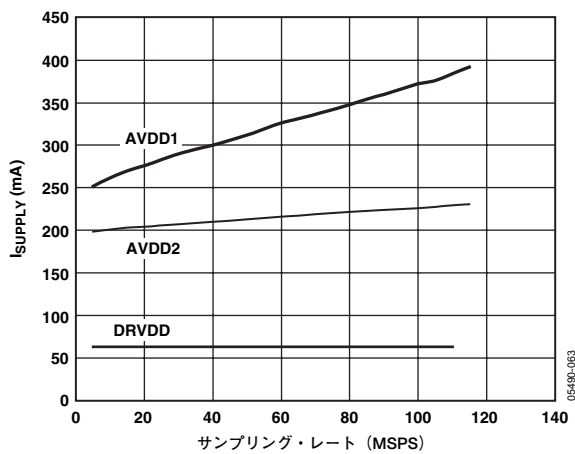


図50. サンプリング・レート 対 電源電流
(AD9446-100、10.3MHz@-1dBFS)

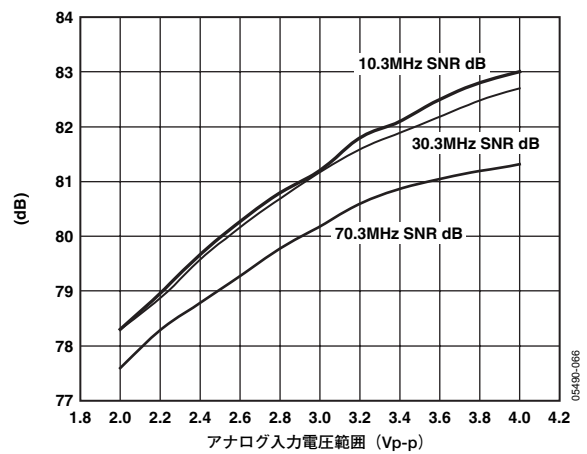


図53. アナログ入力電圧範囲 対 SNR
(AD9446-80、80MSPS)

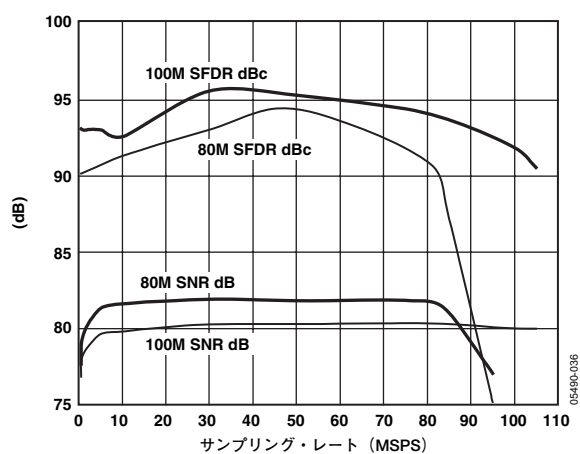


図54. サンプリング・レート 対 シングルトーン
SNR/SFDR (AD9446、2.3MHz)

動作原理

AD9446のアーキテクチャは、高速動作と使いやすさを追求して最適化されています。アナログ入力、内蔵の広帯域トラック＆ホールド回路を駆動し、このトラック／ホールド回路が入力信号をサンプリングした後に、16ビットのパイプラインADCコアにより量子化します。AD9446はリファレンスとTTL、CMOS、LVPECLの各レベルを入力できる入力ロジックを内蔵しています。OUTPUT MODEピンを使用して、デジタル出力のロジック・レベルとして標準の3V CMOSまたはLVDS (ANSI-644準拠) を選択できます。

アナログ入力とリファレンスの概要

AD9446は、安定した高精度の0.5Vバンドギャップ電圧リファレンスを内蔵しています。この内部リファレンスまたは外部から供給するリファレンス電圧のいずれかを使用し、AD9446に印加するリファレンス電圧を変化させて入力電圧範囲を調整できます。このADCの入力スパンは、リファレンス電圧の変化に比例します。

内部リファレンスの接続

AD9446の内蔵コンパレータがSENSEピンの電位を検出し、リファレンスを表9に示す3つの状態に設定します。SENSEピンをグラウンドに接続した場合、リファレンス・アンプ・スイッチが内部抵抗分圧器に接続され (図55を参照)、VREFが約1.6Vに設定されます。抵抗分圧器を図56に示すように接続した場合も、スイッチはSENSEピンに接続されます。これによって、リファレンス・アンプが非反転モードになり、VREF出力が次の値をとります。

$$VREF = 0.5V \times \left(1 + \frac{R2}{R1}\right)$$

すべてのリファレンス設定で、REFLTとREFBがADCコアを駆動し、入力スパンを設定します。内部または外部どちらのリファレンスを使用する場合であっても、ADCの入力範囲は常にリファレンス・ピンの電圧の2倍に等しくなります。

内部リファレンスのトリミング

AD9446の内部リファレンス電圧は出荷テスト時にトリミングされています。したがって、AD9446に外部リファレンスを供給する利点はほとんどありません。ゲイン・トリミングは、AD9446の入力電圧範囲を3.2Vp-pの公称値に設定して行います (SENSEをAGNDに接続)。このトリミングに加えて、3.2Vp-pのアナログ入力電圧範囲によって最大のAC性能が得られるため、アナログ入力電圧範囲を2Vp-pよりも低くしてもほとんど意味がありません。ただし、この範囲を狭くすると、一

部のアプリケーションでSFDR性能を改善できる場合があります。またこの範囲を3.8Vp-pまで拡大すれば、SNR性能を改善できる場合があります。リファレンス電圧を変動させると、ADCの微分非直線性が変化するので注意してください。アナログ入力電圧範囲を2Vp-pよりも低く設定するとミッシング・コードが発生し、そのためにノイズおよび歪み性能が低下します。

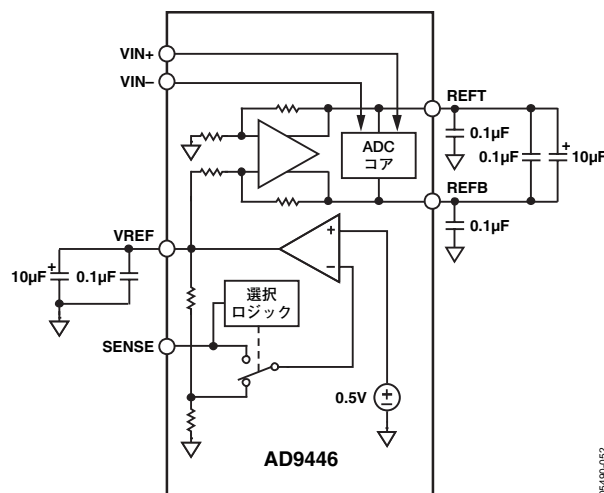


図55. 内部リファレンスの設定

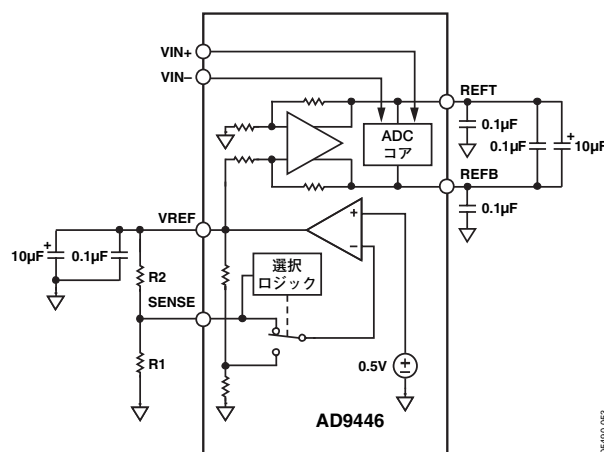


図56. リファレンスのプログラマブル設定

表9. リファレンス設定の概要

選択モード	SENSE電圧	供給されるVREF (V)	設定される差動スパン (Vp-p)
外部リファレンス	AVDD	—	外部リファレンスの2倍
プログラマブル・リファレンス	0.2V~VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$ (図56を参照)	$2 \times VREF$
プログラマブル・リファレンス (2Vp-pに対して設定)	0.2V~VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$, $R1 = R2 = 1k\Omega$	2.0
プログラマブル・リファレンス (2Vp-pに対して設定)	0.2V~VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$, $R1 = 1k\Omega$, $R2 = 2.8k\Omega$	3.8
内部固定リファレンス	AGND~0.2V	1.6	3.2

外部リファレンスでの動作

SENSEピンをAVDDに接続すると、内部リファレンスがディスエーブルになり、外部リファレンスを使用できるようになります。内部リファレンス・バッファは、外部リファレンスに対して7k Ω の等価負荷になります。この場合でも、内部バッファは、ADCコアに対する正および負側フルスケール・リファレンス (REF $^{+}$ とREF $^{+}$) の供給を続けます。入力スパンは常にリファレンス電圧値の2倍になるため、外部リファレンスは必ず2.0V以下にしてください。ゲイン変動の温度特性については、図46を参照してください。

アナログ入力

AD9446へのアナログ入力は、最近の多くの高速、高ダイナミック・レンジADCと同様、差動になっています。差動入力の場合、減衰およびゲイン段を経由して信号が処理されるためチップ内部での性能が改善されますが、その改善のほとんどは偶数次高調波の除去性能が高い差動アナログ段に依存します。さらに、PCボードのレベルでも利点が得られます。第1の利点として、差動入力はグラウンドや電源ノイズなどの浮遊信号に対する高い同相ノイズ除去性能を備えています。2番目として、差動入力は局部発振器のフィードスルーなどの同相信号を良好に除去できます。シングルエンドのアナログ入力では、AD9446の規定されたノイズおよび歪み性能を実現することは不可能です。したがって、シングルエンドの入力構成は推奨しません。シングルエンドのアナログ入力構成に対応するその他の16ビットADCについては、弊社までお問い合わせください。

公称値とされる1.6Vのリファレンスを使用する場合 (「内部リファレンスのトリミング」を参照)、AD9446の公称差動アナログ入力電圧範囲は各入力 (VIN $^{+}$ 、VIN $^{-}$) 上で3.2Vp-pまたは1.6Vp-pとなります。

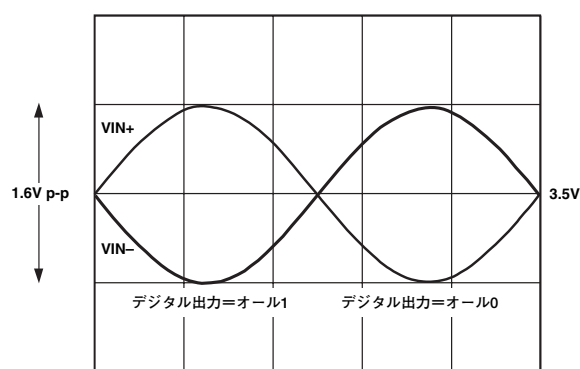


図57. 差動アナログ入力電圧範囲 (VREF=1.6V時)

AD9446のアナログ入力電圧範囲は、グラウンドから3.5Vオフセットされます。各アナログ入力は1k Ω の抵抗を経由して、3.5Vのバイアス電圧および差動バッファの入力に接続されます。入力上の内部バイアス・ネットワークは、バッファを正しくバイアスするため、最大限の直線性と入力範囲が確保されます (「等価回路」を参照)。したがって、AD9446を駆動するアナログ信号源を入力ピンにACカップリングします。AD9446のアナログ入力を駆動するには、RFトランスを使用して、シングルエンド信号を差動信号に変換することを推奨します (図58を参照)。トランスの出力とAD9446のアナログ入力との間に直列抵抗を接続すると、内蔵のサンプル&ホールド回路から発生するスイッチング・トランジェントからアナログ入力信号源を効果的に絶縁できます。トランス入力のインピーダンス・マッチングでは、内部3.5Vバイアス回路に接続された1k Ω 抵抗のほかに、直列抵抗を考慮してください。たとえば、 R_T を51 Ω 、 R_S を33 Ω にそれぞれ設定し、トランスのインピーダンス比が1:1であるとすれば、入力はフルスケール駆動レベルが16.0dBmの50 Ω 信号源とマッチングします。評価用ボードの回路図に示すように (図61を参照)、50 Ω のインピーダンス・マッチングをトランスの2次側に組み込むことも可能です。

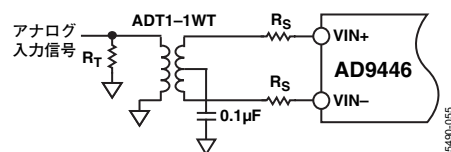


図58. トランス・カップリングのアナログ入力回路

AD9446

クロック入力に関する考慮事項

高速ADCの性能は、サンプリング・クロックの品質によって大きく左右されます。トラック&ホールド回路は本来ミキサーであるため、クロックのノイズ、歪み、タイミング・ジッタが、ADCの出力信号に混入してしまいます。このため、AD9446の設計ではクロック入力に細心の注意が払われていますが、使用時にもクロック源に十分な配慮が望まれます。

一般に高速ADCでは、立上がりと立下がり両方のクロック・エッジを使用してさまざまな内部タイミング信号を発生させるため、クロック・デューティサイクルの変化に対して敏感です。動的性能特性を維持するには、一般にクロック・デューティサイクルの変化を5%以内に抑える必要があります。AD9446は、クロック・デューティサイクル・スタビライザ（DCS）を内蔵しています。このDCSは非サンプリング・エッジのリタイミングを実行し、デューティサイクルが約50%（公称）の内部クロック信号を供給します。DCSをイネーブルにすると、デューティサイクルが30~70%のときに、ノイズおよび歪み性能がほとんどフラットな状態になります。DCS回路はCLK+の立上がりエッジにロックされ、その内部でタイミングを最適化します。その結果、性能を低下させることなく、幅広い範囲の入力デューティサイクルを設定することが可能になります。ただし、入力の立上がりエッジのジッタに対しては、十分な注意を払う必要があります、これは内部安定化回路によって低減されることはありません。クロック速度が公称値の30MHzよりも低い場合は、デューティサイクル制御ループが機能しなくなります。このループは、クロック速度がダイナミックに変更されることのあるアプリケーションで配慮が必要な時定数と関連し、ダイナミックなクロック周波数が増加または低下した後で、DCSループが入力信号に再ロックされるまでに1.5~5μsの待ち時間を必要とします。このループがロックされない間は、DCSループがバイパスされ、内部デバイス・タイミングは入力クロック信号のデューティサイクルに依存します。このようなアプリケーションでは、デューティサイクル・スタビライザをディスエーブルにする方法が適切です。これ以外のアプリケーションではすべて、最大限のAC性能を得るために、DCS回路をイネーブルにすることを推奨します。

DCS回路の制御には、DCS MODEピンを使用します。DCS MODEピンをCMOSローレベル（AGND）に設定すると、DCSがイネーブルになります。ハイレベル（AVDD1=3.3V）に設定すると、DCSがディスエーブルになります。

性能の低下を防止するために、AD9446の入力サンプリング・クロック信号は品質が高く、位相ノイズが非常に低い信号源としてください。16ビット精度を維持するには、エンコード・クロックの位相ノイズの低減が非常に重要です。ジッタの高いクロック源を使用すると、アナログ入力信号が70MHz時に、S/N比がすぐに3~4dB低下してしまいます。（アプリケーション・ノート「AN-501：アパーチャ不確実性とADCのシステム性能」を参照してください。）最適な性能を得るためには、AD9446のクロックを差動にしてください。サンプリング・クロック入力は約1.5Vに内部バイアスされ、入力信号は一般にトランスまたはコンデンサを経由してCLK+およびCLK-ピンにACカップ

リングされます。図59に、AD9446のクロック入力として適切な手法を示します。RFトランスを使用し、クロック源（低ジッタ）をシングルエンドから差動に変換します。トランスの2次側に2個のショットキー・ダイオードを連続して接続しているため、AD9446に入力されるクロックの振幅レベルが約0.8Vp-pの電圧差に制限されます。この手法は、クロックの大きい電圧振幅がAD9446の他の回路部にフィードスルーすることを防ぎ、サンプリング・クロック入力に混入するノイズを制限します。

低ジッタのクロックが使用できる場合、ADCのクロック入力を駆動する前に、クロック周波数のバンドパス・フィルタの挿入が有効となります。もう1つの方法は図60に示すように、差動のECL/PECL信号をエンコード入力ピンにACカップリングする方法です。

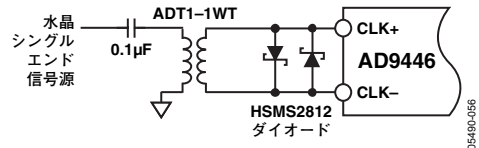


図59. 水晶クロック発振器（差動エンコード）

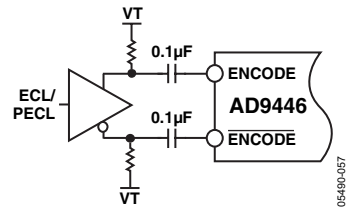


図60. エンコード入力に差動ECLをACカップリングする方法

ジッタに関する考慮事項

高速・高分解能ADCの性能は、クロック入力の品質によって左右されます。ある入力周波数（ f_{INPUT} ）とrms振幅時に、アパーチャ・ジッタ（ t_j ）のみによって発生するS/N比の低下は、次式を用いて計算できます。

$$SNR = 20 \log[2\pi f_{INPUT} \times t_j]$$

この式で、rmsアパーチャ・ジッタは全ジッタ源の実効値を表し、これにはクロック入力、アナログ入力信号、ADCのアパーチャ・ジッタ仕様値が含まれます。IFアンダーサンプリング・アプリケーションは、特にジッタに敏感です。

アパーチャ・ジッタがAD9446のダイナミック・レンジに影響を及ぼすおそれがある場合は、クロック入力をアナログ信号として扱います。クロック・ドライバの電源をADC出力ドライバの電源から分離し、クロック信号がデジタル・ノイズ変調されないようにしてください。低ジッタの水晶制御発振器は、最適なクロック源となります。クロックを他のタイプの信号源（ゲート、分周回路、またはその他の手法）から生成する場合は、最終段で元のクロックを使ってタイミングを同期させてください。

電源に関する考慮事項

電源は慎重に選択してください。リニアDC電源の利用を特に推奨します。スイッチング電源は、AD9446によって「受信」される可能性のある輻射成分を含む傾向があります。各電源ピンは、パッケージのなるべく近くで0.1μFのチップ・コンデンサを用いてデカップリングしてください。

AD9446のデジタル電源ピンとアナログ電源ピンは分離されています。アナログ電源ピンはAVDD1 (3.3V)、AVDD2 (5V)、デジタル電源ピンはDRVDDと表示されています。AVDD1とDRVDDは相互に接続できますが、分離したほうが最高の性能を達成できます。これらの電源を接続すると、高速のデジタル出力振幅により、スイッチング電流がアナログ電源と結合することがあるためです。AVDD1とAVDD2はともに、規定電圧の5%以内に維持するようにしてください。

AD9446のDRVDD電源は、LVDSまたはCMOS出力モードのデジタル出力専用の電源です。LVDSモードでは、DRVDDを3.3Vに設定してください。CMOSモードでは、受信側ロジックとの互換性を維持するために、DRVDD電源を2.5~3.6Vに接続してください。

デジタル出力

LVDSモード

3番ピン (OUTPUT MODE) を使用して、LVDS互換の出力レベルを供給するように、チップ上のオフチップ・ドライバを設定できます。OUTPUT MODEをCMOSハイレベル（または、便宜上AVDD1に接続）に設定し、3.74kΩのR_{SET}抵抗を5番ピン (LVDS_BIAS) とグラウンド間に接続すれば、LVDS出力が得られます。AD9446をLVDSモードで使用すると、SFDRやSNRなどの動的性能が最大になります。したがって、このモードを利用して設計することを推奨します。AD9446の出力には、各データ・ビットに対応する相補LVDS出力 (Dx+/Dx-)、アウトオブレンジ出力 (OR+/OR-)、出力データ・クロック出力 (DCO+/DCO-) が含まれます。R_{SET}抵抗電流はチップ上で乗算され、これによって各出力の電流が公称値

3.5mA ($11 \times I_{RSET}$) に等しい数値に設定されます。100Ωの差動終端抵抗をLVDSレシーバの入力に接続すると、このレシーバの振幅レベルが公称値350mVになります。LVDSモードでは、カスタムASICやFPGAで設計されたLVDSレシーバと容易にインターフェース接続できます。LVDS機能はノイズの多い環境で優れたスイッチング性能を発揮します。シングル・ポイントtoポイントのネット接続方式が推奨されます。この方式では、100Ωの終端抵抗をできる限りレシーバの近くに接続します。さらに、パターン配線長を2インチ以下に抑え、差動出力のパターン配線を可能な限り同じ長さにしてください。

CMOSモード

動的性能の劣化を多少許容できるアプリケーションでは、DRVDDをインターフェース・ロジックのデジタル電源にマッチングさせることによって、AD9446の出力ドライバを2.5Vまたは3.3Vロジック・ファミリーとインターフェースさせるように設定できます。OUTPUT MODEをCMOSローレベル（または、便宜上AGNDに接続）に設定すれば、CMOS出力が得られます。このモードでは、アウトオブレンジ出力OR+と同様に、出力データ・ビットDxがシングルエンドのCMOS出力となります。出力クロックは、差動のCMOS信号DCO+/DCO-として供給されます。ADCの敏感なアナログ回路部にスイッチング・トランジエントが結合することを防ぐために、できるだけ低い電源電圧を推奨します。CMOS出力に接続される容量性負荷を最小限に抑え、直列抵抗 (220Ω) を用いて各出力をシングル・ゲートに接続し、容量性負荷によって発生するスイッチング・トランジエントを最小限に抑えてください。

タイミング

AD9446は、13クロック・サイクルのパイプライン遅延を伴うラッチされたデータを出力します。CLK+のエッジが立ち上がった後で、1伝播遅延 (t_{PD}) が経過したときに、データが出力されます。詳細なタイミング図は、図2と図3を参照してください。

AD9446

動作モードの選択

データ・フォーマットの選択

AD9446のデータ・フォーマット選択 (DFS) ピンを使用し、出力データのコーディング形式を設定します。このピンは3.3V CMOS互換ピンであり、これをハイレベル（またはAVDD1、3.3Vに接続）に設定すると2の補数、ローレベル（またはAGNDに接続）に設定するとオフセット・バイナリを選択します。表10は、出力コーディングの概要を示します。

出力モードの選択

OUTPUT MODEピンは、デジタル出力のピン配置と同様、ロジックの互換性を制御します。このピンはCMOS互換入力です。

OUTPUT MODE=0 (AGND) のときAD9446の出力がCMOS互換となり、デバイスのピン配置は表8のようになります。OUTPUT MODE=1 (AVDD1、3.3V) のときAD9446の出力がLVDS互換となり、デバイスのピン配置は表7のようになります。

デューティサイクル・スタビライザ

DCS回路の制御には、DCS MODEピンを使用します。DCS MODEピンをCMOSローレベル (AGND) に設定すると、DCSがイネーブルになります。ハイレベル (AVDD1、3.3V) に設定すると、DCSがデイスエーブルになります。

表10. デジタル出力コーディング

コード	VIN+～VIN－ 入カスパン=3.2Vp-p (V)	VIN+～VIN－ 入カスパン=2Vp-p (V)	デジタル出力 オフセット・バイナリ (D15～D0)	デジタル出力 2の補数 (D15～D0)
65,536	+1.600	+1.000	1111 1111 1111 1111	0111 1111 1111 1111
32,768	0	0	1000 0000 0000 0000	0000 0000 0000 0000
32,767	－0.0000488	－0.000122	0111 1111 1111 1111	1111 1111 1111 1111
0	－1.60	－1.00	0000 0000 0000 0000	1000 0000 0000 0000

評価用ボード

評価用ボードは、AD9446をCMOSまたはLVDSモード専用のどちらかに設定できます。この設計は、本デバイスを幅広い範囲のサンプリング・レートとアナログ入力周波数で使用する場合に推奨される設定となっています。これらの評価用ボードは、ADCを各種のモードおよび設定で動作させるのに必要なサポート回路をすべて搭載しています。ボードの詳細な回路図を図61～64に示します。システム・レベルで適用する正しいルーティングおよびグラウンディング技法を示したガーバー・ファイルは、エンジニアリング・アプリケーションから入手できます。

AD9446コンバータの最高性能を実現するためには、位相ノイズが非常に低い（rmsジッタが60fsec未満）信号源（エンコード・クロック）を使用することがきわめて重要です。規定されたノイズ性能を達成するには、入力信号を正しい方法でフィルタリングして、高調波成分を除去し、入力に混入するノイズを抑えることも必要です。

評価用ボードは、AC115V～DC6Vの電源を装備して出荷されます。さらに、AD9446とそのサポート回路で必要とされる各種のDC電源を生成する低ドロップアウト電圧のレギュレータも実装されています。サポート回路からDUTを分離するための独立した電源も備えています。各種のジャンパを適切に接続することによって、入力構成を選択できます（図61を参照）。

LVDSモードの評価用ボードには、LVDS/CMOS変換器が実装されているため、高速ADC FIFO評価用キット（HSC-ADC-EVALA-SC）との互換性があります。このキットには高速データ・キャプチャ・ボードが付属しているため、FIFOメモリ・チップで高速ADCの出力データを最大32kBサンプル（256kBサンプルまでアップグレードが可能）取り込めるハードウェア・ソリューションを提供します。取り込まれたデータは、同梱のソフトウェアを使用してUSBポートを介してPCにダウンロードできます。このソフトウェアには、AD9446をはじめ多くの高速ADCの挙動モデルも含まれています。

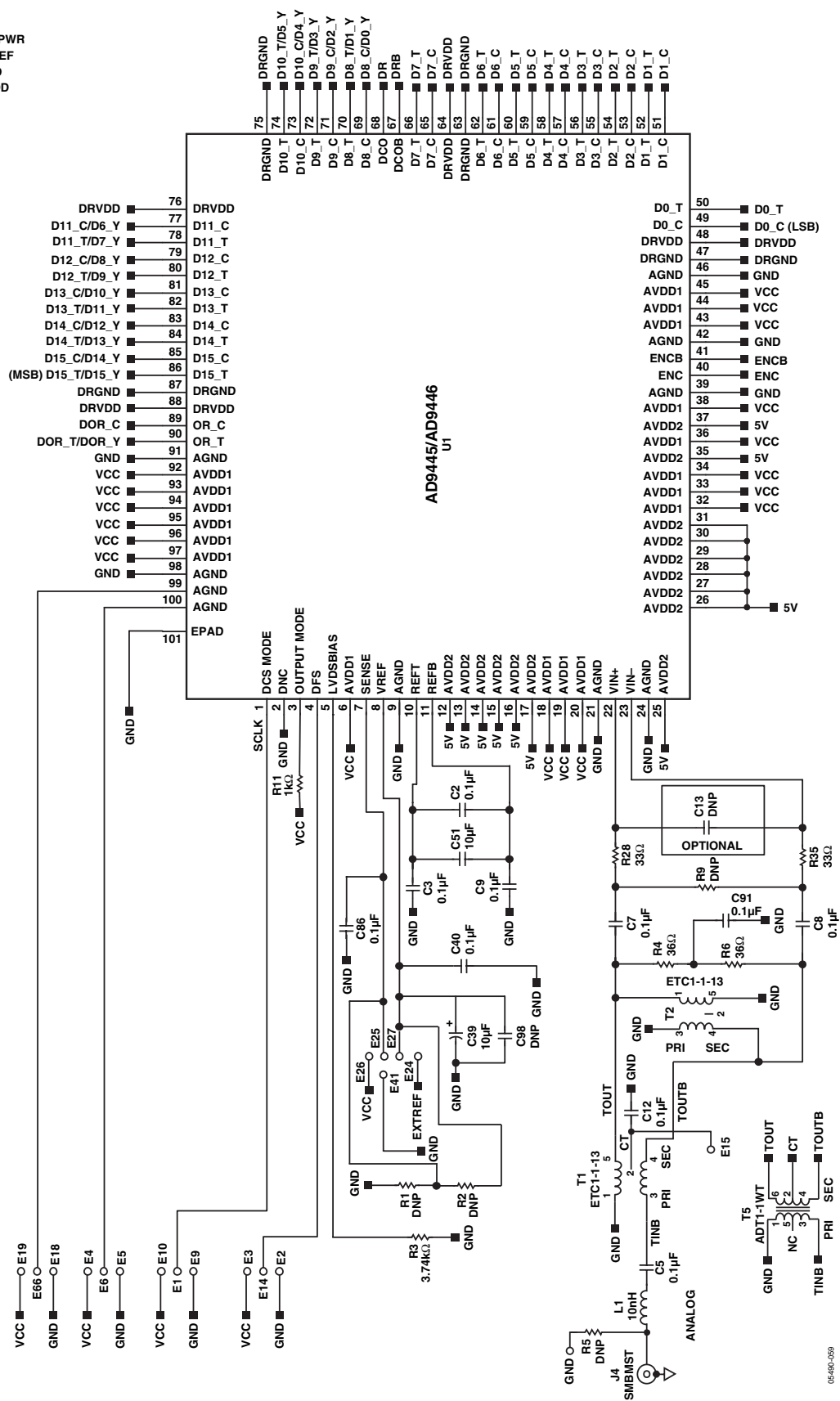
AD9446の挙動モデルは、www.analog.com/ADIsimADCから入手できます。ADIsimADC™ソフトウェアを使えば、アナログ・デバイセズが独自に開発した挙動モデリング技術を利用した仮想ADC評価が可能になります。これを利用することで、ハードウェア評価用ボードを使用するか否かに関係なく、AD9446とその他の高速ADCを迅速に比較できます。

LVDS出力に直接アクセスする場合、上記の変換器と終端接続を切り離すこともできます。

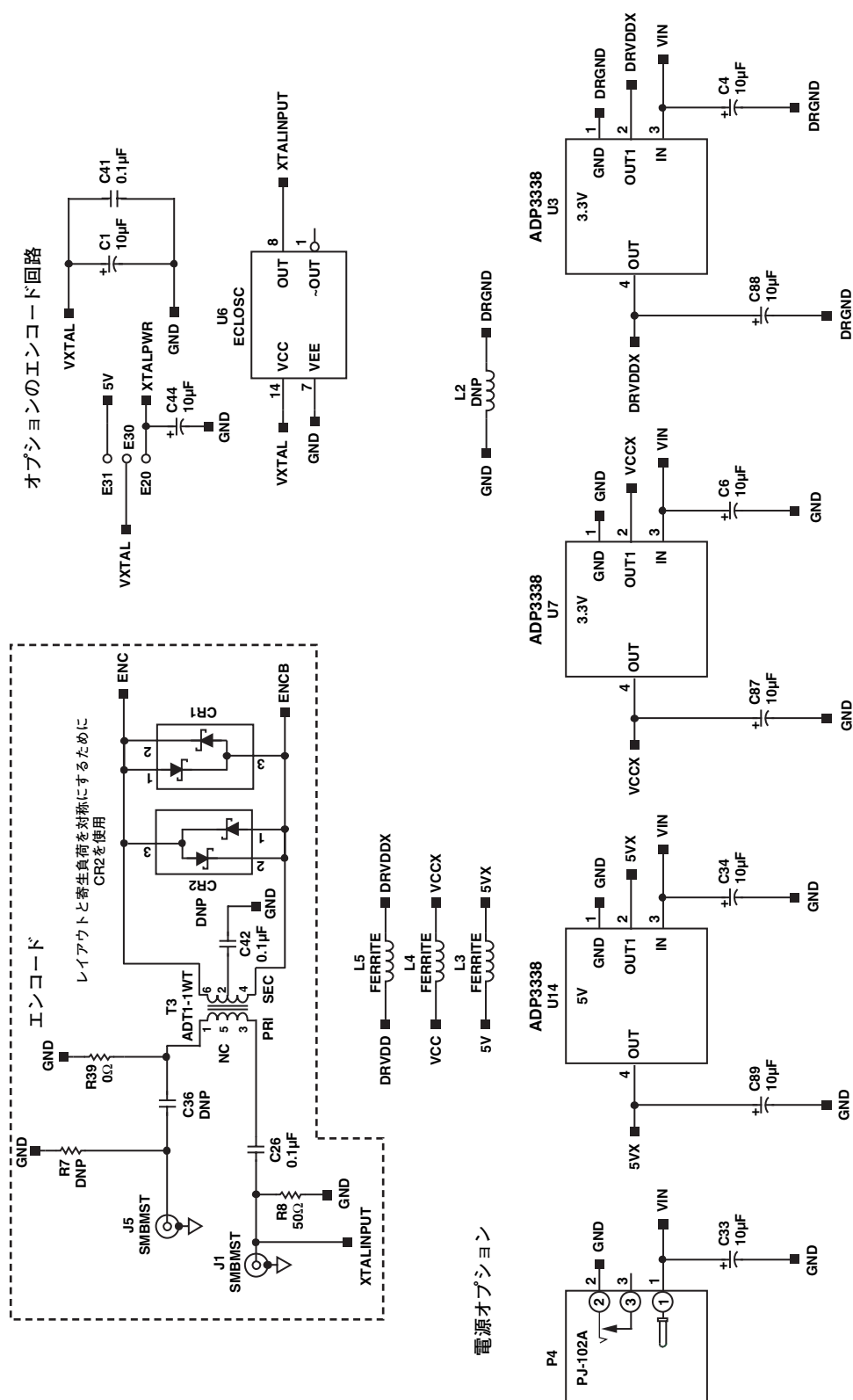
P21
 P1 1 — XTALPWR
 P2 2 — EXTREF
 P3 3 — DRGND
 P4 4 — DRVDD

 P22
 P1 1 — GND
 P2 2 — VCC
 P3 3 — GND
 P4 4 — 5V

 H4 MTHOLE6
 H3 MTHOLE6
 H1 MTHOLE6
 H2 MTHOLE6
 GND
 DRGND



OF 100 OFS



05480-060

AD9446

バイパス用コンデンサ

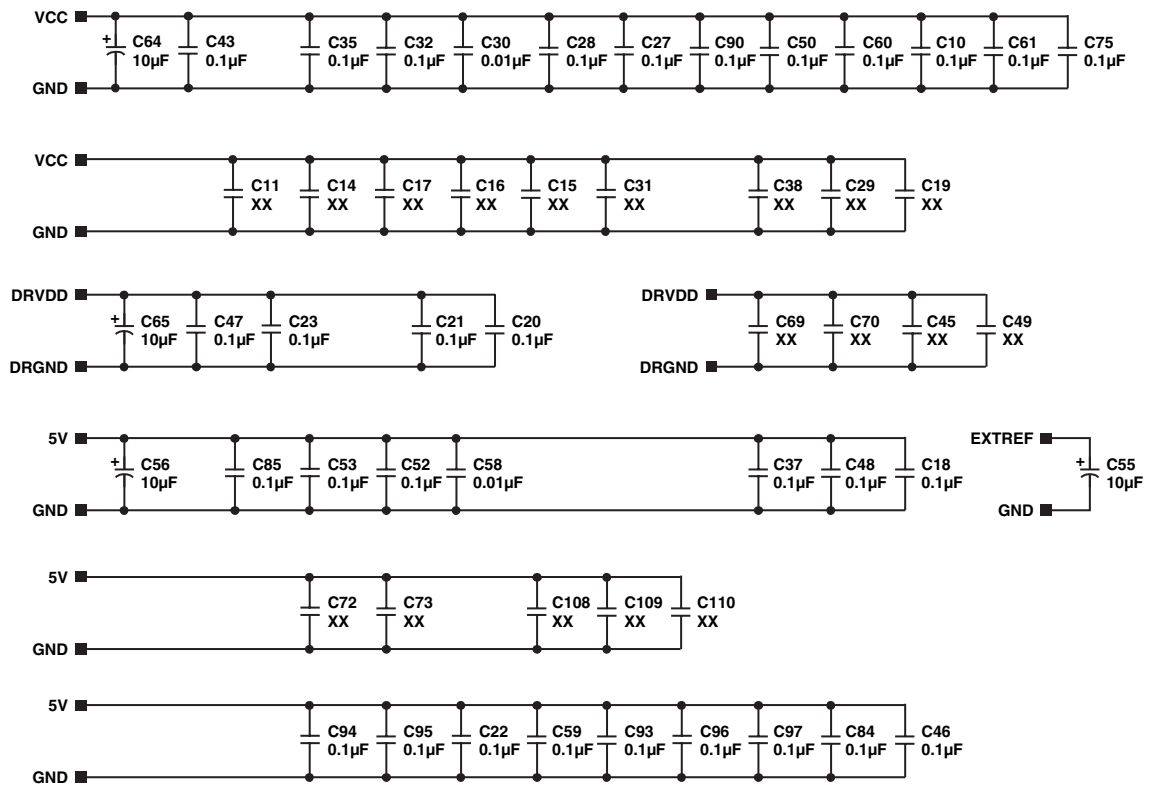
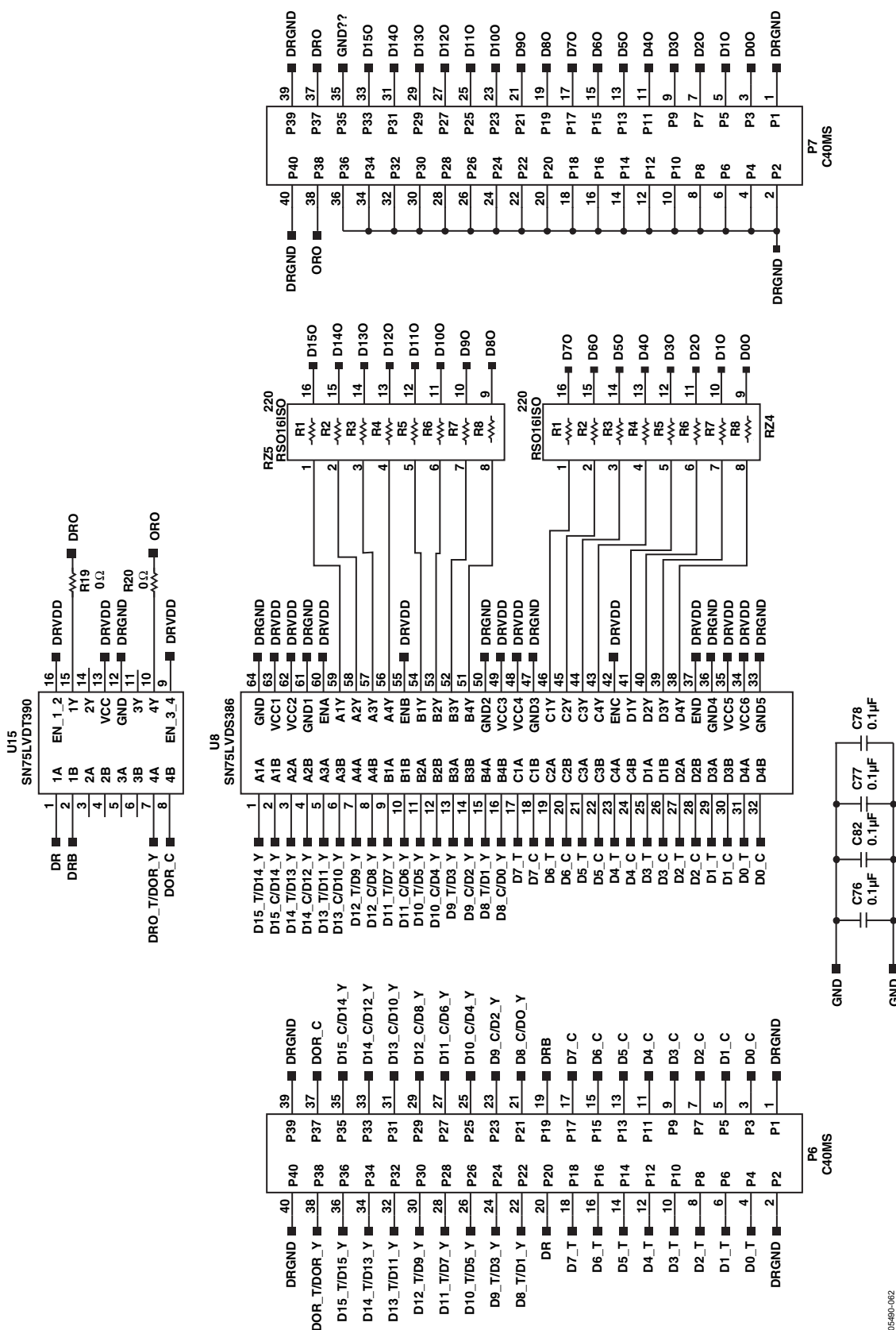


図63. AD9446評価用ボードの回路図 (続き)

05490-061



05480-062

図64. AD9446評価用ボードの回路図（続き）

AD9446

表11. AD9446-100ベースバンド・カスタマ向け評価用ボードの部品表 (BOM)

項目	数量	参照記号	品名	パッケージ	数値	メーカー	製造部品番号
1	7	C4、C6、C33、C34、C87、C88、C89	コンデンサ	TAJD	10μF	Digi-Key Corporation	478-1699-2
2	44	C2、C3、C5、C7、C8、C9、C10、C11、C12、C15、C20、C21、C22、C23、C26、C27、C28、C32、C35、C38、C40、C42、C43、C46、C47、C48、C50、C52、C53、C59、C60、C76、C77、C78、C82、C84、C85、C86、C90、C91、C94、C95、C96、C97	コンデンサ	402	0.1μF	Digi-Key Corporation	PCC2146CT-ND
3	2	C30、C58	コンデンサ	201	0.01μF	Digi-Key Corporation	445-1796-1-ND
4	4	C39、C56、C64、C65	コンデンサ	TAJD	10μF	Digi-Key Corporation	478-1699-2
5	1	C51	コンデンサ	805	10μF	Digi-Key Corporation	490-1717-1-ND
6	1	CR1	ダイオード	SOT23M5		Digi-Key Corporation	MA3X71600LCT-ND
7	1	CR2	ダイオード	SOT23M5		Digi-Key Corporation	MA3X71600LCT-ND
8	20	E1、E2、E3、E4、E5、E6、E9、E10、E14、E18、E19、E20、E24、E25、E26、E27、E30、E31、E36、E41	ヘッダ	EHOLE		Mouser Electronics	517-6111TG
9	2	J1、J4	SMA	SMA		Digi-Key Corporation	ARFX1231-ND
10	1	L1	インダクタ	0603A	10nH	Coilcraft, Inc.	0603CS-10NXGBU
11	3	L3、L4、L5	EMIFIL® BLM31PG500SNIL	1206MIL		Mouser Electronics	81-BLM31P500S
12	1	P4	PJ-002A	PJ-002A		Digi-Key Corporation	CP-002A-ND
13	1	P7	ヘッダ	C40MS		Samtec, Inc.	TSW-120-08-L-D-RA
14	1	R3	抵抗	402	3.74kΩ	Digi-Key Corporation	P3.74KLCT-ND
15	1	R8	抵抗	402	50Ω	Digi-Key Corporation	P49.9LCT-ND
16	4	R10、R19、R39、L2	抵抗	402	0Ω	Digi-Key Corporation	P0.0JCT-ND
17	1	R11	BRES402	402	1kΩ	Digi-Key Corporation	P1.0KLCT-ND
18	2	R28、R35	抵抗	402	33Ω	Digi-Key Corporation	P33JCT-ND
19	2	RZ4、RZ5	抵抗アレイ	16PIN	22Ω	Digi-Key Corporation	742C163220JCT-ND
20	2	T3、T5	トランス	ADT1-1WT		Mini-Circuits	ADT1-1WT
21	1	U1	AD9445BSVZ-125	SV-100-3		アナログ・デバイセズ	AD9445BSVZ-100
22	1	U14	ADP3338-5	SOT-223HS		アナログ・デバイセズ	ADP3338-5
23	2	U3、U7	ADP3338-3.3	SOT-223HS		アナログ・デバイセズ	ADP3338-33
24	1	U8	SN75LVDT386	TSSOP64		Arrow Electronics, Inc.	SN75LVDT386
25	1	U15	SN75LVDT390	SOIC16PW		Arrow Electronics, Inc.	SN75LVDT390
26	2	R4、R6	抵抗	402	36Ω	Digi-Key Corporation	P36JCT-ND
27	2	C1、C44、C55 ¹	コンデンサ	TAJD	10μF	Digi-Key Corporation	478-1699-2
28	23	C13、C14、C16、C17、C18、C19、C29、C31、C36、C37、C41、C45、C49、C61、C69、C70、C72、C73、C75、C93、C108、C109、C110 ¹	CAP402	402	XX		
29	1	C98 ¹	コンデンサ	805	10μF	Digi-Key Corporation	490-1717-1-ND

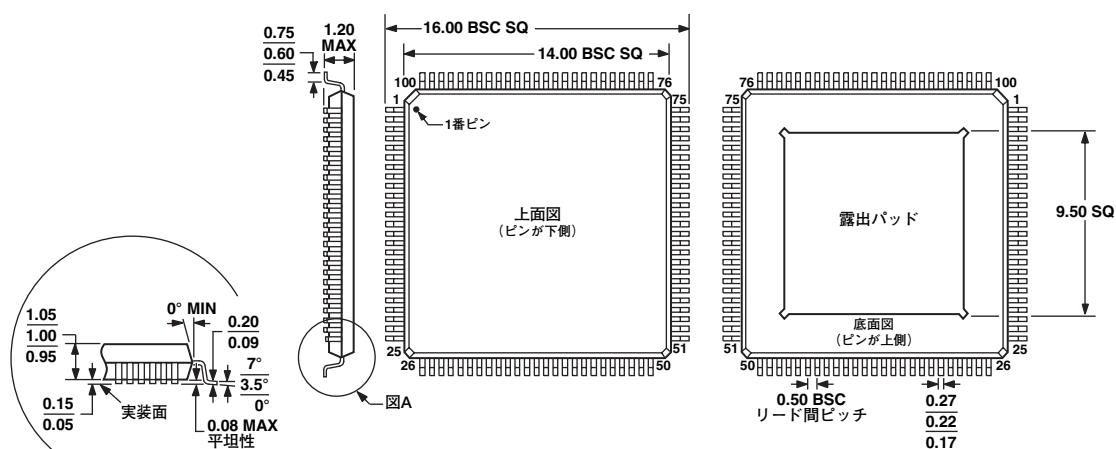
AD9446

項目	数量	参照記号	品名	パッケージ	数値	メーカー	製造部品番号
30		E15 ¹	ヘッダ	EHOLE		Mouser Electronics	517-6111TG
31		J5 ¹	SMA	SMA		Digi-Key Corporation	ARFX1231-ND
32		P6 ¹	ヘッダ	C40MS		Samtec, Inc.	TSW-120-08-L-D-RA
33	2	R1、R2 ¹	BRES402	402	XX		
34	3	R5、R7、R9 ¹	BRES402	402	XX		
35	1	U2 ¹	ECLOSC	DIP4(14)			
36	4	H1、H2、H3、H4 ¹	MTHOLE6	MTHOLE6			
37	2	T1、T2 ¹	バラン・トランス	SM-22		M/A-COM	ETC1-1-13
38	2	P21、P22 ¹	端子板	PTMICRO4		Newark Electronics	

¹ ボードに実装されていません。

AD9446

外形寸法



図A
反時計方向に90°回転

JEDEC規格MS-026-AED-HDに準拠

- 注
- 特に指定のない限り、中心値は代表値です。
 - パッケージには熱放散を助ける伝導性ヒート・スラグが使用されており、工業用温度範囲の全域でデバイスの高信頼動作を保証しています。このスラグはパッケージの底面に露出しており、電気的にチップのグラウンドに接続されています。PCボードのパターン配線またはビアは、スラグに接触するといけませんのでパッケージの真下に配置しないようにしてください。スラグをグラウンド・プレーンに接触させると、デバイスのジャンクション温度を下げるのに役立つので、高温環境では有益です。

図65. 100ピン薄型クワッド・フラット・パッケージ、露出パッド付き [TQFP_EP]
(SV-100-3)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9446BSVZ-80 ¹	−40～+85℃	100ピンTQFP_EP	SV-100-3
AD9446BSVZ-100 ¹	−40～+85℃	100ピンTQFP_EP	SV-100-3
AD9446-100LVDS/PCB		AD9446-100 LVDSモードの評価用ボード	
AD9446-80LVDS/PCB		AD9446-80 LVDSモードの評価用ボード	

¹ Z=鉛フリー製品