

## ADCMP580/ADCMP581/ADCMP582

### 特長

- 伝搬遅延：180ps
- オーバードライブおよびスルーレートによる  
ディスペーション：15ps
- 入力立ち上がり時間等価帯域幅：8GHz
- 最小パルス幅：100ps
- 出力立ち上がり/立下がり時間：37ps (typ値)
- 確定ジッタ (DJ)：10ps
- ランダム・ジッタ (RJ)：200fs
- 入力電圧範囲：-2~+3V (±5V電源使用時)
- 両入力ピンに終端抵抗内蔵
- 抵抗プログラマブルなヒステリシス
- 差動ラッチ信号制御
- 電源電圧変動除去比：70dB超

### アプリケーション

- 自動試験装置 (ATE)
- 高速計測器
- パルス分光法
- 医療用画像処理と診断
- 高速ライン・レシーバ
- スレッシュホールド検出
- ピークおよびゼロクロス検出器
- 高速トリガ回路
- クロックおよびデータ再生

### 概要

ADCMP580/ADCMP581/ADCMP582は、アナログ・デバイセズ独自のXFCB3シリコン・ゲルマニウム (SiGe) バイポーラ・プロセスで製造された超高速の電圧コンパレータです。ADCMP580はCML出力ドライバ、ADCMP581は振幅の小さいECL (負のECL) 出力ドライバ、ADCMP582は振幅の小さいPECL (正のECL) 出力ドライバになっています。

これら3つのコンパレータは、180psの伝播遅延と100psの最小パルス幅性能によって、200fsのランダム・ジッタ (RJ) で10Gbpsの動作を可能にします。オーバードライブおよびスルーレートによるディスペーションの代表値は、15ps未満です。

±5Vの電源電圧は-2~+3Vの広い入力範囲と、ロジック・レベルでのCML/ECL/PECL出力を可能にします。入力には50Ωの終端抵抗が内蔵されており、高インピーダンス入力が必要とするアプリケーションでは、(個々のピンごとに) 開放して使用することも可能です。

### 機能ブロック図

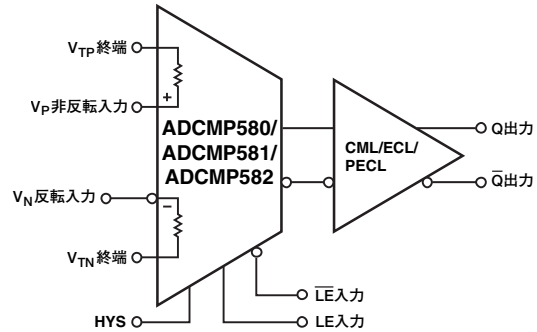


図1

04672-001

CML出力段は、50Ωで終端した伝送ラインに400mVを直接駆動できる設計となっています。ECL出力段は、-2Vに終端した50Ωに400mVを、PECL出力段は $V_{CC0}-2V$ に終端した50Ωに400mVを直接駆動するように設計されています。高速ラッチとプログラム可能なヒステリシス機能も搭載されています。差動ラッチ入力制御も50Ωで終端されており、独立した $V_{TT}$ ピンでCML/ECL/PECLロジックのいずれかとインターフェースすることが可能となっています。

ADCMP580/ADCMP581/ADCMP582は、いずれも16ピンLFCSPパッケージを採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06 (6350) 6868

# ADCMP580/ADCMP581/ADCMP582

## 目次

仕様	3	電源／グラウンドのレイアウトとバイパス	11
タイミング特性	5	ADCMP58xファミリーの出力段	11
絶対最大定格	6	ラッチ機能の使用とデイスエーブル	11
熱に関する注意事項	6	高速性能の最適化	12
ESDに関する注意	6	コンパレータの伝搬遅延ディスパージョン	12
ピン配置と機能の説明	7	コンパレータのヒステリシス	13
代表的な性能特性	8	最小入力スルーレート条件	13
代表的なアプリケーション回路	10	外形寸法	14
アプリケーション情報	11	オーダー・ガイド	14

## 改訂履歴

7/05—Revision 0: Initial Version

# ADCMP580/ADCMP581/ADCMP582

## 仕様

特に指定のない限り、 $V_{CC1}=+5.0V$ 、 $V_{EE}=-5.0V$ 、 $V_{CC0}=+3.3V$ 、 $T_A=25^\circ C$ 。

表1

パラメータ	記号	条件	Min	Typ	Max	単位
<b>DC入力特性</b>						
入力電圧範囲	$V_P$ 、 $V_N$		-2.0		+3.0	V
入力差動電圧範囲			-2.0		+2.0	V
入力オフセット電圧	$V_{OS}$		-10.0	±4	+10.0	mV
オフセット電圧温度係数	$\Delta V_{OS}/d_T$			10		$\mu V/^\circ C$
入力バイアス電流	$I_P$ 、 $I_N$	オープン終端		15	30.0	$\mu A$
入力バイアス電流温度係数	$\Delta I_B/d_T$			50		$nA/^\circ C$
入力オフセット電流				2	±5.0	$\mu A$
入力抵抗				47~53		$\Omega$
入力抵抗 (差動モード)		オープン終端		50		$k\Omega$
入力抵抗 (同相モード)		オープン終端		500		$k\Omega$
アクティブ・ゲイン	$A_V$			48		dB
同相ノイズ除去	CMRR	$V_{CM}=-2.0\sim+3.0V$		60		dB
ヒステリシス		$R_{HYS}=\infty$		1		mV
<b>ラッチ・イネーブル特性</b>						
ラッチ・イネーブル入力インピーダンス	$Z_{IN}$	各ピン、ACグラウンドでの $V_{TT}$		47~53		$\Omega$
ラッチから出力までの遅延	$t_{PLOH}$ 、 $t_{PLOW}$	$V_{OD}=200mV$		175		ps
ラッチ最小パルス幅	$t_{PL}$	$V_{OD}=200mV$		100		ps
<b>ADCMP580 (CML)</b>						
ラッチ・イネーブル入力範囲			-0.8		0	V
ラッチ・イネーブル入力差動			0.2	0.4	0.5	V
ラッチ・セットアップ時間	$t_S$	$V_{OD}=200mV$		95		ps
ラッチ・ホールド時間	$t_H$	$V_{OD}=200mV$		-90		ps
<b>ADCMP581 (NECL)</b>						
ラッチ・イネーブル入力範囲			-1.8		+0.8	V
ラッチ・イネーブル入力差動			0.2	0.4	0.5	V
ラッチ・セットアップ時間	$t_S$	$V_{OD}=200mV$		70		ps
ラッチ・ホールド時間	$t_H$	$V_{OD}=200mV$		-65		ps
<b>ADCMP582 (PECL)</b>						
ラッチ・イネーブル入力範囲			$V_{CC0}-1.8$		$V_{CC0}-0.8$	V
ラッチ・イネーブル入力差動			0.2	0.4	0.5	V
ラッチ・セットアップ時間	$t_S$	$V_{OD}=200mV$		30		ps
ラッチ・ホールド時間	$t_H$	$V_{OD}=200mV$		-25		ps
<b>DC出力特性</b>						
<b>ADCMP580 (CML)</b>						
出力インピーダンス	$Z_{OUT}$			50		$\Omega$
出力ハイレベル電圧	$V_{OH}$	50 $\Omega$ ~GND	-0.10	0	0.03	V
出力ローレベル電圧	$V_{OL}$	50 $\Omega$ ~GND	-0.50	-0.40	-0.35	V
出力差動電圧		5 $\Omega$ ~GND	340	395	450	mV
<b>ADCMP581 (ECL)</b>						
出力ハイレベル電圧	$V_{OH}$	50 $\Omega$ ~-2V、 $T_A=125^\circ C$	-0.99	-0.87	-0.75	V
出力ハイレベル電圧	$V_{OH}$	50 $\Omega$ ~-2V、 $T_A=25^\circ C$	-1.06	-0.94	-0.82	V
出力ハイレベル電圧	$V_{OH}$	50 $\Omega$ ~-2V、 $T_A=-55^\circ C$	-1.11	-0.99	-0.87	V
出力ローレベル電圧	$V_{OL}$	50 $\Omega$ ~-2V、 $T_A=125^\circ C$	-1.43	-1.26	-1.13	V
出力ローレベル電圧	$V_{OL}$	50 $\Omega$ ~-2V、 $T_A=25^\circ C$	-1.50	-1.33	-1.20	V
出力ローレベル電圧	$V_{OL}$	50 $\Omega$ ~-2V、 $T_A=-55^\circ C$	-1.55	-1.38	-1.25	V
出力差動電圧		50 $\Omega$ ~-2.0V	340	395	450	mV

# ADCMP580/ADCMP581/ADCMP582

パラメータ	記号	条件	Min	Typ	Max	単位
<b>ADCMP582 (PECL)</b>						
出力ハイレベル電圧	$V_{OH}$	$V_{CCO}=3.3V$ $50\Omega \sim V_{CCO}-2V, T_A=125^\circ C$	$V_{CCO}-0.99$	$V_{CCO}-0.87$	$V_{CCO}-0.75$	V
出力ハイレベル電圧	$V_{OH}$	$50\Omega \sim V_{CCO}-2V, T_A=25^\circ C$	$V_{CCO}-1.06$	$V_{CCO}-0.94$	$V_{CCO}-0.82$	V
出力ハイレベル電圧	$V_{OH}$	$50\Omega \sim V_{CCO}-2V, T_A=-55^\circ C$	$V_{CCO}-1.11$	$V_{CCO}-0.99$	$V_{CCO}-0.87$	V
出力ローレベル電圧	$V_{OL}$	$50\Omega \sim V_{CCO}-2V, T_A=125^\circ C$	$V_{CCO}-1.43$	$V_{CCO}-1.26$	$V_{CCO}-1.13$	V
出力ローレベル電圧	$V_{OL}$	$50\Omega \sim V_{CCO}-2V, T_A=25^\circ C$	$V_{CCO}-1.50$	$V_{CCO}-1.33$	$V_{CCO}-1.20$	V
出力ローレベル電圧	$V_{OL}$	$50\Omega \sim V_{CCO}-2V, T_A=-55^\circ C$	$V_{CCO}-1.55$	$V_{CCO}-1.35$	$V_{CCO}-1.25$	V
出力差動電圧		$50\Omega \sim V_{CCO}-2.0V$	340	395	450	mV
<b>AC性能</b>						
伝搬遅延	$t_{PD}$	$V_{OD}=500\text{ mV}$		180		ps
伝搬遅延温度係数	$\Delta t_{PD}/d_T$			0.25		ps/ $^\circ C$
伝搬遅延スキュー (立上がりと立下がりの差)		$V_{OD}=500\text{ mV}, 5V/ns$		10		ps
オーバードライブ・ ディスパーション		$50\text{ mV} < V_{OD} < 1.0V$ $10\text{ mV} < V_{OD} < 200\text{ mV}$		10 15		ps ps
スルーレート・ ディスパーション		$2V/ns \sim 10V/ns$		15		ps
パルス幅ディスパーション		$100\text{ ps} \sim 5\text{ ns}$		15		ps
デューティサイクル・ ディスパーション (5~95%)		$1.0V/ns, 15\text{ MHz}, V_{CM}=0.0V$		10		ps
同相ディスパーション		$V_{OD}=0.2V, -2V < V_{CM} < 3V$		5		ps/V
等価入力帯域幅 <sup>1</sup>	$BW_{EQ}$	$0.0V \sim 400\text{ mV}$ 入力 $t_r=t_f=25\text{ ps}, 20/80$ >50%出力振幅		8 12.5		GHz Gbps
トグル・レート						
確定ジッタ	DJ	$V_{OD}=500\text{ mV}, 5V/ns$ PRBS <sup>31</sup> -1NRZ, 5Gbps		15		ps
確定ジッタ	DJ	$V_{OD}=200\text{ mV}, 5V/ns$ PRBS <sup>31</sup> -1NRZ, 10Gbps		25		ps
RMSランダム・ジッタ	RJ	$V_{OD}=200\text{ mV}, 5V/ns, 1.25\text{ GHz}$		0.2		ps
最小パルス幅	$PW_{MIN}$	$\Delta t_{PD} < 5\text{ ps}$		100		ps
最小パルス幅	$PW_{MIN}$	$\Delta t_{PD} < 10\text{ ps}$		80		ps
立上がり/立下がり時間	$t_R, t_F$	20/80		37		ps
<b>電源</b>						
正側電源電圧	$V_{CCI}$		+4.5	+5.0	+5.5	V
負側電源電圧	$V_{EE}$		-5.5	-5.0	-4.5	V
<b>ADCMP580 (CML)</b>						
正側電源電流	$I_{VCCI}$	$V_{CCI}=+5.0V, 50\Omega \sim GND$		6	8	mA
負側電源電流	$I_{VEE}$	$V_{EE}=-5.0V, 50\Omega \sim GND$	-50	-40	-34	mA
消費電力	$P_D$	$50\Omega \sim GND$		230	260	mW
<b>ADCMP581 (ECL)</b>						
正側電源電流	$I_{VCCI}$	$V_{CCI}=+5.0V, 50\Omega \sim -2V$		6	8	mA
負側電源電流	$I_{VEE}$	$V_{EE}=-5.0V, 50\Omega \sim -2V$	-35	-25	-19	mA
消費電力	$P_D$	$50\Omega \sim -2V$		155	200	mW
<b>ADCMP582 (PECL)</b>						
ロジック電源電圧	$V_{CCO}$		+2.5	+3.3	+5.0	V
入力電源電流	$I_{VCCI}$	$V_{CCI}=+5.0V, 50\Omega \sim V_{CCO}-2V$		6	8	mA
出力電源電流	$I_{VCCO}$	$V_{CCO}=+5.0V, 50\Omega \sim V_{CCO}-2V$		44	55	mA
負側電源電流	$I_{VEE}$	$V_{EE}=-5.0V, 50\Omega \sim V_{CCO}-2V$	-35	-25	-19	mA
消費電力	$P_D$	$50\Omega \sim V_{CCO}-2V$		310	350	mW
電源電圧変動除去比 ( $V_{CCI}$ )	$PSR_{VCCI}$	$V_{CCI}=5.0V+5\%$		-75		dB
電源電圧変動除去比 ( $V_{EE}$ )	$PSR_{VEE}$	$V_{EE}=-5.0V+5\%$		-60		dB
電源電圧変動除去比 ( $V_{CCO}$ )	$PSR_{VCCO}$	$V_{CCO}=3.3V+5\%$ (ADCMP582)		-75		dB

<sup>1</sup> 入力等価帯域幅では、簡単な一次入力応答を想定しており、 $BW_{EQ}=0.22/(t_{rCOMP}^2-t_{rIN}^2)$ の式で計算しています。ここで、 $t_{rIN}$ はコンパレータ入力に適用される準ガウス入力エッジの20/80遷移時間であり、 $t_{rCOMP}$ はコンパレータによってデジタル化される実効遷移時間です。

## タイミング特性

図2は、ADCMP580/ADCMP581/ADCMP582の比較とラッチのタイミング関係を示します。表2は、図中で使用した用語の定義です。

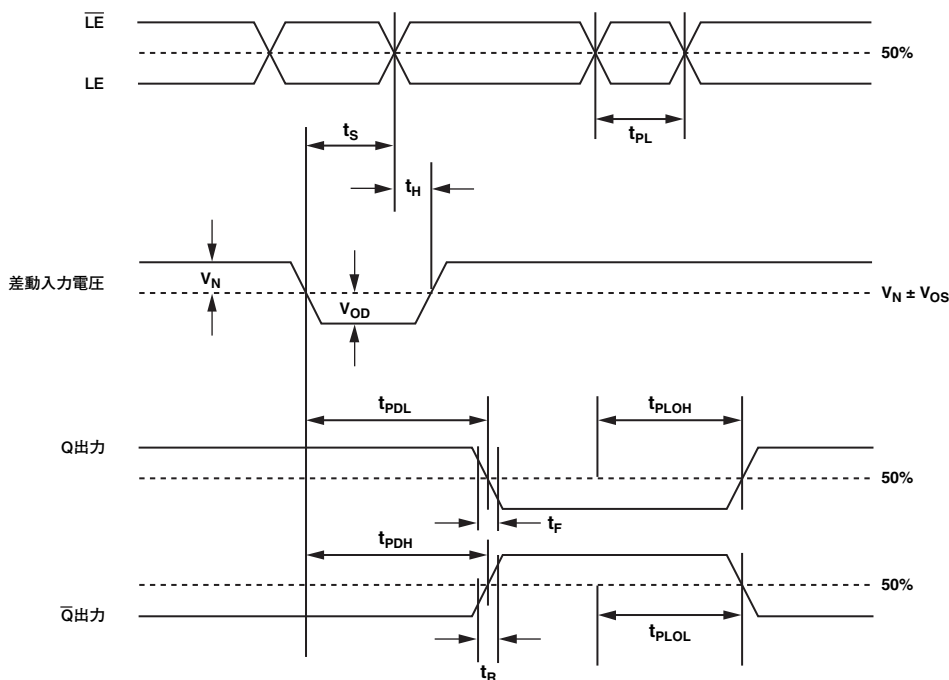


図2. コンパレータのタイミング図

表2. タイミングの説明

記号	タイミング	説明
$t_{PDH}$	入力から出力ハイレベルまでの遅延	入力信号が基準レベル（±入力オフセット電圧）を交差した時点から、出力がローレベルからハイレベルの50%ポイントに遷移するまでを測定した伝播遅延です。
$t_{PDL}$	入力から出力ローレベルまでの遅延	入力信号が基準レベル（±入力オフセット電圧）を交差した時点から、出力がハイレベルからローレベルの50%ポイントに遷移するまでを測定した伝播遅延です。
$t_{PLOH}$	ラッチ・イネーブルから出力ハイレベルまでの遅延	ラッチ・イネーブル信号がローレベルからハイレベルに遷移する50%ポイントから、出力がローレベルからハイレベルに遷移する50%ポイントまでを測定した伝播遅延です。
$t_{PLOL}$	ラッチ・イネーブルから出力ローレベルまでの遅延	ラッチ・イネーブル信号がローレベルからハイレベルに遷移する50%ポイントから、出力がハイレベルからローレベルに遷移する50%ポイントまでを測定した伝播遅延です。
$t_H$	最小ホールド時間	ラッチ・イネーブル信号がローレベルに遷移した後で、収集する入力信号が変化することのないように維持し、これを出力で保持しなければならない最小時間です。
$t_{PL}$	最小ラッチ・イネーブル・パルス幅	入力信号の変化を取り込むために、ラッチ・イネーブル信号をハイレベルに保持しなければならない最小時間です。
$t_S$	最小セットアップ時間	ラッチ・イネーブル信号がローレベルに遷移する前に、収集する入力信号が変化し、これを出力で保持しなければならない最小時間です。
$t_R$	出力立ち上がり時間	出力がローレベルからハイレベルに遷移する場合、20%および80%ポイントで測定した所要時間です。
$t_F$	出力立ち下がり時間	出力がハイレベルからローレベルに遷移する場合、20%および80%ポイントで測定した所要時間です。
$V_N$	正常入力電圧	出力が真の場合の入力電圧 $V_P$ と $V_N$ の差です。
$V_{OD}$	電圧オーバードライブ	出力が偽の場合の入力電圧 $V_P$ と $V_N$ の差です。

# ADCMP580/ADCMP581/ADCMP582

## 絶対最大定格

表3

パラメータ	定格値
電源電圧	
正側電源電圧 (GNDに対する $V_{CC1}$ )	-0.5~+6.0V
負側電源電圧 (GNDに対する $V_{EE}$ )	-6.0~+0.5V
ロジック電源電圧 (GNDに対する $V_{CC0}$ )	-0.5~+6.0V
入力電圧	
入力電圧	-3.0~+4.0V
差動入力電圧	-2~+2V
入力電圧 (ラッチ・イネーブル)	-2.5~+5.5V
ヒステリシス制御ピン	
印加電圧 ( $V_{EE}$ に対するHYS)	-5.5~+0.5V
最大入出力電流	1mA
出力電流	
ADCMP580 (CML)	-25mA
ADCMP581 (ECL)	-40mA
ADCMP582 (PECL)	-40mA
温度	
動作温度 (周囲)	-40~+125°C
動作温度 (ジャンクション)	125°C
保存温度範囲	-65~+150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 熱に関する注意事項

ADCMP580/ADCMP581/ADCMP582の16ピンLFCSPパッケージの $\theta_{JA}$  (ジャンクション部と周囲間の熱抵抗値)は、自然空冷で70°C/Wです。

### 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



# ADCMP580/ADCMP581/ADCMP582

## ピン配置と機能の説明

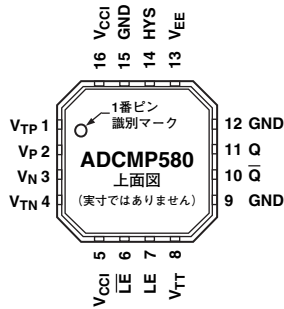


図3. ADCMP580のピン配置

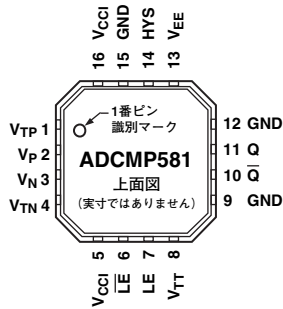


図4. ADCMP581のピン配置

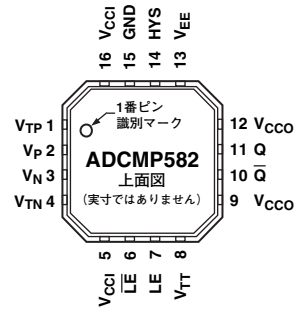


図5. ADCMP582のピン配置

表4. ピン機能の説明

ピン番号	記号	機能
1	$V_{TP}$	$V_P$ 入力用の終端抵抗リターン・ピン
2	$V_P$	非反転アナログ入力
3	$V_N$	反転アナログ入力
4	$V_{TN}$	$V_N$ 入力用の終端抵抗リターン・ピン
5、16	$V_{CCI}$	正側電源電圧
6	$\overline{LE}$	ラッチ・イネーブル入力ピン（反転側）。比較モード（ $\overline{LE}$ =ローレベル）では、出力はコンパレータの入力変動をトラッキングします。ラッチ・モード（ $\overline{LE}$ =ハイレベル）では、出力はコンパレータがラッチ・モードに設定される直前の入力状態を反映します。 $\overline{LE}$ はLEとともに駆動する必要があります。
7	LE	ラッチ・イネーブル入力ピン（非反転側）。比較モード（LE=ハイレベル）では、出力はコンパレータの入力変動をトラッキングします。ラッチ・モード（LE=ローレベル）では、出力はコンパレータがラッチ・モードに設定される直前の入力状態を反映します。LEは $\overline{LE}$ とともに駆動する必要があります。
8	$V_{TT}$	$LE/\overline{LE}$ 入力ピン用の終端リターン・ピン ADCMP580（CML出力段）では、このピンをGNDグラウンドに接続します。 ADCMP581（ECL出力段）では、このピンを-2Vの終端電位に接続します。 ADCMP582（PECL出力段）では、このピンを $V_{CCO}-2V$ の終端電位に接続します。
9、12	GND/ $V_{CCO}$	デジタル・グラウンド・ピン/正ロジック電源端子 ADCMP580/ADCMP581では、このピンをGNDピンに接続します。 ADCMP582では、このピンを正ロジック $V_{CCO}$ 電源に接続します。
10	$\overline{Q}$	反転出力。非反転入力 $V_P$ でのアナログ電圧が反転入力 $V_N$ でのアナログ電圧より大きい場合は、 $\overline{Q}$ はロジック・ローです（コンパレータが比較モードの場合）。詳細についてはLE/ $\overline{LE}$ の説明（6番～7番ピン）を参照してください。
11	Q	非反転出力。非反転入力 $V_P$ でのアナログ電圧が反転入力 $V_N$ でのアナログ電圧より大きい場合は、Qはロジック・ハイです（コンパレータが比較モードの場合）。詳細についてはLE/ $\overline{LE}$ の説明（6番～7番ピン）を参照してください。
13	$V_{EE}$	負側電源
14	HYS	ヒステリシス制御。ゼロ・ヒステリシスを実現するには、このピンを非接続にしておきます。希望するヒステリシス量を追加するには、適当なサイズの抵抗を用いて、このピンを $V_{EE}$ 電源に接続します。HYSヒステリシス制御抵抗の適切なサイズについては、図9を参照してください。
15	GND	アナログ・グラウンド
ヒート・シンクパドル	N/C	パッケージの金属裏面は、回路のどの部分にも電氣的に接続されていません。これを開放しておくこと、パッケージ・ハンドルとダイのサブストレートの間で最適な電氣的分離が得られます。熱的/機械的な安定性を改善したい場合は、アプリケーション・ボードにハンダ付けしてください。

# ADCMP580/ADCMP581/ADCMP582

## 代表的な性能特性

特に指定のない限り、 $V_{CC1} = +5.0V$ 、 $V_{EE} = -5.0V$ 、 $V_{CC0} = +3.3V$ 、 $T_A = 25^\circ C$ 。

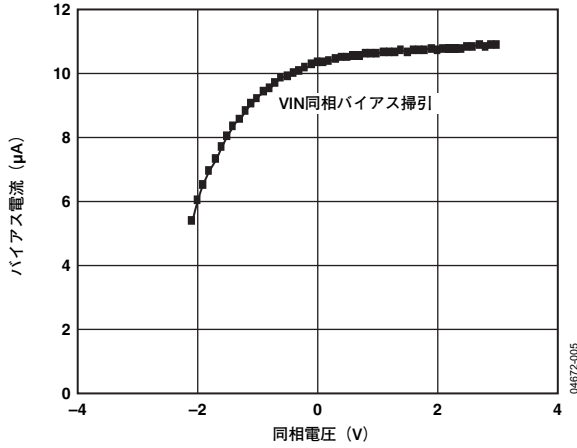


図6. 同相電圧 対 バイアス電流

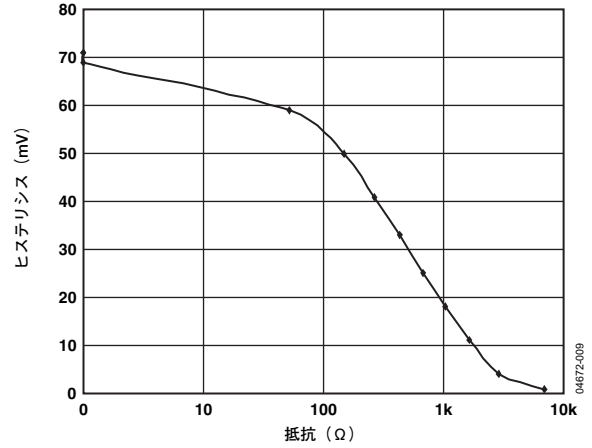


図9.  $R_{HYS}$ 制御抵抗 対 ヒステリシス

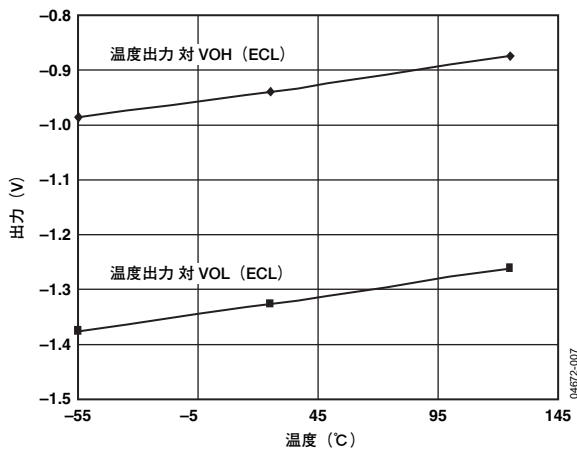


図7. ADCMP581の出力電圧の温度特性

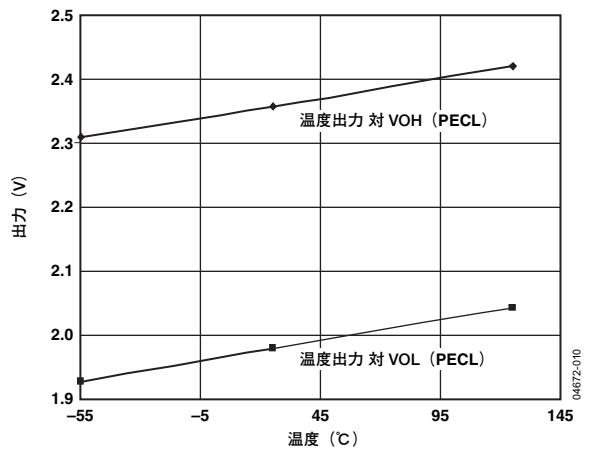


図10. ADCMP582の出力電圧の温度特性

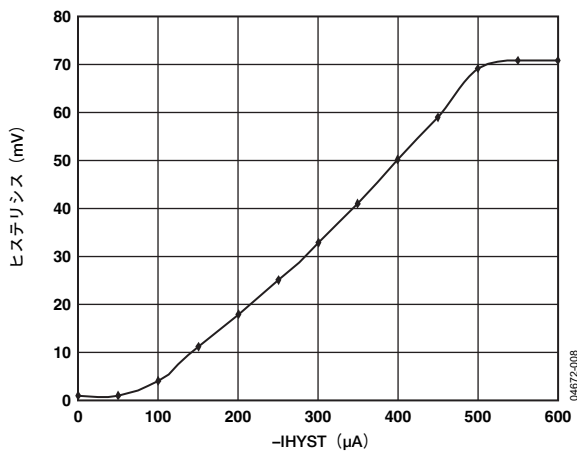


図8.  $-IHYST$  対 ヒステリシス

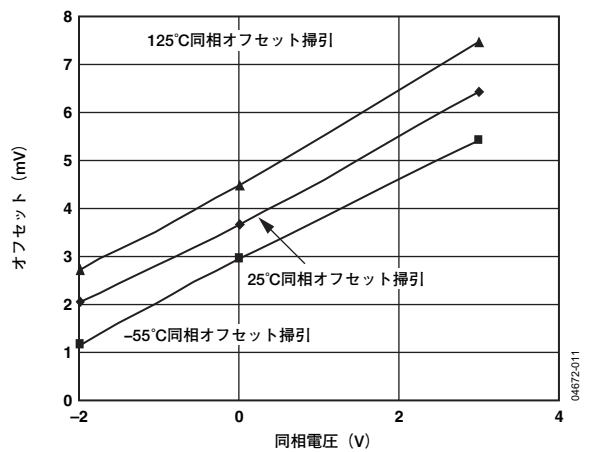


図11. 代表的な同相電圧 対 VOS

# ADCMP580/ADCMP581/ADCMP582

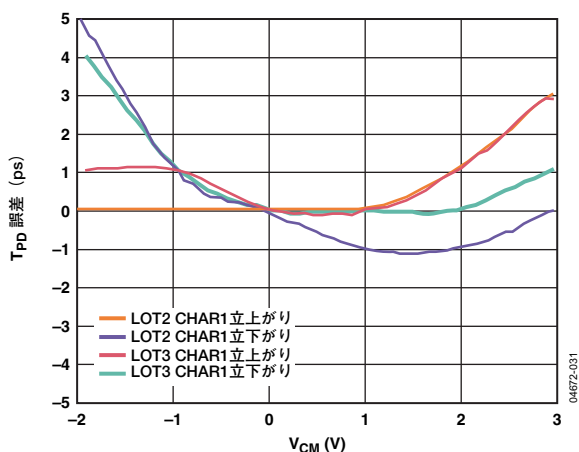


図12. 同相電圧 対 ADCMP580の伝搬遅延

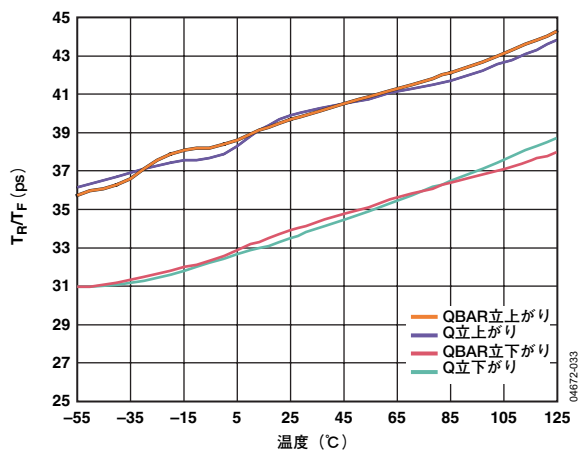


図15. ADCMP581の $T_R/T_F$ の温度特性

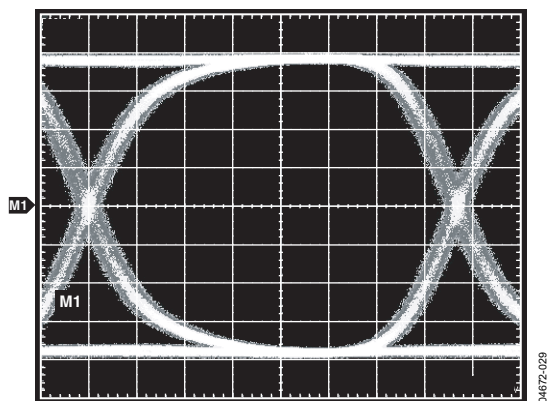


図13. ADCMP580のアイ・ダイアグラム (7.5Gbps)

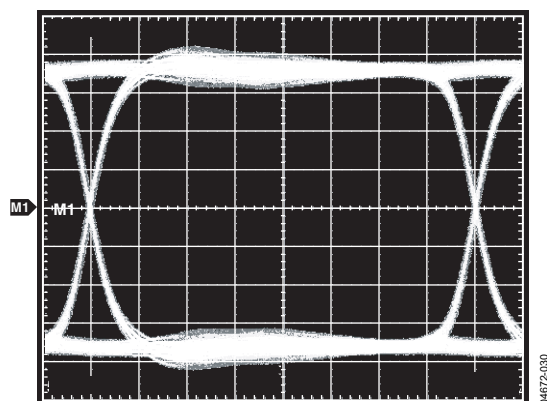


図16. ADCMP582のアイ・ダイアグラム (2.5Gbps)

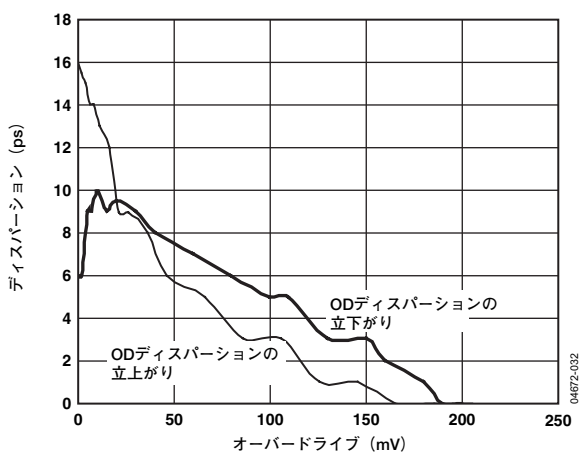


図14. オーバードライブ 対 ディスパーション

# ADCMP580/ADCMP581/ADCMP582

## 代表的なアプリケーション回路

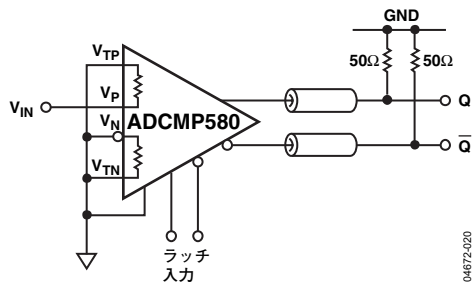


図17. CML出力を持つゼロクロス検出器

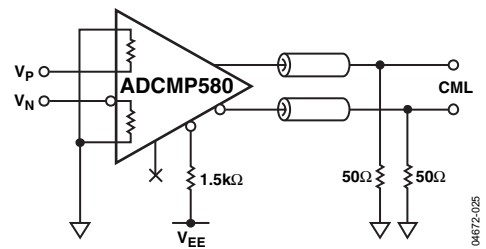


図21. ラッチ機能のディスエーブル (ADCMP580)

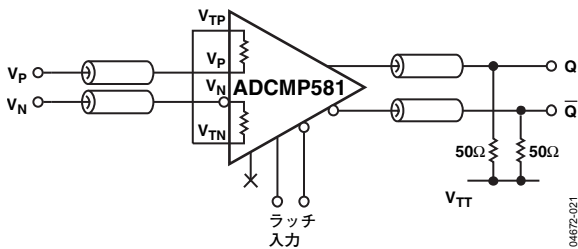


図18. 50Ωのバック終端 (RS) ECLレシーバへのLVDS

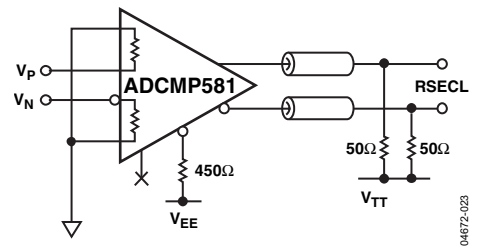


図22. ラッチ機能のディスエーブル (ADCMP581)

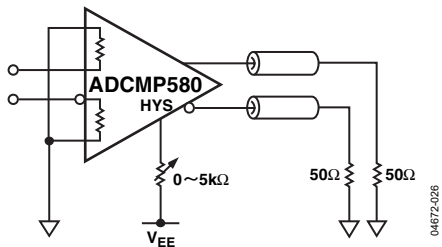


図19. HYS制御によるヒステリシスの追加

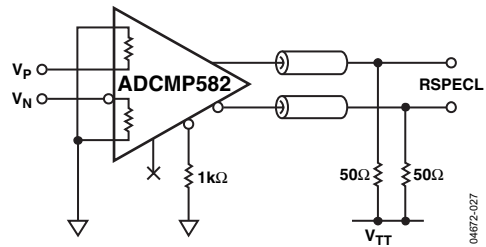


図23. ラッチ機能のディスエーブル (ADCMP582)

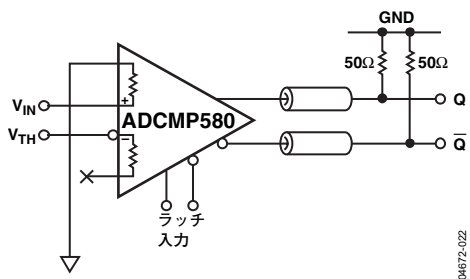


図20. -2~+3Vの入力電圧範囲を持つコンパレータ

## アプリケーション情報

### 電源/グラウンドのレイアウトとバイパス

ADCMP58xファミリーのコンパレータは、きわめて高速なアプリケーション向けに設計されています。したがって、仕様規定された性能を達成するには、高速設計技法を採用する必要があります。特に、負側電源 ( $V_{EE}$ )、出力電源プレーン ( $V_{CC0}$ )、グラウンド・プレーン (GND) に対しては、低インピーダンスの電源プレーンを使用することがきわめて重要です。それぞれ独立した電源プレーンで多層ボードを構成することを推奨します。スイッチング電流に最小インダクタンスのリターン・パスを提供することにより、ターゲット・アプリケーションで最高の性能が保証されます。

入出力電源を十分にバイパスすることも重要です。1 $\mu$ Fの電解型バイパス・コンデンサを、各電源ピンから数インチ以内に配置してグラウンドと接続します。さらに、高品質の複数の0.1 $\mu$ Fバイパス・コンデンサを $V_{EE}$ 、 $V_{CC1}$ 、 $V_{CC0}$ の各電源ピンのできるだけ近くに配置し、冗長ビアによりGNDプレーンに接続します。高周波バイパス・コンデンサの選択に際しては、最小のインダクタンスとESRが実現するように注意してください。高周波において最大のバイパス効率を達成するには、寄生レイアウト・インダクタンスはあくまでも回避してください。

### ADCMP58xファミリーの出力段

仕様規定された伝搬遅延分散性能を達成するには、伝送ラインの適切な終端が必要です。ADCMP580ファミリー・コンパレータの出力は、適切なリターンを基準にして50 $\Omega$ で終端されたマイクロストリップ/ストリップライン伝送ラインまたは50 $\Omega$ ケーブルに、400mVを直接駆動するように設計されています。図24の簡略回路図に、CML出力段を示します。最高の伝送ライン・マッチングが得られるように、各出力は50 $\Omega$ でバック終端されています。図25に、ADCMP581/ADCMP582の出力を示します。これらの出力は、ADCMP581のNECL出力では-2Vに、ADCMP582のPECL出力では $V_{CC0}-2V$ に、それぞれ終端してください。あるいは、Thevenin等価の終端ネットワークを使用することもできます。これらの高速信号を1cm以上ルーティングする必要がある場合は、マイクロストリップまたはストリップラインの技術が必要となります。これにより、適切な遷移時間を確保し、過度の出力リンギングやパルス幅に依存する伝搬遅延分散を防止します。

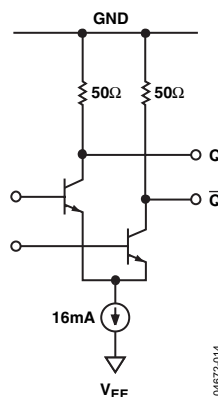


図24. CML出力段の簡略回路図 (ADCMP580)

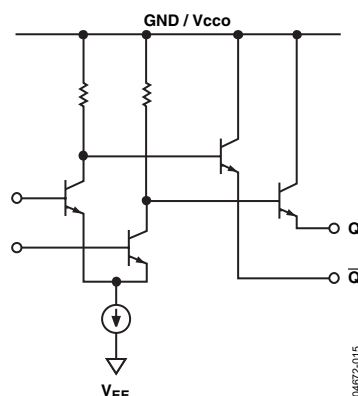


図25. ECL/PECL出力段の簡略回路図 (ADCMP581/ADCMP582)

### ラッチ機能の使用とディスエーブル

ラッチ入力 (LE/ $\overline{LE}$ ) は、ラッチ・モードではアクティブ・ローであり、50 $\Omega$ 抵抗により $V_{TT}$ ピンに内部的に終端されます。ADCMP580を使用する場合は、 $V_{TT}$ をグラウンドに接続します。ADCMP581を使用する場合は $V_{TT}$ を-2Vに接続し、ADCMP582を使用する場合は $V_{TT}$ を (できれば専用の低インダクタンス・プレーンを使用して)  $V_{CC0}-2V$ に外部的に接続します。

ADCMP580/ADCMP582を使用し、ラッチ機能をディスエーブルにするには、外付けプルダウン抵抗により $\overline{LE}$ ピンを $V_{EE}$ に接続し、LEピンは非接続にしておきます。過度の消費電力を防止するには、ADCMP580では1.5k $\Omega$ 、ADCMP582では1k $\Omega$ の抵抗を使用します。ADCMP581コンパレータを使用し、ラッチをディスエーブルにするには、外付けの450 $\Omega$ 抵抗によりLEピンをGNDに接続し、 $\overline{LE}$ ピンは非接続にしておきます。この方法では、内部抵抗を分圧器の半分として使用して、約0.5Vのオフセットを発生させます。 $V_{TT}$ ピンは推奨の方法で接続してください。

# ADCMP580/ADCMP581/ADCMP582

## 高速性能の最適化

他の高速コンパレータと同様、仕様性能を確実に引き出すには、正しい設計とレイアウト技術を採用する必要があります。浮遊容量、インダクタンス、誘導電力、グラウンド・インピーダンス、およびその他のレイアウト上の問題があると、性能が著しく制限されて発振を生じることがあります。入出力伝送ラインに沿って不連続性がある場合も、仕様規定されたパルス幅ディスペーション性能は著しく制限されることがあります。

50Ω環境でのアプリケーションでは、入出力のマッチングは、データ依存型（または確定）ジッタ（DJ）とパルス幅ディスペーション性能に大きな影響を与えます。ADCMP58xファミリーのコンパレータには、 $V_P$ 入力と $V_N$ 入力の両方に50Ωの内部終端抵抗が内蔵されています。各終端のリターン側では、それぞれ $V_{TP}$ ピンと $V_{TN}$ ピンという、別々のピンを使用します。 $V_P/V_N$ 入力的一方または両方で50Ω終端が必要な場合は、希望する終端電位との間で、 $V_{TP}$ ピンと $V_{TN}$ ピンを適宜、接続（または接続解除）できます。終端リターン・パスでの寄生インダクタンスによる入力信号上の不要な逸脱を防止するには、前述のようにセラミック・コンデンサを使用して、終端電位を慎重にバイパスしてください。50Ω終端が望ましくない場合は、 $V_{TP}/V_{TN}$ 終端ピン的一方または両方を非接続にすることができます。この場合のオープン・ピンは、外付けプルダウンやバイパス・コンデンサを使わずに開放しておきます。

高速動作を必要としても、50Ωの終端抵抗を内蔵していないアプリケーションでは、いくらかの反射が予想されます。デバイスにつながる入力パターンに対して、コンパレータ入力が整合インピーダンスを提供できなくなるからです。このため、複数の反射を最小限に抑えるには、入力につながる入力送信パスに対して駆動ソース・インピーダンスをバックマッチさせることが重要になります。コンパレータが駆動信号源から1cm未満のアプリケーションでは、ソース・インピーダンスを最小限に抑えてください。高いソース・インピーダンスに加えて、コンパレータの寄生入力容量がある場合は、入力側の帯域幅に望ましくない低下が生じて、全体的な応答が低下することがあります。したがって、最適な高速性能を実現するには、駆動ソース・インピーダンスを50Ω以下にしてください。

## コンパレータの伝搬遅延ディスペーション

ADCMP58xファミリーのコンパレータは、5~500mVという広い入力オーバードライブ範囲で伝搬遅延ディスペーションを減らすように、特別に設計されています。伝搬遅延ディスペーションとは伝搬遅延の変動であり、オーバードライブやスルーレートの変化（入力信号がスイッチング・スレッショルドを超える程度や速度）に伴って生じます。こうした伝搬遅延ディスペーションを減少させると、より高度なタイミング精度が得られます。

伝搬遅延ディスペーションは、データ通信、自動試験/測定、計測器などのタイミングが重視されるアプリケーションや、パルス分光法、原子力計測、医療用画像処理などのイベント駆動型アプリケーションにおいて重要になる仕様です。ディスペーションとは、入力オーバードライブ条件が変化するときの、全体的な伝搬遅延の変動をいいます（図26と図27を参照）。ADCMP58xファミリーのコンパレータでは、オーバードライブが5mVから500mVまで変化し、入力スルーレートが1V/nsから10V/nsまで変化する条件下で、ディスペーションは15ps未満（typ値）です。ADCMP58xファミリーのコンパレータでは正方向と負方向の入力の遅延時間がほぼ等しいため、この仕様は正と負の両方の信号に適用できます。

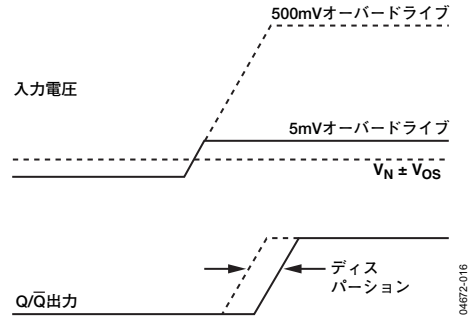


図26. 伝搬遅延一オーバードライブ・ディスペーション

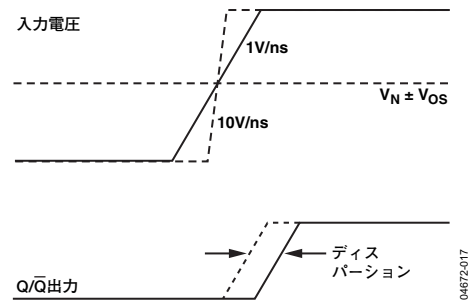


図27. 伝搬遅延一スルーレート・ディスペーション

## コンパレータのヒステリシス

ノイズの多い環境や、差動入力が非常に小さいか動きが遅い場合、コンパレータにヒステリシスを追加すると良い結果が得られることがあります。図28に、ヒステリシスを持つコンパレータの伝達関数を示します。入力電圧が負の方向からスレッシュホールドに近づく場合は、入力が $+V_H/2$ に達すると、コンパレータはローレベルからハイレベルに切り替わります。新しいスイッチング・スレッシュホールドは、 $-V_H/2$ になります。入力電圧が正の方向から $-V_H/2$ のスレッシュホールドに達するまで、コンパレータはハイレベル状態に留まります。このように、入力電圧が $\pm V_H/2$ の境界領域を超えない限り、 $0V$ の入力を中心とするノイズによってコンパレータが状態を切り替えることはありません。

通常の方法でコンパレータにヒステリシスを発生させるには、出力から入力への正の帰還を使用します。この方法の問題点は、ヒステリシス量が出力ロジック・レベルに応じて変動するため、ヒステリシスがスレッシュホールドに対して対称でなくなることです。また、外付け帰還回路によって著しい寄生容量が発生し、高速性能が低下するだけでなく、場合によっては、全体的な安定性に悪影響を及ぼすこともあります。

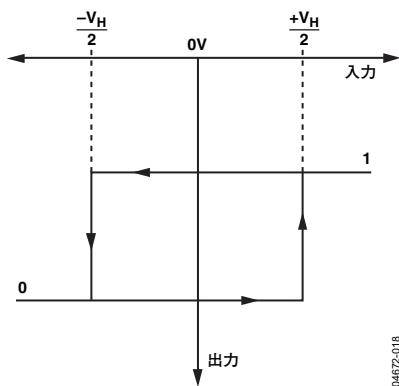


図28. コンパレータのヒステリシス伝達関数

ADCMP58xファミリーのコンパレータにはヒステリシスをプログラミングできる機能が備わっており、希望するヒステリシスの精度と安定性を大幅に改善できます。HYSピンから $V_{EE}$ までを外付けプルダウン抵抗で接続することにより、ヒステリシス量を調整できます。HYSピンを非接続にしておくとこの機能がディスエーブルになり、仕様規定によりヒステリシスは $1mV$ 未満となります。この方法で加えられるヒステリシスの最大範囲は、約 $\pm 25mV$ です。

図29に、加えられるヒステリシスの量と外付け抵抗値の関係を示します。この方法でヒステリシスを加えることの利点は、精度と安定性の向上、および部品数の削減です。外付けのバイパス・コンデンサは、デバイスのジッタ性能を低下させることができますが、HYSピンには不要です。

ヒステリシス・ピンは、電流源によって駆動されることもあります。これは、 $V_{EE}$ よりも約 $400mV$ 上にバイアスされ、約 $600\Omega$ の内部直列抵抗を持ちます。

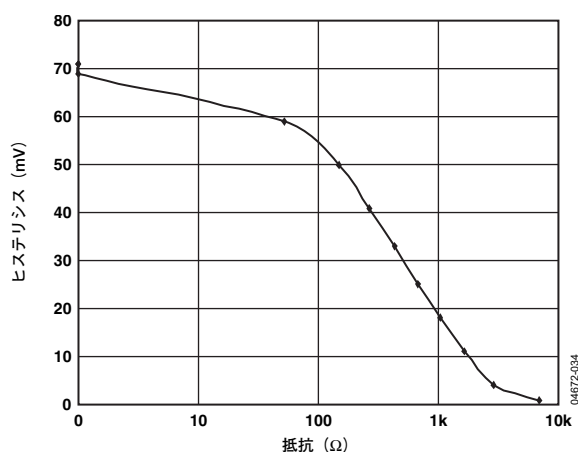


図29. コンパレータの $R_{HYS}$ 制御抵抗 対 ヒステリシス

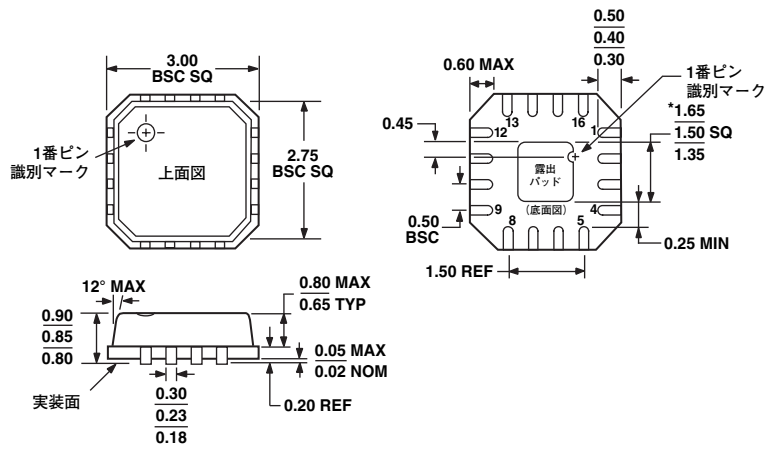
## 最小入力スルーレート条件

多くの高速コンパレータと同様、入力信号がスレッシュホールドを交差するときにデバイスが発振を起こさないようにするには、最小スルーレート条件を満たす必要があります。この発振は、コンパレータの高い入力帯域幅とパッケージの帰還寄生成分が一因となって発生します。ADCMP58xファミリーのコンパレータでクリーンな出力遷移を保証するには、最小スルーレートを $50V/\mu s$ にしてください。

他の理由により、スルーレートが遅すぎることもあります。これらのデバイスの帯域幅はきわめて高いため、入力スルーレートが低い場合は、ブロードバンド・ノイズが重要な要因となることがあります。室温では2つの $50\Omega$ 終端によってコンパレータの帯域幅の全域で $120\mu V$ の熱ノイズが生成されます。わずか $50V/\mu s$ のスルーレートにより、入力は $2ps$ 以上にわたってこのノイズ帯域に収まるため、 $200fs$ というコンパレータのジッタ性能は無関係になります。入力信号のスルーレートを上げたり、その抵抗が入力において認識される帯域幅を減らしたりすると、ジッタを大幅に減らすことができます。このデバイスはこのように特性化されていませんが、低スルーレート・アプリケーションでは、リファレンス入力をパッケージの近くにバイパスするだけで、ジッタを30%低減することができます。

# ADCMP580/ADCMP581/ADCMP582

## 外形寸法



\*露出パッド寸法を除き、JEDEC規格MO-220-VEED-2に準拠

図30. 16ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]  
(CP-16-3)  
寸法単位：mm

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング
ADCMP580BCP-WP	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GO7
ADCMP580BCP-R2	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GO7
ADCMP580BCP-RL7	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GO7
ADCMP581BCP-WP	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GO9
ADCMP581BCP-R2	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GO9
ADCMP581BCP-RL7	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GO9
ADCMP582BCP-WP	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GOB
ADCMP582BCP-R2	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GOB
ADCMP582BCP-RL7	-40 ~ +125°C	16ピンLFCSP-VQ	CP-16-3	GOB
EVAL-ADCMP580BCP		評価用ボード		
EVAL-ADCMP581BCP		評価用ボード		
EVAL-ADCMP582BCP		評価用ボード		

D04672-0-7/05(0)-J