

特長

10ビットADCを2個内蔵
単電源動作: 3V
S/N比: 57.6dBc (ナイキスト周波数まで、AD9216-105)
SFDR: 74dBc (ナイキスト周波数まで、AD9216-105)
低消費電力: 150mW/ch@105MSPS
300MHzの3dB帯域幅を備える差動入力
非常に優れたクロストーク耐性: < -80dB
データ・フォーマット: オフセット・バイナリまたは2の補数
クロック・デューティ・サイクル・スタビライザ内蔵

アプリケーション

超音波装置
通信用レーザのIFサンプリング: 3G、ポイントtoポイント無線、
LMDS、MMDS
バッテリー駆動計測器
携帯型スコープメータ
低価格のデジタル・オシロスコープ

概要

AD9216は10ビット、65/80/105MSPSの3VデュアルA/Dコンバータ(ADC)です。それぞれのADCには高性能のサンプル&ホールド・アンプ(SHA)と電圧リファレンスが内蔵されています。出力エラー・コレクション・ロジックを備えたマルチステージの差動パイプライン・アーキテクチャを採用することで、10ビット精度を実現し、最大105MSPSのデータレートの全動作温度範囲でノー・ミスコードを保証します。広帯域幅の差動SHAが内蔵されているので、シングルエンドのアプリケーションを含め、さまざまな入力範囲と入力オフセットを選択できます。連続チャンネルでフルスケールの電圧レベルを切り替えるマルチプレクサ・システムや、ナイキスト・レートをはるかに超える周波数の入力サンプリングが必要な各種アプリケーションに適しています。

AD9216は、2つのシングルエンド・クロック入力を使用して、すべての内部変換サイクルを制御します。内蔵のデューティ・サイクル・スタビライザでクロックのデューティ・サイクルの幅広い変動を補償するため、優れたコンバータ性能が得られます。デジタル出力データは、オフセット・バイナリまたは2の補数のフォーマットで得られます。

機能ブロック図

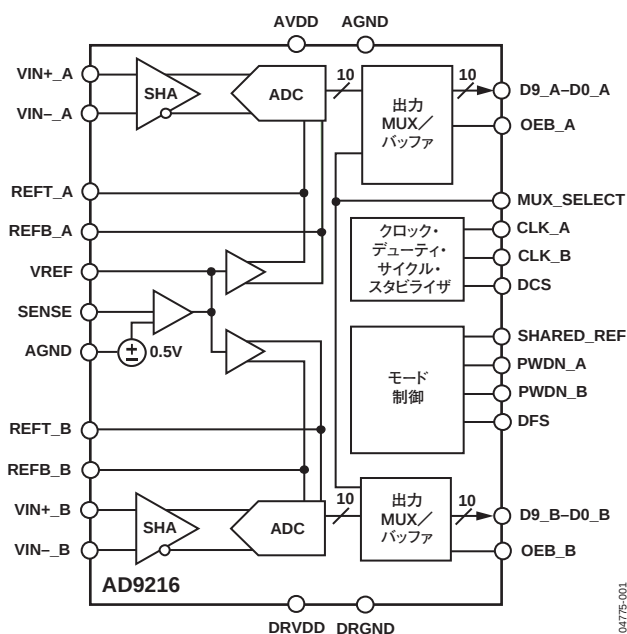


図1

最新のCMOSプロセスで製造されるAD9216は省スペースの64ピンLFCSPパッケージ(9mm×9mm)で提供され、工業用温度範囲(-40~+85℃)で仕様規定されています。

製品のハイライト

- 「AD9238」(デュアル12ビット20/40/65MSPSのADC)、および「AD9248」(デュアル14ビット20/40/65MSPSのADC)とピン・コンパチブル。
- 105MSPSのデータレートで要求レベルの厳しい高周波数アプリケーションに対応可能。
- 低消費電力: 300mW@105MSPS (AD9216-105)
- 特許取得技術のSHA入力は、最大200MHzまでの入力周波数に対して優れた性能を維持し、シングルエンドまたは差動動作の構成が可能。
- チャンネル間クロストーク: < -80dB (typ) @ < 70MHz
- クロック・デューティ・サイクル・スタビライザは、クロックの幅広いデューティ・サイクル範囲で高性能を維持。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
©2005 Analog Devices, Inc. All rights reserved.

目次

DC仕様	3	出力コーディング	23
AC仕様	4	タイミング	23
ロジック仕様	5	データ・フォーマット	23
スイッチング仕様	6	電圧リファレンス	24
タイミング図	7	デュアルADCの評価用ボード（LFCSP用）	26
絶対最大定格	8	電源コネクタ	26
検査レベルの説明	8	アナログ入力	26
ESDに関する注意	8	オプションのオペアンプ	26
ピン配置と機能の説明	9	クロック	26
用語の説明	11	電圧リファレンス	26
代表的な性能特性	13	データ出力	26
等価回路	19	LFCSP評価用ボードの部品表（BOM）	27
動作理論	20	LFCSP評価用ボードの回路図	28
アナログ入力	20	LFCSP評価用ボードの各層	31
クロック入力と考慮事項	22	熱に関する考慮事項	37
消費電力とスタンバイ・モード	22	外形寸法	38
デジタル出力	22	オーダー・ガイド	38

改訂履歴

6/05-Rev. 0 to Rev. A

Added 65 and 80 Speed Grades	Universal
Changes to Table 1	3
Changes to Table 2	4
Changes to Table 3	6
Changes to Table 4	7
Changes to Table 7	10
Added Figure 8	14
Added Figure 11, Figure 13, and Figure 14	15
Changes to Figure 36	19
Changes to Table 12	28
Changes to Figure 51	29
Changes to Figure 52	30
Changes to Figure 53	31
Changes to Figure 54	32
Changes to Figure 55	33
Changes to Figure 56	34
Changes to Figure 57	35
Changes to Figure 58	36
Changes to Figure 59	37
Changes to Ordering Guide	39

10/04-Revision 0: Initial Version

DC仕様

特に指定のない限り、AVDD=3.0V、DRVDD=2.5V、最大サンプリング・レート、CLK_A=CLK_B、A_{IN}=−0.5dBFSの差動入力、1.0Vの内部リファレンス、T_{MIN}~T_{MAX}、DCSイネーブルで仕様規定。

表1

パラメータ	温度	検査レベル	AD9216BCPZ-65			AD9216BCPZ-80			AD9216BCPZ-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	全範囲	VI	10			10			10			ビット
精度												
ノーマスコード	全範囲	VI	保証			保証			保証			
オフセット誤差	全範囲	VI	−1.9	±0.3	+1.9	−1.9	±0.3	+1.9	−2.2	±0.3	+2.2	% FSR
ゲイン誤差 ¹	25℃	VI	−1.6	±0.4	+1.6	−1.6	±0.4	+1.6	−1.6	±0.4	+1.6	% FSR
微分非直線性(DNL) ²	全範囲	IV	−1.0	±0.3	+1.0	−1.0	±0.4	+1.0	−1.0	±0.5	+1.0	LSB
	25℃	I	−0.9	±0.3	+0.9	−0.9	±0.4	+0.9	−1.0	±0.5	+1.0	LSB
積分非直線性(INL) ²	全範囲	IV	−1.4	±0.5	+1.4	−1.6	±0.5	+1.6	−2.5	±1.0	+2.5	LSB
	25℃	I	−1.0	±0.5	+1.0	−1.1	±0.5	+1.1	−1.5	±1.0	+1.5	LSB
温度ドリフト												
オフセット誤差	全範囲	V	±10			±10			±10			μV/℃
ゲイン誤差 ¹	全範囲	V	±75			±75			±75			ppm/℃
リファレンス電圧	全範囲	V	±15			±15			±15			ppm/℃
内部電圧リファレンス												
出力電圧誤差	全範囲	VI	±2 ±35			±2 ±35			±2 ±35			mV
負荷レギュレーション@1.0mA	25℃	V	1.0			1.0			1.0			mV
入力換算ノイズ												
入力スパン=2.0V	25℃	V	0.5			0.5			0.5			LSB _{rms}
アナログ入力												
入力スパン、VREF=1.0V	全範囲	IV	2			2			2			Vp-p
入力容量 ³	25℃	V	2			2			2			pF
リファレンス入力抵抗値	25℃	V	7			7			7			kΩ
電源												
電源電圧												
AVDD	全範囲	IV	2.7	3.0	3.3	2.7	3.0	3.3	2.7	3.0	3.3	V
DRVDD	全範囲	IV	2.25	2.5	3.3	2.25	2.5	3.3	2.25	2.5	3.3	V
電源電流												
IAVDD ⁴	全範囲	VI	72 80			78 85			100 110			mA
IDRVDD ⁴	全範囲	VI	15			18			24			mA
PSRR	25℃	V	±0.1			±0.1			±0.1			% FSR
消費電力												
PAVDD ⁴	25℃	I	216 240			234 255			300 330			mW
PDRVDD ⁴	25℃	V	38			45			60			mW
スタンバイ時の消費電力 ⁵	25℃	V	3.0			3.0			3.0			mW
マッチング特性												
オフセット・マッチング誤差 ⁶	25℃	I	−2.6	±0.2	+2.6	−2.6	±0.2	+2.6	−3.5	±0.3	+3.5	% FSR
ゲイン・マッチング誤差 (共有リファレンス・モード)	25℃	I	−0.4	±0.1	+0.4	−0.4	±0.1	+0.4	−0.6	±0.1	+0.6	% FSR
ゲイン・マッチング誤差 (非共有リファレンス・モード)	25℃	I	−1.6	±0.1	+1.6	−1.6	±0.1	+1.6	−1.6	±0.3	+1.6	% FSR

¹ ゲイン誤差とゲイン温度係数は、ADC単体で測定(1.0V固定の外部リファレンスを使用)。

² 最大のクロック・レートを使用し、低周波のラング波形を用いて測定。

³ 入力容量とは、1本の差動入力ピンとAVSS間の実効容量のことです。アナログ入力の等価回路については、図37を参照。

⁴ 約5pFの容量性負荷を各出力ビットにかけた状態で最大のクロック・レートを使用し、低周波数のアナログ入力を用いて測定。

⁵ スタンバイ時の消費電力は、CLK_AとCLK_Bの各ピンを非アクティブに設定(すなわち、AVDDまたはAGNDに設定)して測定。

⁶ 共有リファレンス・モード時または非共有リファレンス・モード時。

AD9216

AC仕様

特に指定のない限り、AVDD=3.0V、DRVDD=2.5V、最大サンプリング・レート、CLK_A=CLK_B、A_{IN}=-0.5dBFSの差動入力、1.0Vの内部リファレンス、T_{MIN}~T_{MAX}、DCSイネーブルで仕様規定。

表2

パラメータ	温度	検査レベル	AD9216BCPZ-65			AD9216BCPZ-80			AD9216BCPZ-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
S/N比 (SNR)												
f _{INPUT} =2.4MHz	25℃	V		58.6			58.5			58.0		dB
f _{INPUT} =ナイキスト ¹	全範囲	IV	56.6	58.4		55.9	58.1		54.8	57.6		dB
	25℃	I	57.2	58.4		56.4	58.5		56.4	57.6		dB
f _{INPUT} =69MHz	25℃	V		58.0			58.0			57.4		dB
f _{INPUT} =100MHz	25℃	V		57.5			57.5			57.3		dB
信号／ノイズ&歪み比 (SINAD)												
f _{INPUT} =2.4MHz	25℃	V		58.5			58.2			57.8		dB
f _{INPUT} =ナイキスト ¹	全範囲	IV	56.4	58.3		55.4	58.0		53.4	57.4		dB
	25℃	I	57.0	58.3		56.2	58.0		56.1	57.4		dB
f _{INPUT} =69MHz	25℃	V		57.5			57.5			56.8		dB
f _{INPUT} =100MHz	25℃	V		57.0			57.0			56.7		dB
有効ビット数 (ENOB)												
f _{INPUT} =2.4MHz	25℃	V		9.4			9.4			9.3		ビット
f _{INPUT} =ナイキスト ¹	全範囲	IV	9.1	9.4		8.9	9.3		8.6	9.3		ビット
	25℃	I	9.2	9.4		9.0	9.3		9.1	9.3		ビット
f _{INPUT} =69MHz	25℃	V		9.3			9.3			9.2		ビット
f _{INPUT} =100MHz	25℃	V		9.3			9.3			9.2		ビット
最悪高調波 (2次または3次)												
f _{INPUT} =2.4MHz	全範囲	IV		-82.0			-81.0			-76.0		dBc
f _{INPUT} =ナイキスト ¹	全範囲	IV		-79.5	-65.1		-77.0	-64.1		-74.0	-60.0	dBc
	25℃	I		-79.5	-67.8		-77.0	-67.2		-74.0	-66.5	dBc
f _{INPUT} =69MHz	25℃	V		-79.0			-76.5			-74.0		dBc
f _{INPUT} =100MHz	25℃	V		-78.5			-76.0			-74.0		dBc
その他の最悪高調波 (2次または3次を除く)												
f _{INPUT} =2.4MHz	全範囲	IV		-82.5			-81.5			-76.5		dBc
f _{INPUT} =ナイキスト ¹	全範囲	IV		-80.5	-65.8		-78.0	-64.5		-75.0	-62.0	dBc
	25℃	I		-80.5	-68.7		-78.0	-67.8		-75.0	-67.5	dBc
f _{INPUT} =69MHz	25℃	V		-80.0			-77.5			-75.0		dBc
f _{INPUT} =100MHz	25℃	V		-79.5			-77.0			-75.0		dBc
スプリアス・フリー・ダイナミック・レンジ (SFDR)												
f _{INPUT} =2.4MHz	全範囲	IV		82.0			81.0			76.0		dBc
f _{INPUT} =ナイキスト ¹	全範囲	IV	65.1	79.5		64.1	77.0		60.0	74.0		dBc
	25℃	I	67.8	79.5		67.2	77.0		66.5	74.0		dBc
f _{INPUT} =69MHz	25℃	V		79.0			76.5			74.0		dBc
f _{INPUT} =100MHz	25℃	V		78.5			76.0			74.0		dBc
2トーンSFDR (A _{IN} =-7dBFS)												
f _{IN1} =69.1MHz、f _{IN2} =70.1MHz	25℃	V		71.0			70.0			70.0		dBc
f _{IN1} =100.1MHz、f _{IN2} =101.1MHz	25℃	V		70.0			69.0			69.0		dBc
アナログ帯域幅	25℃	V		300			300			300		MHz
クロストーク	25℃	V		-80.0			-80.0			-80.0		dB

¹ ナイキスト=65グレードが約32MHz、80グレードが約40MHz、105グレードが約50MHz。

ロジック仕様

特に指定のない限り、AVDD=3.0V、DRVDD=2.5V、最大サンプリング・レート、CLK_A=CLK_B、A_{IN}=−0.5dBFSの差動入力、1.0Vの内部リファレンス、T_{MIN}~T_{MAX}、DCSイネーブルで仕様規定。

表3

パラメータ	温度	検査 レベル	AD9216BCPZ-65			AD9216BCPZ-80			AD9216BCPZ-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ロジック入力												
ハイレベル入力電圧	全範囲	IV	2.0			2.0			2.0			V
ローレベル入力電圧	全範囲	IV			0.8			0.8			0.8	V
ハイレベル入力電流	全範囲	IV	−10		+10	−10		+10	−10		+10	μ A
ローレベル入力電流	全範囲	IV	−10		+10	−10		+10	−10		+10	μ A
入力容量	全範囲	IV		2			2			2		pF
ロジック出力 ¹												
DRVDD=2.5V												
ハイレベル出力電圧	全範囲	IV	2.45			2.45			2.45			V
ローレベル出力電圧	全範囲	IV			0.05			0.05			0.05	V

¹ 出力電圧レベルは、5pFの負荷を各出力にかけた状態で測定。

AD9216

スイッチング仕様

特に指定のない限り、AVDD=3.0V、DRVDD=2.5V、最大サンプリング・レート、CLK_A=CLK_B、A_{IN}=−0.5dBFSの差動入力、1.0Vの内部リファレンス、T_{MIN}〜T_{MAX}、DCSイネーブルで仕様規定。

表4

パラメータ	温度	検査レベル	AD9216BCPZ-65			AD9216BCPZ-80			AD9216BCPZ-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
スイッチング性能												
最大変換レート	全範囲	VI	65			80			105			MSPS
最小変換レート	全範囲	IV			10			10			10	MSPS
CLKサイクル期間	全範囲	VI	15.4			12.5			9.5			ns
CLKパルス幅 (ハイレベル)	全範囲	VI	4.6			4.4			3.8			ns
CLKパルス幅 (ローレベル)	全範囲	VI	4.6			4.4			3.8			ns
出力パラメータ ¹												
出力伝播遅延 ² (t _{PD})	25℃	I		4.5	6.4		4.5	6.4		4.5	6.4	ns
有効時間 ³ (t _V)	25℃	I	2.0			2.0			2.0			ns
出力立上がり時間 (10〜90%)	25℃	V		1.0			1.0			1.0		ns
出力立下がり時間 (10〜90%)	25℃	V		1.0			1.0			1.0		ns
出力イネーブル時間 ⁴	全範囲	IV			1			1			1	サイクル
出力デイスエーブル時間 ⁴	全範囲	IV			1			1			1	サイクル
パイプライン遅延 (レイテンシ)	全範囲	IV			6			6			6	サイクル
アパーチャ												
アパーチャ遅延 (t _A)	25℃	V		1.5			1.5			1.5		ns
アパーチャ不確実性 (t _J)	25℃	V		0.5			0.5			0.5		ps _{rms}
ウェークアップ時間 ⁵	25℃	V		7			7			7		ms
アウトオブレンジ復帰時間	25℃	V		1			1			1		サイクル

¹ すべての出力スイッチング・パラメータのC_{LOAD}は最大値5pF。

² 出力遅延は、クロックの50%遷移からデータの50%遷移までのタイミングで測定。

³ 有効時間は出力伝播遅延の最小値におよそ等しい時間。

⁴ 出力イネーブル時間は、OEB_AとOEB_Bのエッジが立下がった後で、各チャンネル出力がハイ・インピーダンス状態を終了するまでの時間。出力デイスエーブル時間は、OEB_AとOEB_Bのエッジが立ち上った後で、各チャンネル出力がハイ・インピーダンス状態に入るまでの時間。

⁵ ウェークアップ時間は、デカップリング用コンデンサの容量に応じて異なります。数値は0.1μFと10μFのコンデンサをそれぞれREF_TとREF_Bの各ピンに外付けした場合の代表値。

タイミング図

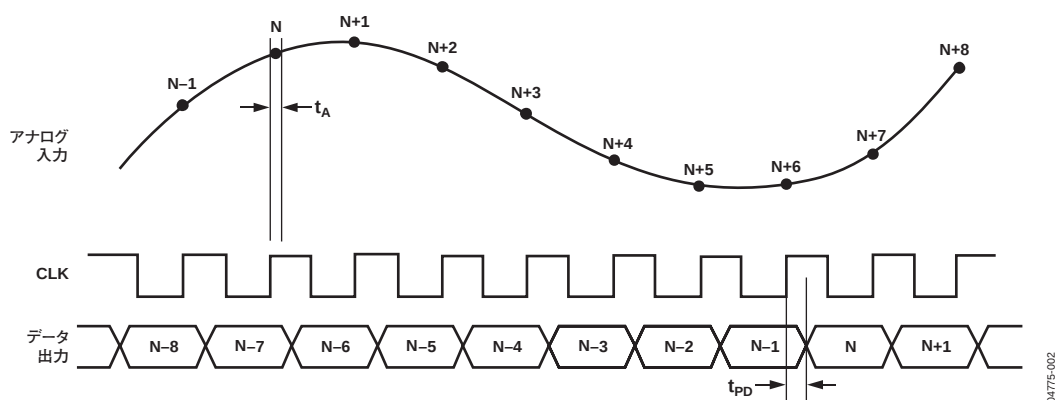


図2

絶対最大定格

表5

パラメータ		定格値
電氣的定格		
AVDD	AGND	−0.3～+3.9V
DRVDD	DRGND	−0.3～+3.9V
AGND	DRGND	−0.3～+0.3V
AVDD	DRVDD	−0.3～+3.9V
デジタル出力	DRGND	−0.3～DRVDD +0.3V
CLK_A、CLK_B、DCS、DFS、 MUX_SELECT、OEB_A、OEB_B、 SHARED_REF、PDWN_A、PDWN_B	AGND	−0.3～AVDD +0.3V
VIN-_A、VIN+_A、VIN-_B、VIN+_B	AGND	−0.3～AVDD +0.3V
REFT_A、REFB_A、VREF、REFT_B、 REFB_B、SENSE	AGND	−0.3～AVDD +0.3V
環境定格 ¹		
動作温度範囲		−40～+85℃
ジャンクション温度		150℃
リード・ピン温度 (10秒)		300℃
保存温度範囲		−65～+150℃

¹ 熱抵抗 (64ピンLFCSP) の代表値は、 $\theta_{JA}=26.4^{\circ}\text{C}/\text{W}$ です。これらの測定は EIA/JESD51-7規格に準拠し、静止空気の条件下で4層ボード(サーマル・ピア・アレイを使用)を使用して実施しました。

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

検査レベルの説明

表6

検査レベル	説明
I	出荷前に全数検査を実施
II	出荷前に25℃で全数検査、特定温度で抜取り検査を実施
III	抜取り検査のみを実施
IV	設計および特性評価テストでパラメータを保証
V	パラメータは代表値のみ
VI	出荷前に25℃で全数検査を実施。工業用温度範囲においては設計および特性評価テストにより保証。軍用製品については、出荷前に極限温度で全数検査を実施



ピン配置と機能の説明

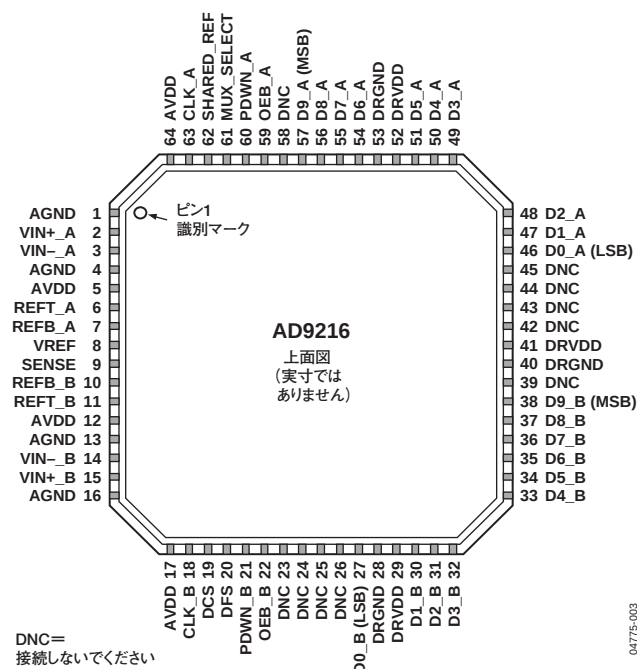


図3. ピン配置

表7. ピン機能の説明

ピン番号	記号	説明
1、4、13、16	AGND ¹	アナログ・グラウンド
2	VIN+_A	チャンネルAのアナログ入力ピン(+)
3	VIN-_A	チャンネルAのアナログ入力ピン(-)
5、12、17、64	AVDD	アナログ電源
6	REFT_A	チャンネルAの差動リファレンス(+)
7	REFB_A	チャンネルAの差動リファレンス(-)
8	VREF	電圧リファレンス入出力
9	SENSE	リファレンス・モード選択
10	REFB_B	チャンネルBの差動リファレンス(-)
11	REFT_B	チャンネルBの差動リファレンス(+)
14	VIN-_B	チャンネルBのアナログ入力ピン(-)
15	VIN+_B	チャンネルBのアナログ入力ピン(+)
18	CLK_B	チャンネルBのクロック入力ピン
19	DCS	デューティ・サイクル・スタビライザ(DCS)モード・ピン(アクティブ・ハイ)
20	DFS	データ出力フォーマット選択ピン。ローレベルでオフセット・バイナリ、ハイレベルで2の補数
21	PDWN_B	チャンネルBのパワーダウン機能選択ピン ロジック0でチャンネルBがイネーブル ロジック1でチャンネルBがパワーダウン(出力は静的でハイ・インピーダンスではありません)
22	OEB_B	チャンネルBの出力イネーブル ロジック0でデータ・バスBがイネーブル ロジック1で出力がハイ・インピーダンス
23～26、39、 42～45、58	DNC	無接続ピン。フローティング状態にしておいてください。
27、30～38	D0_B (LSB)～ D9_B (MSB)	チャンネルBのデータ出力ビット
28、40、53	DRGND	デジタル出力グラウンド
29、41、52	DRVDD	デジタル出力駆動電源。0.1 μ F以上のコンデンサをDRGND間に接続して、デカップリングを行うことが必要です。0.1 μ Fと10 μ Fのコンデンサを並列に接続してデカップリングすることを推奨します。

AD9216

ピン番号	記号	説明
46～51、 54～57	D0_A (LSB)～ D9_A (MSB)	チャンネルAのデータ出力ビット
59	OEB_A	チャンネルAの出力イネーブル ロジック0でデータ・バスAがイネーブル ロジック1で出力がハイ・インピーダンス
60	PDWN_A	チャンネルAのパワーダウン機能選択ピン ロジック0でチャンネルAがイネーブル ロジック1でチャンネルAがパワーダウン(出力は静的でハイ・インピーダンスではありません)
61	MUX_SELECT	データ・マルチプレクサ・モード(イネーブルの方法については、「データ・フォーマット」を参照)
62	SHARED_REF	共有リファレンス制御ビット。ローレベルで独立リファレンス・モード、ハイレベルで共有リファレンス・モード。
63	CLK_A	チャンネルAのクロック入力ピン

¹ グラウンド・ピン (AGNDとDRGND)はすべて共通のグラウンド・プレーンに接続することを推奨します。

用語の説明

アナログ帯域幅

基本周波数 (FFT 解析により決定) のパワー・スペクトルが 3dB 減衰するアナログ入力周波数。

アパーチャ遅延

ENCODE コマンドの立上がりエッジの 50% 時点からアナログ入力が入サンプリグされる時点までの遅延。

アパーチャ不確定性 (ジッタ)

アパーチャ遅延の各サンプル間における変動。

クロック・パルス幅 / デューティ・サイクル

ハイ・パルス幅は、定格性能を達成するためにクロック・パルスをロジック 1 の状態に保持すべき最小時間です。ロー・パルス幅は、クロック・パルスをローレベルの状態に保持すべき最小時間です。所定のクロック・レート時に、これらの仕様に基づいて許容可能なクロック・デューティ・サイクルが決定されます。

クロストーク

低レベル (−40dBFS) の信号で駆動されているチャンネルに対して、隣接するチャンネルがフルスケール信号で駆動されたときに発生するカップリング。

差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス

各アナログ入力ポートで測定される実インピーダンスおよび複合インピーダンス。抵抗は静的に測定し、容量と差動入力インピーダンスはネットワーク・アナライザを使用して測定します。

差動アナログ入力電圧範囲

フルスケールの応答を発生させるためには、ピーク to ピークの差動電圧をコンバータに印加する必要があります。ピーク差動電圧は、1 本のピン上の電圧を測定し、それと位相が 180° 異なる他のピンの電圧から減算して求められます。ピーク to ピーク差動電圧は、入力の位相を 180° 回転させ、ピーク差動電圧の測定を再度実施する方法によって行います。この後で、両方のピーク測定値の差を計算します。

微分非直線性

任意のコード幅における理想的な 1LSB のステップからの偏差。

有効ビット数 (ENOB)

ENOB は、測定された SINAD (信号 / ノイズ & 歪み) から以下の数式 (フルスケール入力を想定) に基づいて計算します。

$$ENOB = \frac{SINAD_{MEASURED} - 1.76 \text{ dB}}{6.02}$$

フルスケール入力パワー

dBm 単位で表し、以下の数式を利用して計算します。

$$Power_{FULL\ SCALE} = 10 \log \left[\frac{V_{FULL\ SCALE\ rms}^2}{\frac{Z_{INPUT}}{0.001}} \right]$$

ゲイン誤差

ADC のフルスケール入力電圧範囲の理想値と測定値との偏差。

2 次高調波歪み

信号振幅の rms 値と 2 次高調波成分の rms 値との比で、単位は dBc。

3 次高調波歪み

信号振幅の rms 値と 3 次高調波成分の rms 値との比で、単位は dBc。

積分非直線性

最小 2 乗曲線近似によって得られるベスト・ストレート・ラインを使用して測定された基準線からの伝達関数の偏差。単位は LSB。

最小変換レート

最も低いアナログ信号周波数の S/N 比が保証された限界値から 3dB だけ低下したときのエンコード・レート。

最大変換レート

パラメータ・テストを実施する際に適用されるエンコード・レート。

出力伝播遅延

CLK の立上がりエッジの 50% ポイントに到達後、全出力データ・ビットがすべて有効なロジック・レベルの範囲内に入るまでの遅延時間。

AD9216

ノイズ(ADCの任意の範囲)

この値には、熱ノイズと量子化ノイズの両方が含まれます。

$$V_{noise} = \sqrt{Z \times 0.001 \times 10 \left(\frac{FS_{dBm} - SNR_{dBc} - Signal_{dBFS}}{10} \right)}$$

ここで、

Zは入力インピーダンス。

FSは該当する周波数におけるデバイスのフルスケール。

SNRは特定の入力レベルにおけるS/N比。

Signalはフルスケールよりも低いdB値で表される、ADCへの入力信号レベル。

電源電圧変動除去比(PSRR)

この仕様は、電源電圧が最大値から最小値に変動した際にADCのフルスケールが受ける影響を示します。

信号/ノイズ&歪み比(SINAD)

信号振幅(フルスケールよりも1dB低いレベルに設定)のrms値と他のスペクトル成分(高調波を含み、DC成分を除く)すべての合計のrms値との比。

S/N(信号/ノイズ)比(高調波を除く)

信号振幅(フルスケールよりも1dB低いレベルに設定)のrms値と他のスペクトル成分(7次までの高調波およびDC成分を除く)すべての合計のrms値との比。

スプリアスフリー・ダイナミック・レンジ(SFDR)

信号振幅のrms値と最大スプリアス・スペクトル成分のrms値との比。最大スプリアス成分は高調波の場合もあれば、高調波でない場合もあります。この仕様は、dBc(信号レベルの低下に伴い劣化)またはdBFS(コンバータのフルスケールとの比較)の単位で表します。

2トーン相互変調歪み除去

いずれか一方の入力トーンのrms値と最悪の3次相互変調歪み成分のrms値との比。単位はdBc。

2トーンSFDR

いずれか一方の入力トーンのrms値と最大スプリアス成分のrms値との比。最大スプリアス成分はIMD成分である場合もあれば、IMD成分でない場合もあります。この仕様は、dBc(信号レベルの低下に伴い劣化)またはdBFS(コンバータのフルスケールとの比較)の単位で表します。

その他の最悪スプリアス

信号振幅のrms値と最悪スプリアス成分(2次および3次高調波を除く)のrms値との比。単位はdBc。

過渡応答時間

アナログ入力that負のフルスケールよりも10%高いポイントのアクイジションから正のフルスケールよりも10%低いポイントに遷移した後で、ADCの次のアクイジションが可能となるのに要する時間。

アウトオブレンジからの復帰時間

アナログ入力that正のフルスケールよりも10%高いポイントのアクイジションから負のフルスケールよりも10%高いポイントに遷移した後で、または負のフルスケールよりも0%低いポイントから正のフルスケールよりも10%低いポイントに遷移した後で、ADCの次のアクイジションが可能となるのに要する時間。

代表的な性能特性

特に指定のない限り、AVDD=3.0V、DRVDD=2.5V、T=25℃、A_{IN}を差動で駆動、内部リファレンス、DCSオンで仕様規定。

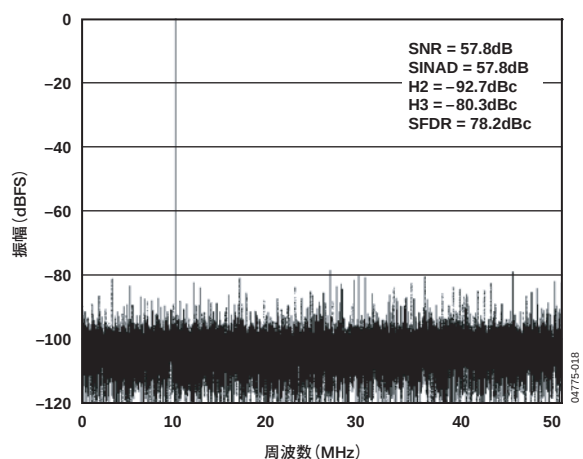


図4. FFT: $f_S = 105\text{MSPS}$, $A_{IN} = 10.3\text{MHz}$ @ -0.5dBFS (105グレード)

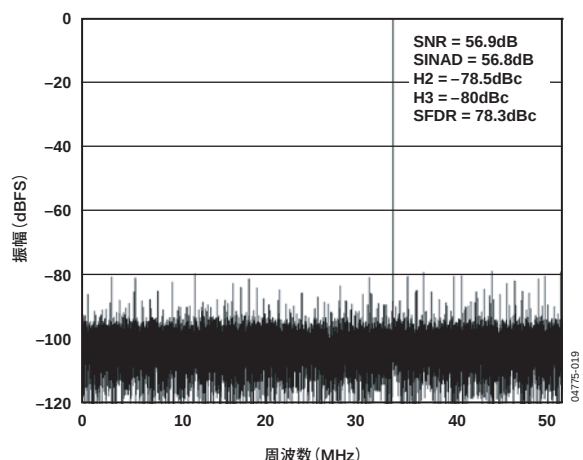


図5. FFT: $f_S = 105\text{MSPS}$, $A_{IN} = 70\text{MHz}$ @ -0.5dBFS (105グレード)

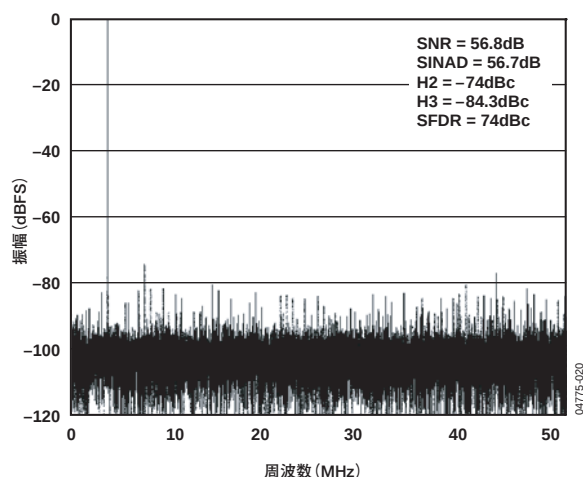


図6. FFT: $f_S = 105\text{MSPS}$, $A_{IN} = 100\text{MHz}$ @ -0.5dBFS (105グレード)

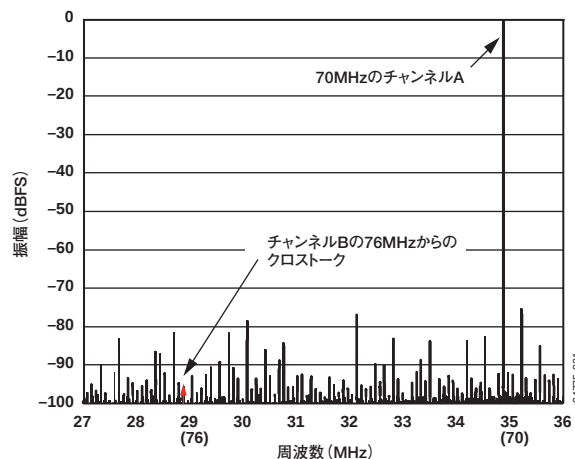


図7. FFT: $f_S = 105\text{MSPS}$, $A_{IN} = 70\text{MHz}$, $B_{IN} = 76\text{MHz}$ (105グレード)
A、B両ポート駆動時のAポートのFFT @ -0.5dBFS

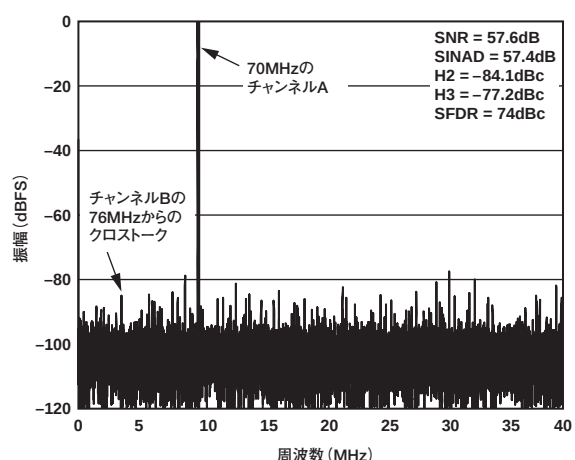


図8. FFT: $f_S = 80\text{MSPS}$, $A_{IN} = 70\text{MHz}$, $B_{IN} = 76\text{MHz}$ (80グレード)
A、B両ポート駆動時のAポートのFFT @ -0.5dBFS

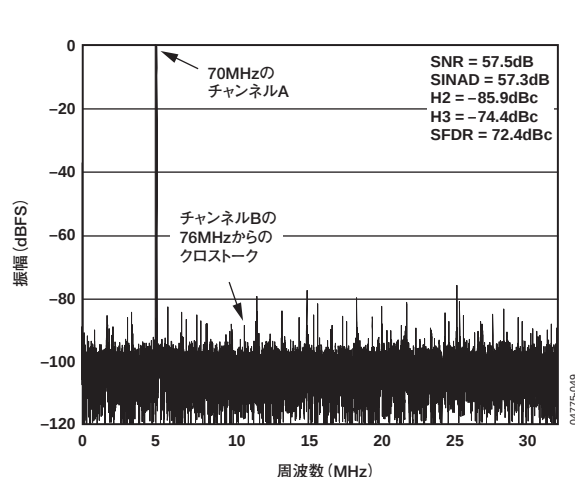


図9. FFT: $f_S = 65\text{MSPS}$, $A_{IN} = 70\text{MHz}$, $B_{IN} = 76\text{MHz}$ (65グレード)
A、B両ポート駆動時のAポートのFFT @ -0.5dBFS

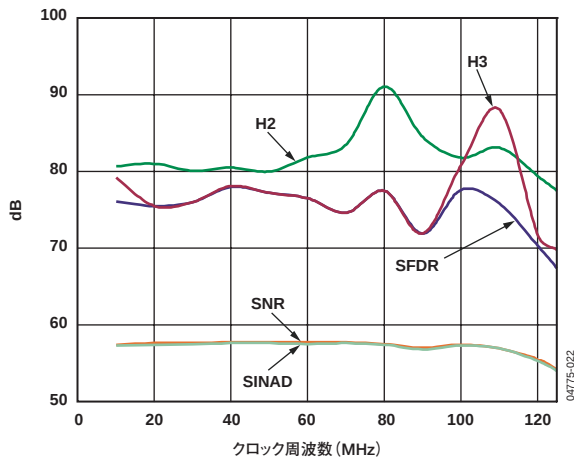


図10. サンプル・クロック周波数 対 SNR、SINAD、H2、H3、SFDR
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS (105グレード)

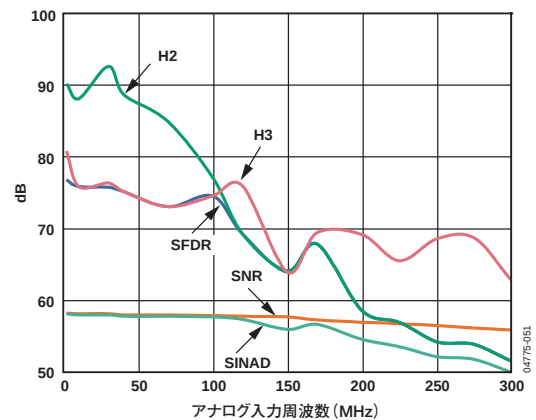


図13. アナログ入力周波数掃引
 $A_{IN} = -0.5\text{dBFS}$, $f_s = 80\text{MSPS}$ (80グレード)

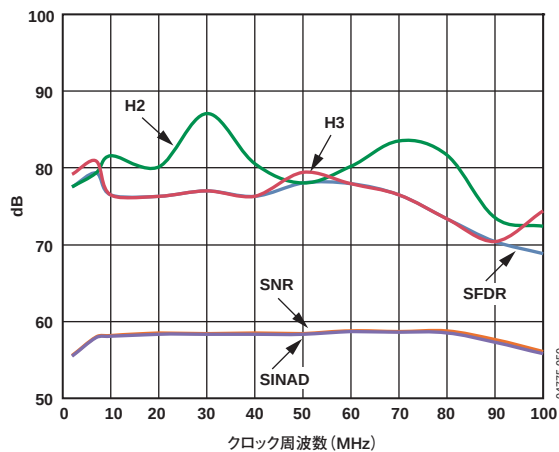


図11. サンプル・クロック周波数 対 SNR、SINAD、H2、H3、SFDR
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS (65/80グレード)

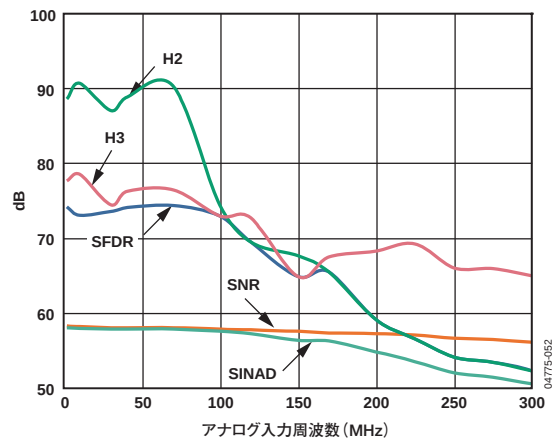


図14. アナログ入力周波数掃引
 $A_{IN} = -0.5\text{dBFS}$, $f_s = 65\text{MSPS}$ (65グレード)

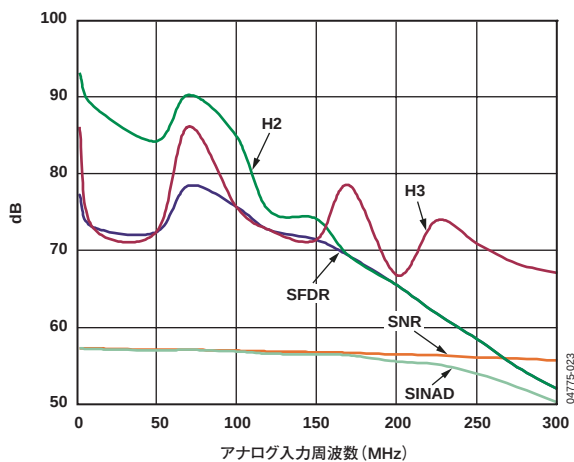


図12. アナログ入力周波数掃引
 $A_{IN} = -0.5\text{dBFS}$, $f_s = 105\text{MSPS}$ (105グレード)

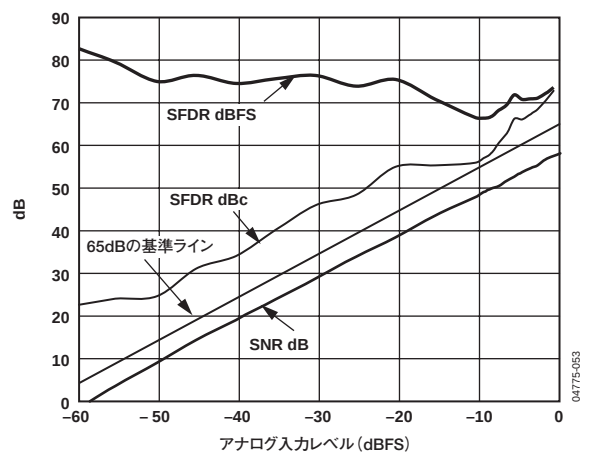


図15. アナログ入力レベル 対 SFDR
 $A_{IN} = 70\text{MHz}$, $f_s = 105\text{MSPS}$ (105グレード)

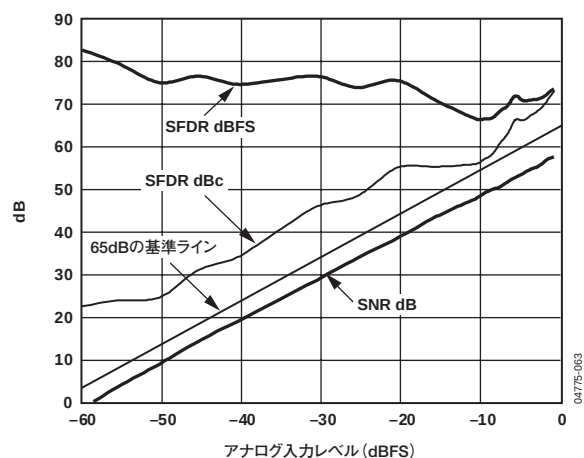


図16. アナログ入力レベル 対 SFDR
 $A_{IN} = 70\text{MHz}$, $f_s = 80\text{MSPS}$ (80グレード)

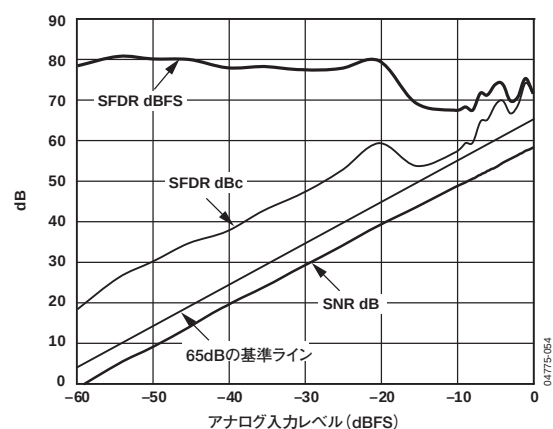


図17. アナログ入力レベル 対 SFDR
 $A_{IN} = 70\text{MHz}$, $f_s = 65\text{MSPS}$ (65グレード)

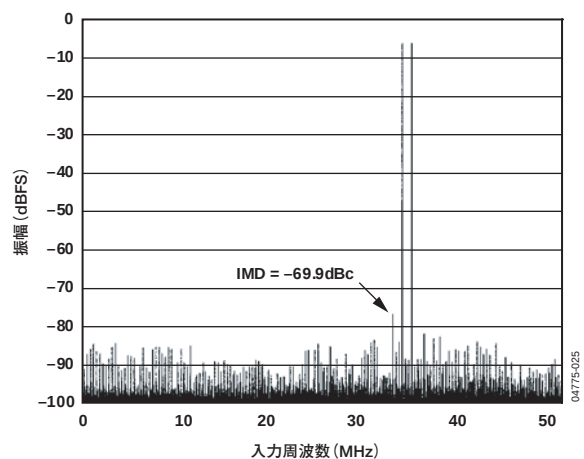


図18. 2トーンIMD性能
 $F_1, F_2 = 69.1\text{MHz}, 70.1\text{MHz}$ @ -7dBFS ,
 105MSPS (105グレード)

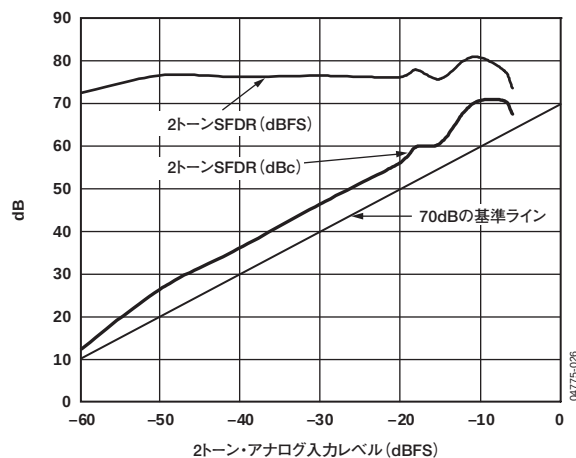


図19. 入力駆動レベル 対 2トーンIMD性能 (69.1MHz および 70.1MHz ,
 $f_s = 105\text{MSPS}$ (105グレード) , F_1 と F_2 のレベルが等価)

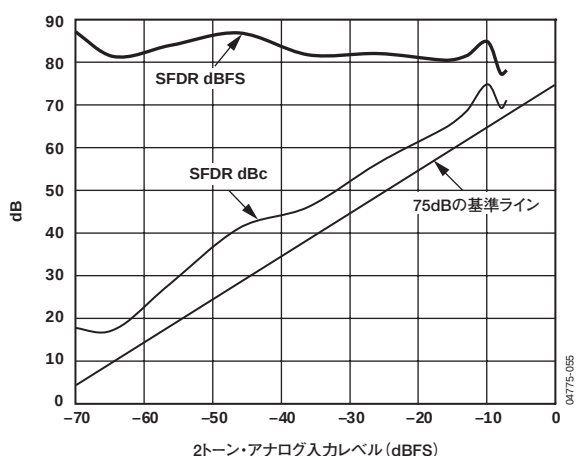


図20. 入力駆動レベル 対 2トーンIMD性能 (69.1MHz および 70.1MHz ,
 $f_s = 80\text{MSPS}$ (80グレード) , F_1 と F_2 のレベルが等価)

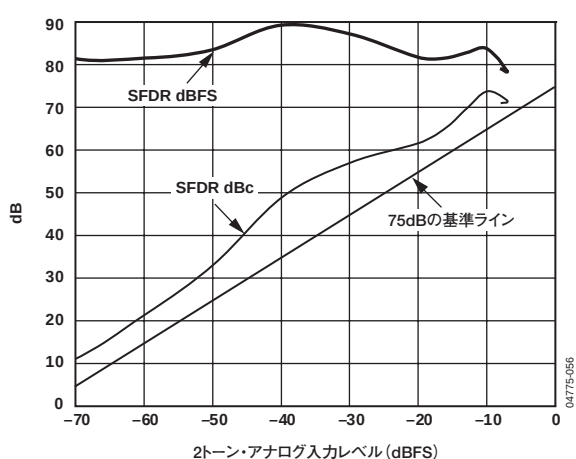


図21. 入力駆動レベル 対 2トーンIMD性能 (69.1MHz および 70.1MHz ,
 $f_s = 65\text{MSPS}$ (65グレード) , F_1 と F_2 のレベルが等価)

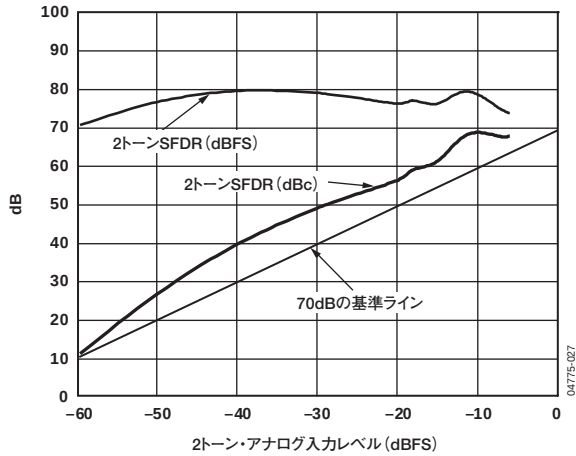


図22. 入力駆動レベル 対 2トーンIMD性能 (100.1MHzおよび101.1MHz、 $f_s = 105\text{MSPS}$ (105グレード)、 F_1 と F_2 のレベルが等価)

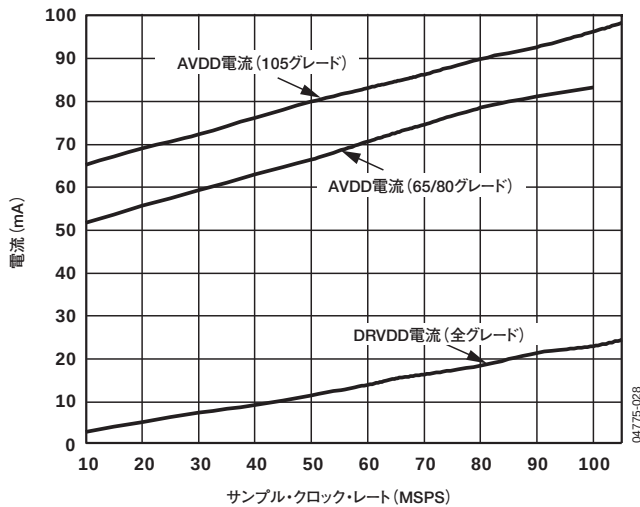


図23. サンプル・クロック周波数 対 I_{AVDD} 、 I_{DRVDD} ($C_{LOAD} = 5\text{pF}$ 、 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS)

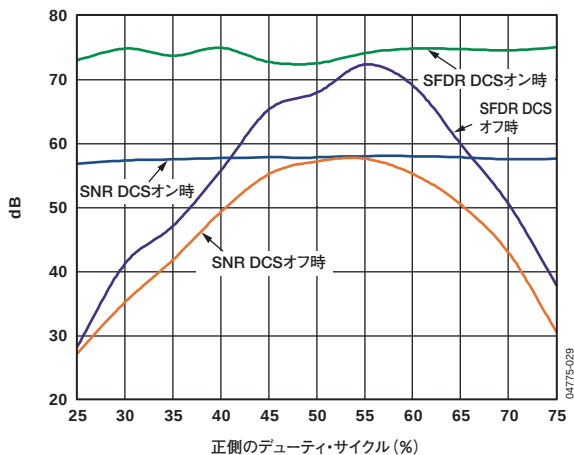


図24. 正側のデューティ・サイクル 対 SNR、SFDR (DCSオン時 / オフ時、 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS 、 105MSPS (105グレード))

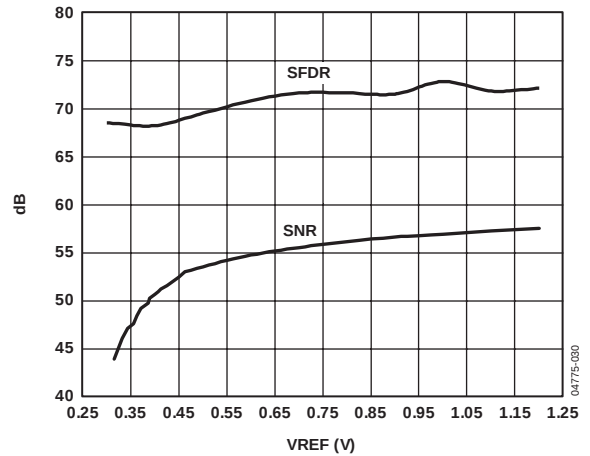


図25. 外部VREF (フルスケール = $2 \times V_{REF}$) 対 SNR、SFDR $A_{IN} = 70.3\text{MHz}$ @ -0.5dBFS 、 105MSPS (105グレード)

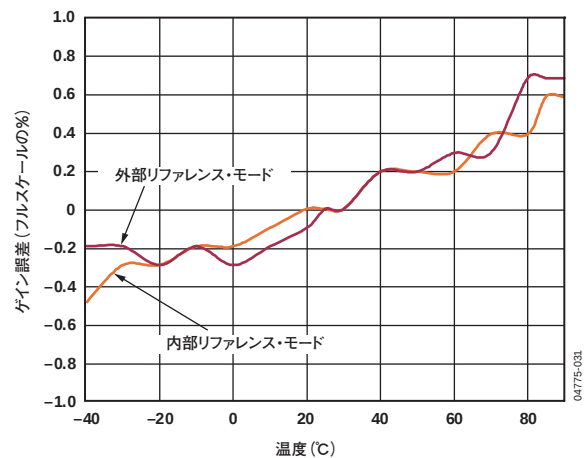


図26. ゲイン誤差の変動の温度特性 (105グレード) $A_{IN} = 70\text{MHz}$ @ -0.5dBFS 、 105MSPS 、25 基準

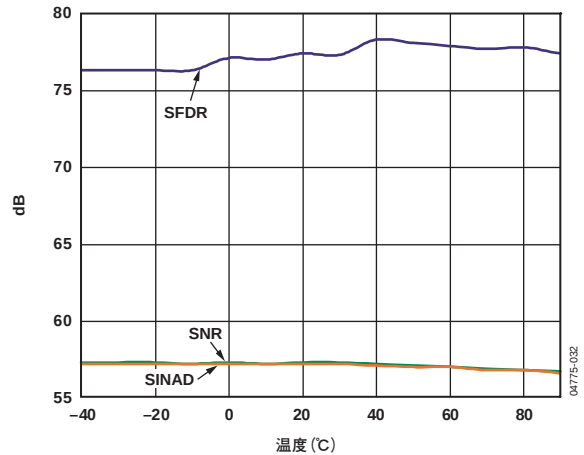


図27. SNR、SINAD、SFDRの温度特性 (105グレード) $A_{IN} = 70\text{MHz}$ @ -0.5dBFS 、 105MSPS 、内部リファレンス・モード

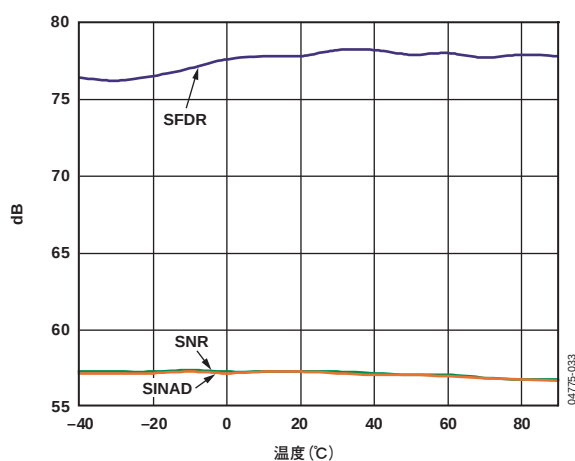


図28. SNR, SINAD, SFDRの温度特性(105グレード)
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS , 105MSPS, 外部リファレンス・モード

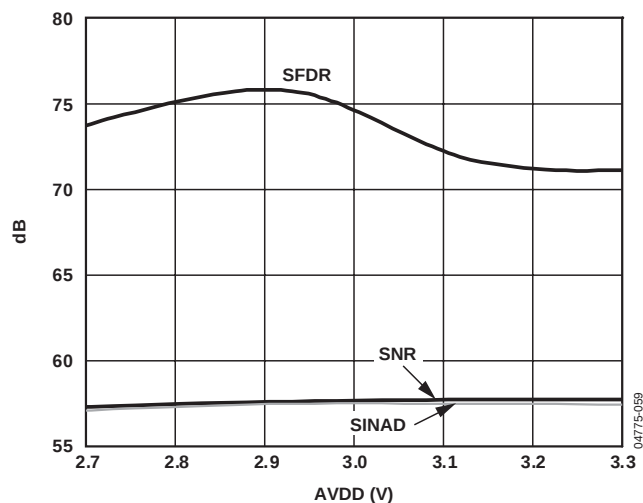


図31. AVDD 対 SNR, SINAD, SFDR
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS , 105MSPS(105グレード)

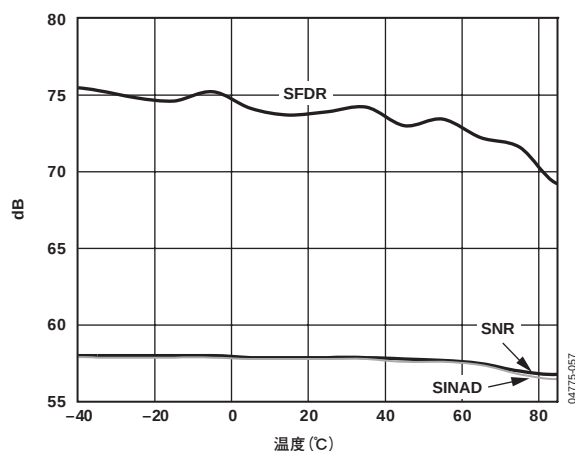


図29. SNR, SINAD, SFDRの温度特性(80グレード)
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS , 80MSPS, 内部リファレンス・モード

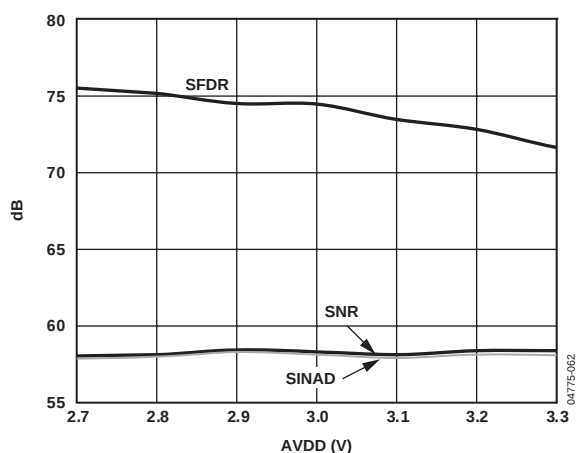


図32. AVDD 対 SNR, SINAD, SFDR
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS , 80MSPS(80グレード)

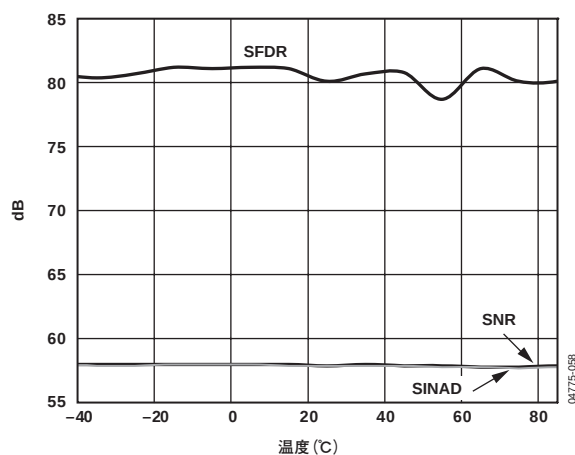


図30. SNR, SINAD, SFDRの温度特性(65グレード)
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS , 65MSPS, 内部リファレンス・モード

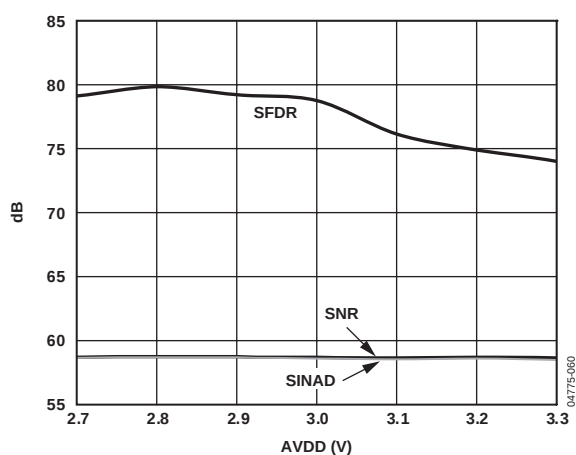


図33. AVDD 対 SNR, SINAD, SFDR
 $A_{IN} = 70\text{MHz}$ @ -0.5dBFS , 65MSPS(65グレード)

AD9216

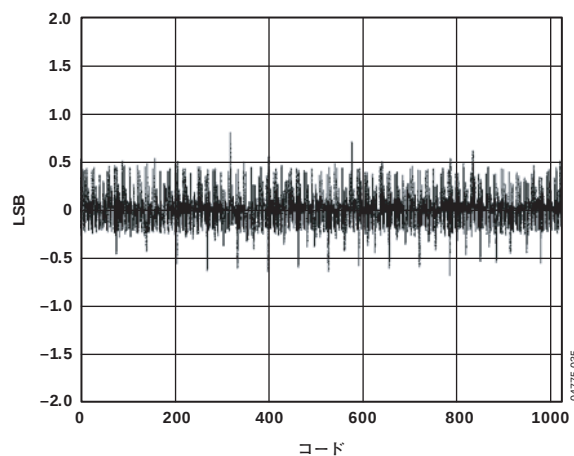


図34. 代表的なDNL
 $A_{IN} = 10.3\text{MHz}$ @ -0.5dBFS 、 105MSPS (105グレード)

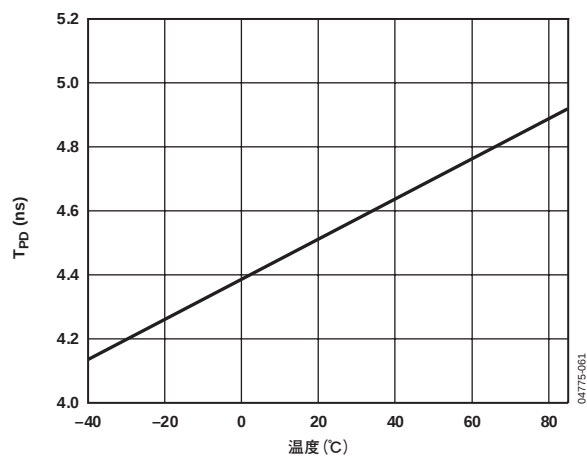


図36. 代表的な伝播遅延の温度特性(全グレード)

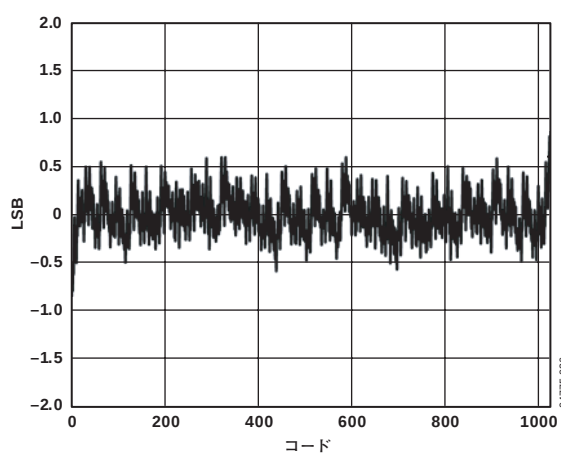


図35. 代表的なINL
 $A_{IN} = 10.3\text{MHz}$ @ -0.5dBFS 、 105MSPS (105グレード)

等価回路

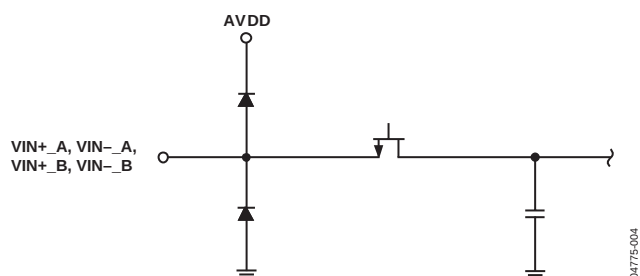


図37. アナログ入力段

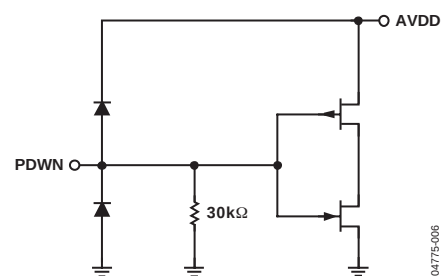


図39. パワーダウン入力部

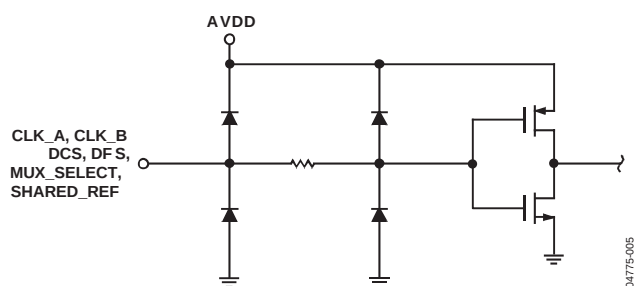


図38. クロック、デジタル入力部

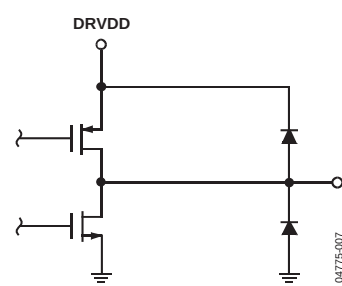


図40. デジタル出力部

動作理論

AD9216は、AD9215コンバータ・コアをベースとする2個の高性能ADCで構成されています。このデュアルADCの信号経路は、共有の内部バンドギャップ・リファレンス電圧源のVREFを除けばすべて独立しており、それぞれ独自設計のフロントエンドSHA（サンプル&ホールド・アンプ）と、後段のパイプライン方式のスイッチド・キャパシタADCで構成されています。パイプライン方式のADCは、SHAと後段の7つの1.5ビット回路段、最終段の3ビット・フラッシュの3つのセクションに分かれています。これらの段はそれぞれオーバーラップしているため、前段で発生するフラッシュ誤差を補正できます。各段からの量子化出力はデジタル・エラー・ロジック・ブロックを経由して結合され、その後で最終的な10ビット変換結果が出力されます。このパイプライン・アーキテクチャの採用により、初段で新しい入力サンプリングが行われている間に、後段では前のデータを処理しています。サンプリングは各チャンネル・クロックの立上がりエッジで実行されます。

最終段を除く各パイプライン段は、低分解能のフラッシュ型ADCと残差信号乗算器で構成されており、次のパイプライン段を駆動します。残差信号乗算器はフラッシュ型ADCの出力を使用し、同じ分解能のスイッチド・キャパシタD/Aコンバータ（DAC）を制御します。このDAC出力はパイプライン段の入力信号から減算され、その残差信号の増幅（乗算）によって、次のパイプライン段が駆動されます。残差信号乗算器段は、乗算型DAC（MDAC）とも呼ばれます。各段ではそれぞれ1ビットの冗長性を使用し、フラッシュ誤差のデジタル・コレクションを行います。最終段は単純に1個のフラッシュ型ADCのみで構成されています。

入力段には、差動またはシングルエンドのモードでACカップリングまたはDCカップリングとして構成可能な差動SHAが内蔵されています。出力段のブロックはデータのアライメントを行い、エラー補正を実行した後で、データを出力バッファに送ります。出力バッファは個別の電源で動作するので、出力電圧振幅の調整が可能です。

アナログ入力

AD9216のアナログ入力は差動スイッチド・キャパシタSHAであり、これは最適な性能を維持すると同時に、差動入力信号を処理するように設計されています。このSHA入力は、幅広い同相電圧範囲の入力を受け入れます。最適な性能を維持するために、電源電圧の中間値を入力同相電圧として使用することを推奨します。

SHA入力は、差動スイッチド・キャパシタ回路となっています。図41では、クロック信号がSHAをサンプル・モードとホールド・モードに交互に切り替えています。SHAがサンプル・モードに切り替えられると、信号源はサンプル・コンデンサを充電し、1/2のクロック・サイクル以内でセリングしなければなりません。値の小さい抵抗を各入力に直列に接続すると、駆動信号源の出力段にSHAで発生するピーク過渡電流が流入するのを低減できます。さらに、容量の小さいシャント・コンデンサを入力間に接続して、動的な充電電流を供給することも可能です。この受動ネットワークはADCの入力にローパス・フィルタを形成するので、これらの部品の正確な数値はアプリケーションに応じて異なります。IFアンダーサンプリング・アプリケーションでは、シャント・コンデンサを用いないでください。シャント・コンデンサを用いると、駆動信号源のインピーダンスとの組合

わせによって、入力帯域幅が制限されてしまいます。ベストな動的性能を得るためには、同相電圧のセリング誤差が対称となるように、VIN+とVIN-を駆動する信号源のインピーダンスをマッチングさせる必要があります。これらの誤差は、ADCの同相ノイズ除去性能によって低減されます。

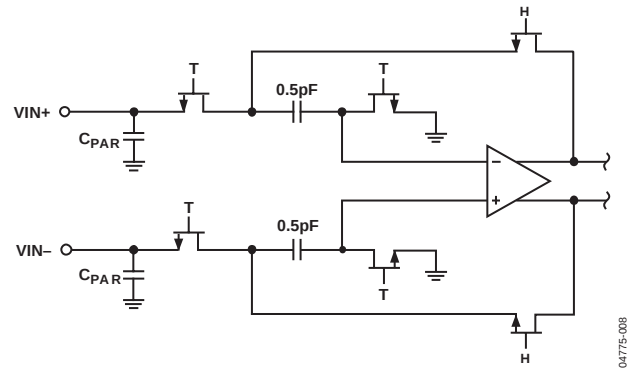


図41. スwitchド・キャパシタ入力

内部の差動リファレンス・バッファは、ADCコアのスパンを規定する正と負のリファレンス電圧であるREFTとREFBを生成します。リファレンス・バッファの出力同相電圧は電源電圧の中間値に設定され、REFTとREFBの各電圧およびスパンは以下のように定義されます。

$$REFT = 1/2 (AVDD + VREF)$$

$$REFB = 1/2 (AVDD - VREF)$$

$$\text{スパン} = 2 \times (REFT - REFB) = 2 \times VREF$$

上記の数式から、REFTおよびREFBの電圧は中間電源電圧を基準にして対称であり、入力スパンは定義によりVREF電圧値の2倍になることがわかります。

SHAは、選択されたリファレンス電圧の許容可能な範囲内に信号ピークを維持する信号源から駆動できます。同相電圧入力レベルの最小値と最大値は、以下のように定義されます。

$$VCM_{MIN} = VREF/2$$

$$VCM_{MAX} = (AVDD + VREF)/2$$

同相電圧入力レベルの最小値により、AD9216はグラウンド基準入力を受け入れることができます。最適な性能は差動入力により達成されますが、シングルエンドの信号源はVIN+またはVIN-まで駆動できます。この構成時には、1つの入力で信号を受け入れ、もう1つの入力は適切な電圧リファレンスに接続して、ミッドスケールに設定する必要があります。たとえば、2Vp-p信号をVIN+に印加し、1VのリファレンスをVIN-に入力することができます。

AD9216は、2Vから0Vまでの範囲で変化する信号を入力できます。このシングルエンド構成の場合には、差動入力構成と比較して歪み性能が大幅に劣化します。ただし、入力周波数を低くすれば、その影響は目立たなくなります。

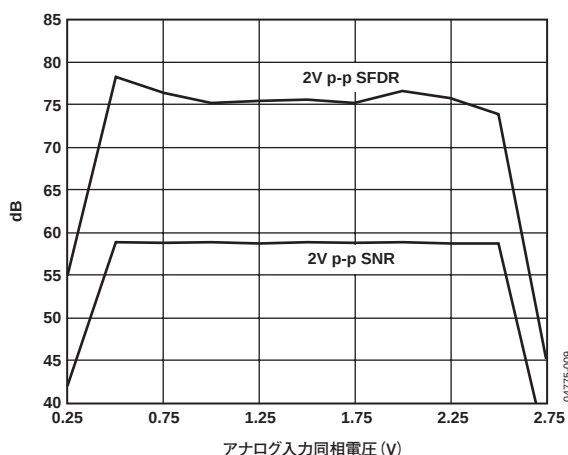


図42. 入力同相電圧感度

差動入力構成

すでに詳述したように、AD9216を差動入力構成で駆動するときに、最適な性能が得られます。ベースバンド・アプリケーションでは、差動ドライバの「AD8138」が優れた性能を発揮し、このADCと柔軟にインターフェースできます。AD8138の出力同相電圧は容易にAVDD/2に設定でき、しかもこのドライバはサレンキー型フィルタに構成できるので、入力信号の帯域幅を制限することが可能です。

入力周波数が第2ナイキスト・ゾーンに該当するか、またはこの帯域を超える場合、ほとんどのアンプはAD9216の真の性能を達成できなくなります。これは特に、70~200MHzの範囲の周波数をサンプリングするIFアンダーサンプリング・アプリケーションの場合に当てはまります。このようなアプリケーションでは、図43に示す差動トランス・カップリングを入力構成として推奨します。

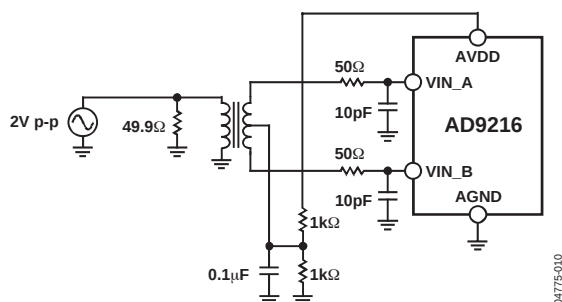


図43. 差動トランス・カップリング回路

トランスを選択する際には、信号特性を考慮に入れる必要があります。大半のRFトランスは周波数が数MHz低下するだけで飽和し、過大な信号パワーが起因してコアも飽和する結果になり、そのために歪みが発生します。

DCカップリングのアプリケーションの場合には、要求条件に応じてAD8138やAD8139、AD8351などをADCドライバとして使用できます。AD8138を使用する例を図44に示します。AD9216のPCボードには、図53に示すようにオプションとしてAD8139が実装されています。AD8351は通常、30~40MHzよりも高い周波数時に優れた性能を発揮します。

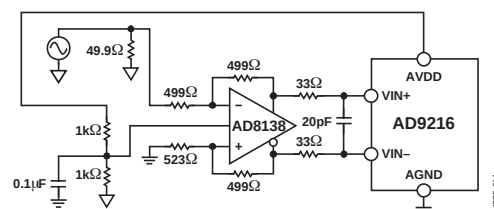


図44. AD8138を使用してADCを駆動する回路

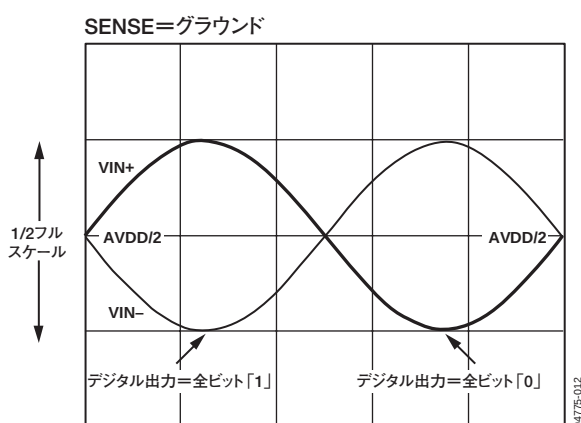


図45. アナログ入力フルスケール(フルスケール = 2V)

シングルエンド入力構成

コストの節減が要求されるアプリケーションでは、シングルエンド入力を使用しても十分な性能を確保できます。この構成時には、入力の同相振幅が大きくなるため、SFDRと歪みの性能が劣化します。しかし、各入力に接続する信号源インピーダンスのマッチングがとれていれば、S/N比性能はほとんど低下しないはずです。

クロック入力と考慮事項

標準的な高速ADCは、クロックの立上がりエッジと立下がりエッジを使用して、各種の内部タイミング信号を生成するので、その結果としてクロックのデューティ・サイクルの影響を受けやすくなります。一般的に、動的性能特性を維持するため、クロックのデューティ・サイクル誤差は5%以内に収める必要があります。

AD9216では、各チャンネルに個別のクロック入力を用意されています。これらのクロックを同じ周波数と位相で動作させると、最適な性能が得られます。各チャンネルのクロックを非同期に動作させると、性能が大幅に劣化する場合があります。アプリケーションによっては、隣接チャンネルのクロックのタイミングをスキューする(ずらす)ことが必要になります。AD9216には個別のクロック入力があるので、大幅な性能低下を引き起こすことなく、各チャンネル間でクロック・タイミングのスキュー (typ: ±1ns)を行うことが可能です。

AD9216には、各コンバータに1個のクロック・デューティ・サイクル・スタビライザ (DCS) が内蔵されています。これらのDCSは非サンプリング・エッジの再タイミングを行い、50% (nom) のデューティ・サイクルで内部クロックを供給します。通常、入力クロック・レートを高速化するとデューティ・サイクルを50%に維持することはむずかしくなりますが、DCSは幅広い範囲の入力クロック・デューティ・サイクルに対応できるため、入力クロック・レートを高速化できるという利点があります。高性能を維持するために、コンバータに適切なトラック／ホールド時間が必要とされる高速アプリケーションでは、デューティ・サイクルを50%のクロックに維持することが特に重要となります。DCSピンをハイレベルにすると、DCS機能をイネーブルに設定できます。

デューティ・サイクル・スタビライザでは、非サンプリング・エッジを生成するために、遅延ロック・ループ (DLL) を使用します。その結果、サンプリング周波数を変更した場合は、DLLが新しいレートにセトリングするまでに約2〜3 μsの時間が必要になります。

高速、高分解能ADCの性能は、クロック入力の品質に左右されます。所定のフルスケール入力周波数 (f_{INPUT}) における、アパーチャ・ジッタ (t_j) のみに起因するS/N比の劣化は、以下の数式から計算できます。

$$S/N \text{ 比の劣化} = 2 \times \log 10 [1/2 \times p \times f_{\text{INPUT}} \times t_j]$$

上の数式で、rmsアパーチャ・ジッタ (t_j) はすべてのジッタ発生源の2乗和平方根値を表し、ジッタ発生源にはクロック入力、アナログ入力信号、ADCのアパーチャ・ジッタの仕様が含まれます。アンダーサンプリング・アプリケーションでは特に、ジッタの影響を受けやすくなります。

特に、アパーチャ・ジッタがAD9216のダイナミック・レンジに悪影響を及ぼしそうな場合、最適な性能を得るためには入力クロックのジッタを最小限に抑えることが重要です。クロック入力回路には安定したリファレンスを使用してください。その例として、アナログ電源プレーンとアナログ・グラウンド・プレーンを使用し、AD9216のクロック入力に有効なハイレベルおよびローレベルのデジタル信号を生成します。デジタル・ノイズによるクロック信号の変調を回避するために、クロック・ドライバの電源はADC出力ドライバの電源から切り離してください。クロック源としてはジッタの低い水晶制御発振器がベストです。これとは別のタイプのクロック源 (ゲート・ロジックや分周器など) からクロックを生成する場合には、最後の手順としてオリジナル・クロックによる再タイミングを行ってください。

消費電力とスタンバイ・モード

AD9216の消費電力は、サンプリング・レートに比例します。デジタル (DRVDD) 消費電力は、主にデジタル・ドライバの駆動強度と各出力ビットの負荷によって決まります。デジタル駆動電流は、以下の数式から計算できます。

$$I_{\text{DRVDD}} = V_{\text{DRVDD}} \times C_{\text{LOAD}} \times f_{\text{CLOCK}} \times N$$

ここで、 N は変化するビット数、そして C_{LOAD} はデジタル・ピン上で変化する負荷の平均値です。

アナログ回路は、各速度グレードで優れた性能を発揮するとともに消費電力を低減できるように、最適にバイアスされています。各速度グレードは低速のサンプリング・レート時に基準の電力を消費し、その数値はクロック周波数が高くなるに従って増加します。

PWDN_AまたはPWDN_Bのいずれかのピンをアサートすることにより、AD9216の該当チャンネルを個別にスタンバイ・モードに設定できます。1チャンネルのみパワーダウン状態の場合、スタンバイ・モードのオン／オフに要する時間は最大で5サイクルです。両チャンネルがパワーダウン状態のときは、VREFがグラウンド電位になるため、デカップリング用コンデンサの容量に応じてウェークアップ時間は約7msとなります。

ADCの消費電力が3mW (typ) まで低減されるスタンバイ・モード時 (1チャンネルか両チャンネルかにかかわらず) には、入力クロックとアナログ入力を静的な状態に維持することを推奨します。両チャンネルがスタンバイ・モードのときに、クロック入力がアクティブであると、消費電力は10mW (typ) まで増加します。

両チャンネルが完全なパワーダウン・モード (PDWN_A=PDWN_B=ハイレベル) に入っているときに、スタンバイ消費電力は最小値を実現します。この条件下では、内部リファレンスがパワーダウンします。パワーダウン後に1チャンネルまたは両チャンネルがイネーブルになる場合、ウェークアップ時間はREFEおよびREFBデカップリング用コンデンサの再充電、およびパワーダウンの持続時間に直接関係して変化します。

1チャンネルのみパワーダウンすると、消費電力を適度に節減できます。パワーダウンしたチャンネルは内部回路をシャットダウンしますが、リファレンス・バッファと共有リファレンスはともにパワーオン状態に保たれます。バッファと電圧リファレンスがパワーオン状態に維持されるので、ウェークアップ時間は数クロック・サイクルまで低減されます。

デジタル出力

AD9216の出力ドライバは、3Vロジック・ファミリーと直接的なインターフェースが可能です。大きい容量性負荷または多くのファンアウトを駆動するADCが要求されるアプリケーションでは、大きい駆動電流が電源上で電流グリッチを引き起こす傾向があり、そのためにコンバータの性能が損なわれるので、バッファまたはラッチの外付けが必要になります。

データ・フォーマットは、オフセット・バイナリまたは2の補数を選択できます。これについては、「データ・フォーマット」の項で説明します。

出力コーディング

表8

コード	(VIN+)–(VIN–)	オフセット・バイナリ	2の補数
1023	>+0.998V	11 1111 1111	01 1111 1111
1023	+0.998V	11 1111 1111	01 1111 1111
1022	+0.996V	11 1111 1110	01 1111 1110
•	•	•	•
•	•	•	•
513	+0.002V	10 0000 0001	00 0000 0001
512	+0.0V	10 0000 0000	00 0000 0000
511	–0.002V	01 1111 1111	11 1111 1111
•	•	•	•
•	•	•	•
1	–0.998V	00 0000 0001	10 0000 0001
0	–1.000V	00 0000 0000	10 0000 0000
0	<–1.000V	00 0000 0000	10 0000 0000

タイミング

AD9216は、ラッチされたデータ出力を6クロック・サイクルのパイプライン遅延で供給します。クロック信号のエッジが立上がり、これに続く1つの伝播遅延 (t_{PD}) の後で、データ出力が供給されます。この詳細なタイミング図については、図2を参照してください。

出力データラインの長さ、およびこれらにかかる負荷を可能な限り最小にして、AD9216内部で発生するトランジェントを低く抑えてください。これらのトランジェントは、コンバータの動的性能を劣化させる可能性があります。AD9216の最小変換レートは10MSPSです。クロック・レートが10MSPSを下回ると、動的性能が低下するおそれがあります。

データ・フォーマット

AD9216の出力データ・フォーマットは、2の補数またはオフセット・バイナリのどちらにも設定できます。この制御は、データ・フォーマット選択 (DFS) ピンを使用して行います。DFSピンをAGNDに接続すると、オフセット・バイナリの出力データが供給されます。これに対して、DFSピンをAVDDに接続すると、出力データ・フォーマットは2の補数となります。

デュアルADCから出力されるデータは1つの10ビット出力バス上でマルチプレキシングできます。このマルチプレキシングはMUX_SELECTビットをトグルし、チャンネル・データを同方向または反対方向のチャンネル・データ・ポートに転送して行います。MUX_SELECTビットがロジック・ハイレベルのとき、チャンネルAのデータはチャンネルA出力バスに転送され、チャンネルBのデータはチャンネルB出力バスに転送されます。MUX_SELECTビットをロジック・ローレベルにすると、チャンネル・データの転送方向が逆になります。つまり、チャンネルAのデータはチャンネルB出力バスに転送され、チャンネルBのデータはチャンネルA出力バスに転送されます。MUX_SELECTビットをトグルすることで、マルチプレクスされたデータをどの出力データ・ポートにも出力できます。

2個のADCを同期したタイミングで動作させる場合、同じクロックをMUX_SELECTピンに印加します。CLK_A、CLK_B、MUX_SELECT間にスキュー(ずれ)が存在すると、AC性能が劣化します。クロック・スキューは常に<100psに保つことを推奨します。MUX_SELECTの立上がりエッジの後で、いずれかのデータ・ポートにその該当するチャンネルのデータが転送されます。このエッジが立下がると、もう片方のチャンネルのデータがバス上に転送されます。通常は、消費電力とノイズを低減するために、該当するOEBをハイレベルに設定し、他の未使用のバスをディセーブルにします。このマルチプレクス・モードの例を図46に示します。データをマルチプレキシングすると、データレートがサンプリング・レートの2倍になります。なお、このモードのときは、両方のチャンネルをアクティブに維持し、各チャンネルのパワーダウン・ピンをローレベルに維持する必要があります。

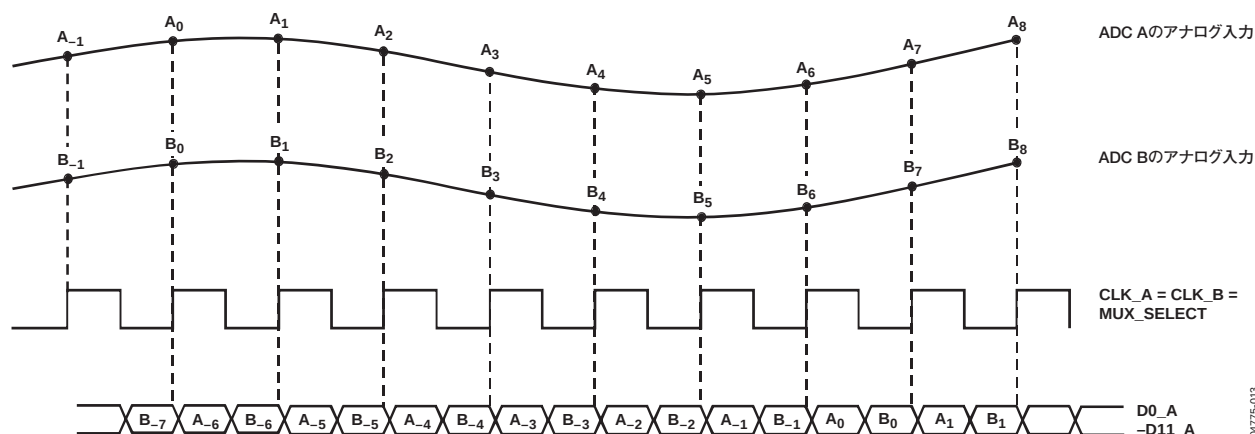


図46. チャンネルAの出力を使用し、同じクロックをCLK_A、CLK_B、MUX_SELECTに加えるマルチプレクス・データ・フォーマットの例

AD9216

電圧リファレンス

AD9216には安定した高精度の0.5V電圧リファレンスが内蔵されています。AD9216の電圧入力範囲は、リファレンス電圧を変化させることで調整できます。リファレンス電圧を調整するには、外部に抵抗をつけて内部リファレンスを変化させる方法と、外部から別のリファレンスを印加する方法があります。ADCの入力スパンは、リファレンス電圧の変化に比例します。

内部リファレンスの接続

AD9216の内蔵コンパレータはSENSEピン上の電位を検出し、リファレンスを3つの状態に設定できます(表9)。SENSEピンをグラウンドに接続すると、リファレンス・アンプ・スイッチが内部抵抗分圧器に接続され(図47を参照)、VREFが1Vに設定されます。図48に示すように抵抗分圧器を接続すれば、スイッチは再びSENSEピンに設定されます。これにより、リファレンス・アンプが非反転モードに入り、VREF出力は以下の数式から求められます。

$$VREF = 0.5 \times (1 + R2/R1)$$

VREF=1.0Vのときに、最適な性能が得られる点に留意してください。VREF(およびフルスケール)がこれを下回ると、性能が劣化します(図25を参照)。以下のリファレンス電圧設定ではすべて、REFTとREFBでADCコアを駆動し、その入力スパンを設定します。内部または外部いずれの電圧リファレンスの場合でも、ADCの入力範囲は常にリファレンス・ピンの電圧の2倍に等しくなります。

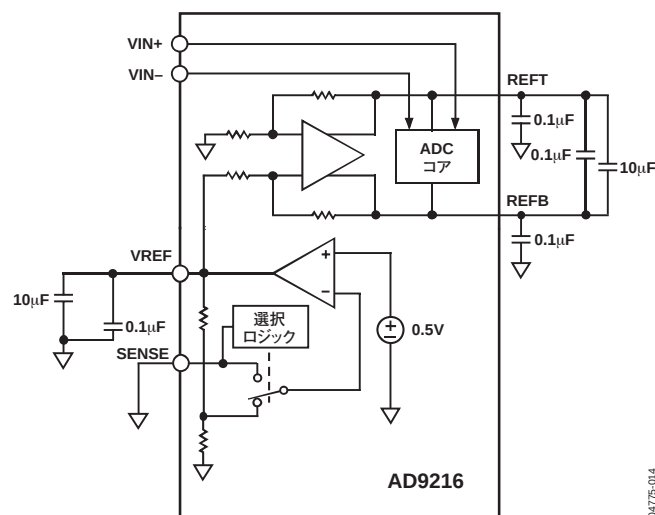


図47. 内部リファレンスの構成
(1チャンネルのみ表示)

表9 リファレンスの設定方法

選択されたモード	SENSE電圧	VREF出力(V)	設定される差動入力スパン(Vp-p)
外部リファレンス	AVDD	該当なし	2×外部リファレンス電圧
プログラマブル・リファレンス	0.2V～VREF	$0.5 \times (1 + R2/R1)$	2×VREF(図48を参照)
内部の固定リファレンス	AGND～0.2V	1.0	2.0

外部リファレンス動作

ADCのゲイン精度を高め、また熱ドリフト特性を改善するために、外部リファレンスが必要になることがあります。複数のADCが相互にトラッキングする場合には、ゲイン・マッチング誤差を許容可能なレベルまで低減するために、1個のリファレンス(内部または外部)を共用することが必要な場合があります。ゲインとオフセットの温度ドリフトをさらに低く抑えるには、高精度の外部リファレンスを選択することも可能です。図49に、内部リファレンスの標準的なドリフト特性を示します。

SENSEピンをAVDDに接続すると、内部リファレンスがデイスエーブルになり、外部リファレンスを使用できます。内部リファレンス・バッファは、外部リファレンスからみた場合、 $7k\Omega$ の負荷に等価となります。内部バッファは、正と負のフルスケール・リファレンス電圧、REFTとREFBをADCコアに対して生成します。入力スパンは常にリファレンス電圧値の2倍になるので、外部リファレンスは最大1Vに制限する必要があります。AD9216の内部リファレンスを複数のコンバータの駆動に使用し、ゲインのマッチングを改善する場合には、他のコンバータによって電圧リファレンスにかかる負荷を考慮に入れる必要があります。図50には、負荷が内部電圧リファレンスの精度に与える影響を示しています。

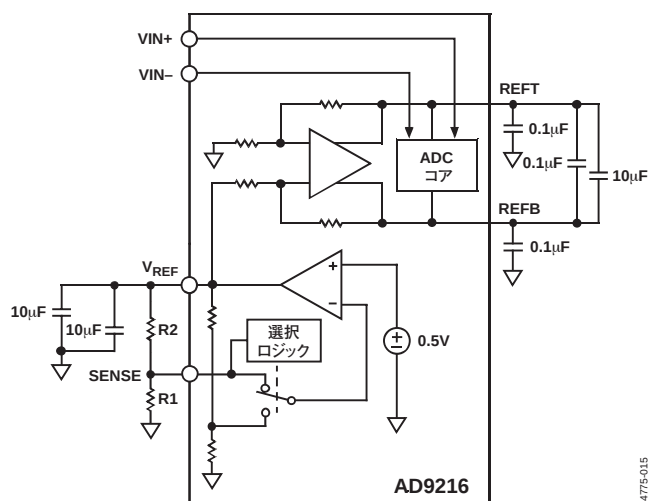


図48. プログラマブルなリファレンスの構成
(1チャンネルのみ表示)

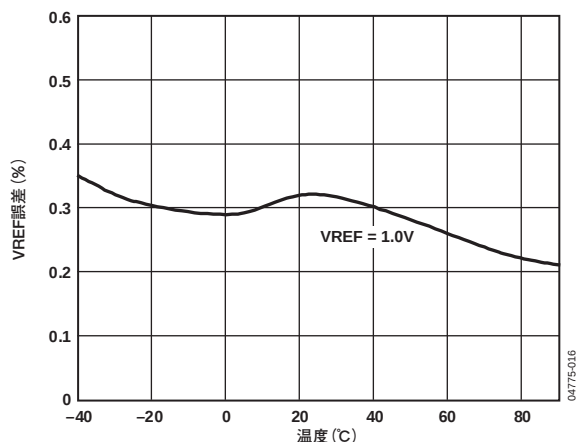


図49. 代表的なVREFドリフト

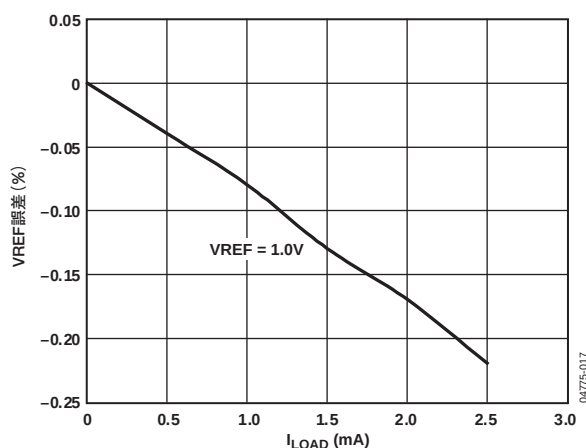


図50. 負荷 対 VREF精度

共有リファレンス・モード

共有リファレンス・モードでは、優れたゲインおよびオフセットのマッチング性能を得るために、デュアルADCから供給されるリファレンスを外部で互いに接続できます。各ADCを個別に機能させる場合には、リファレンスのデカップリングを別個に行うことにより、各チャンネルで優れた単独動作が可能となります。共有リファレンス・モードをイネーブルにするには、SHARED_REFピンをハイレベルに接続し、A、Bそれぞれの差動リファレンス・ピンを外部で短絡する必要があります(つまり、REFT_Aは外部でREFT_Bに短絡し、REFB_AはREFB_Bに短絡してください)。

デュアルADCの評価用ボード(LFCSP用)

この評価用ボードには、低ジッタのクロック源、アナログ信号源、および電源が必要です。この評価用ボードはアナログ・デバイセズ標準の高速2チャンネル・データ・アキュイジション・ボード(HSC-ADC-EVAL-DC)と直接的にインターフェースします。このデータ・アキュイジション・ボードはアナログ・デバイセズのADC Analyzer™ソフトウェアと併せて使用することで、迅速なADCの評価が可能になります。

電源コネクタ

電源は4端子を備えた3つの端子台からボードに供給されます。

表10. 電源コネクタ

端子	説明
VCC ¹ 3.0V	ADCのアナログ電源
VDD ¹ 2.5V	ADCの出力電源
VDL ¹ 2.5V	バッファ電源
VCLK 3.0V	XORゲートの電源
+5V	オプションのオペアンプ電源
-5V	オプションのオペアンプ電源

¹ VCC、VDD、VDLは最低限必要な電源接続端子です。

アナログ入力

この評価用ボードは、グラウンドを基準とする2V_{p-p}のアナログ信号を入力Aと入力Bの2個のSMBコネクタから入力できます。これらの信号は、それぞれの1次側トランスで終端されます。T1とT2はワイドバンドのRFトランスであり、シングルエンド／差動変換を行うことができるので、ADCの差動駆動が可能になり、偶数次の高調波を最小限に抑えます。アナログ信号を2次側のトランスでローパス・フィルタ処理して、高周波数のエイリアシングを低く抑えることができます。

オプションのオペアンプ

この評価用ボードは、DCカップリング・アプリケーション向けの便利なソリューションとしてオプションのAD8139オペアンプを実装できるように設計されています。AD8139オペアンプを使用する際には、C14、R4、R5、C13、R37、R36を取り除きます。代わりにR22、R23、R30、R24を実装してください。

クロック

J5にシングル・クロックを入力します。入力クロックはバッファされており、U8のピン3からR79、R40、R85を通して2つのチャンネルの入力クロックを駆動します。ジャンパのE11とE19で入力クロックの反転が可能です。また、U8はCLKAおよびCLKBの出力を提供します。CLKAとCLKBはU6とU5によりバッファされます。U6とU5はDRA信号とDRB信号(これらの信号はデータ・レディ・クロックです)を駆動します。DRAとDRBもそれぞれジャンパで反転されます。

表11. ジャンパ

端子	説明
OEB A	A側の出力イネーブル
PWDN A	パワーダウンA
MUX	マルチプレクサ入力
SHARED REF	共有リファレンス入力
DRA	反転DRA
LATA	反転Aラッチ・クロック
ENC A	反転エンコードA
OEB B	B側の出力イネーブル
PWDN B	パワーダウンB
DFS	データ・フォーマット選択
SHARED REF	共有リファレンス入力
DRB	反転DRB
LATB	反転Bラッチ・クロック
ENC B	反転エンコードB

電圧リファレンス

ADCのSENSEピンをE41に接続し、E41とグラウンド(E27)間をジャンパ配線する方法によって、内部リファレンス・モードを選択します。外部リファレンス・モードを選択するときには、E41とE25間およびE30とE2間をジャンパ配線します。R56とR45を使用して、プログラマブル・リファレンス・モードを選択できます。

データ出力

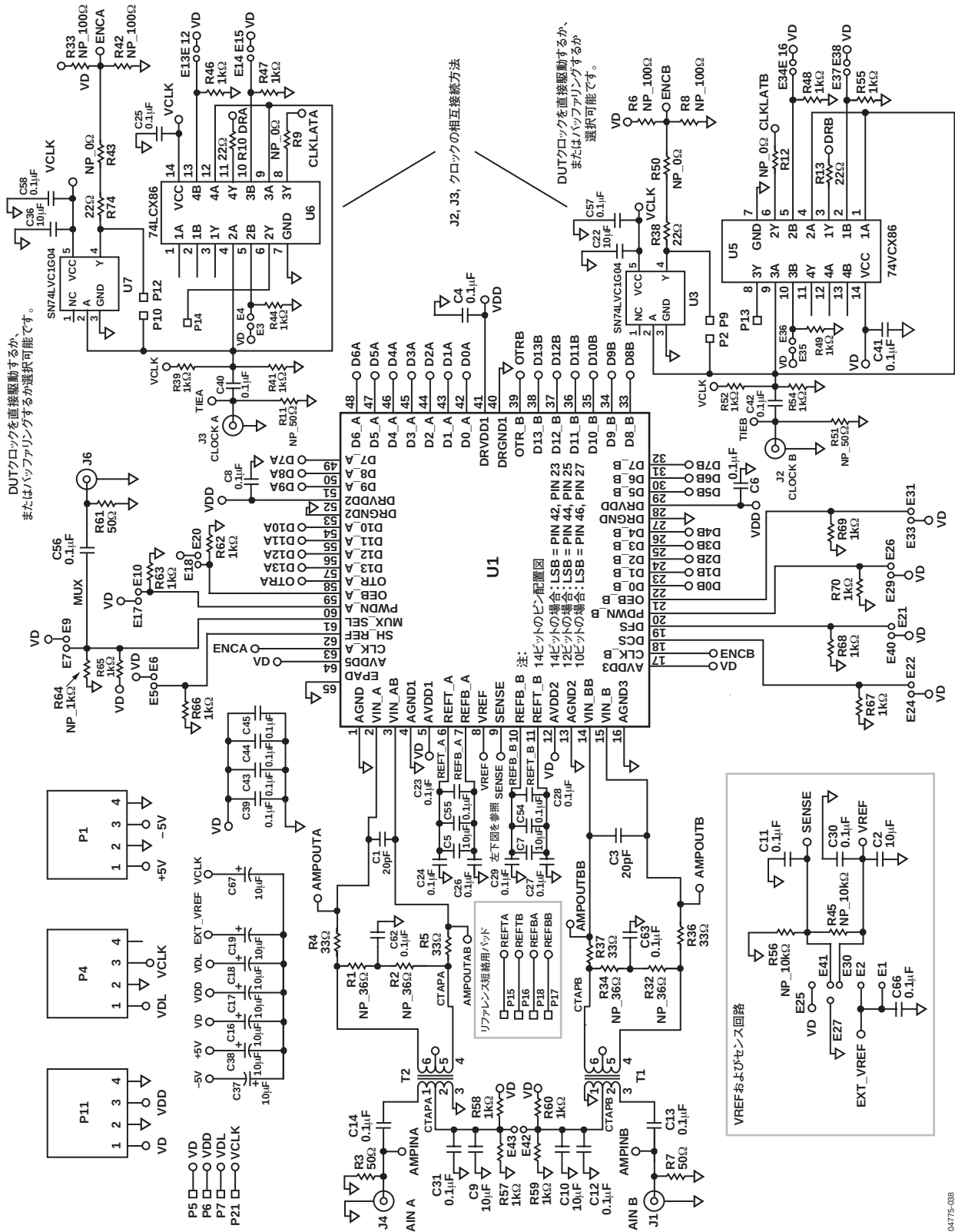
ADCの出力は、PCボード上のU2、U4でラッチされます。ADCの性能に悪影響を及ぼすスイッチング・トランジェントを制限するために推奨される直列抵抗が、ADCの出力に接続されています。

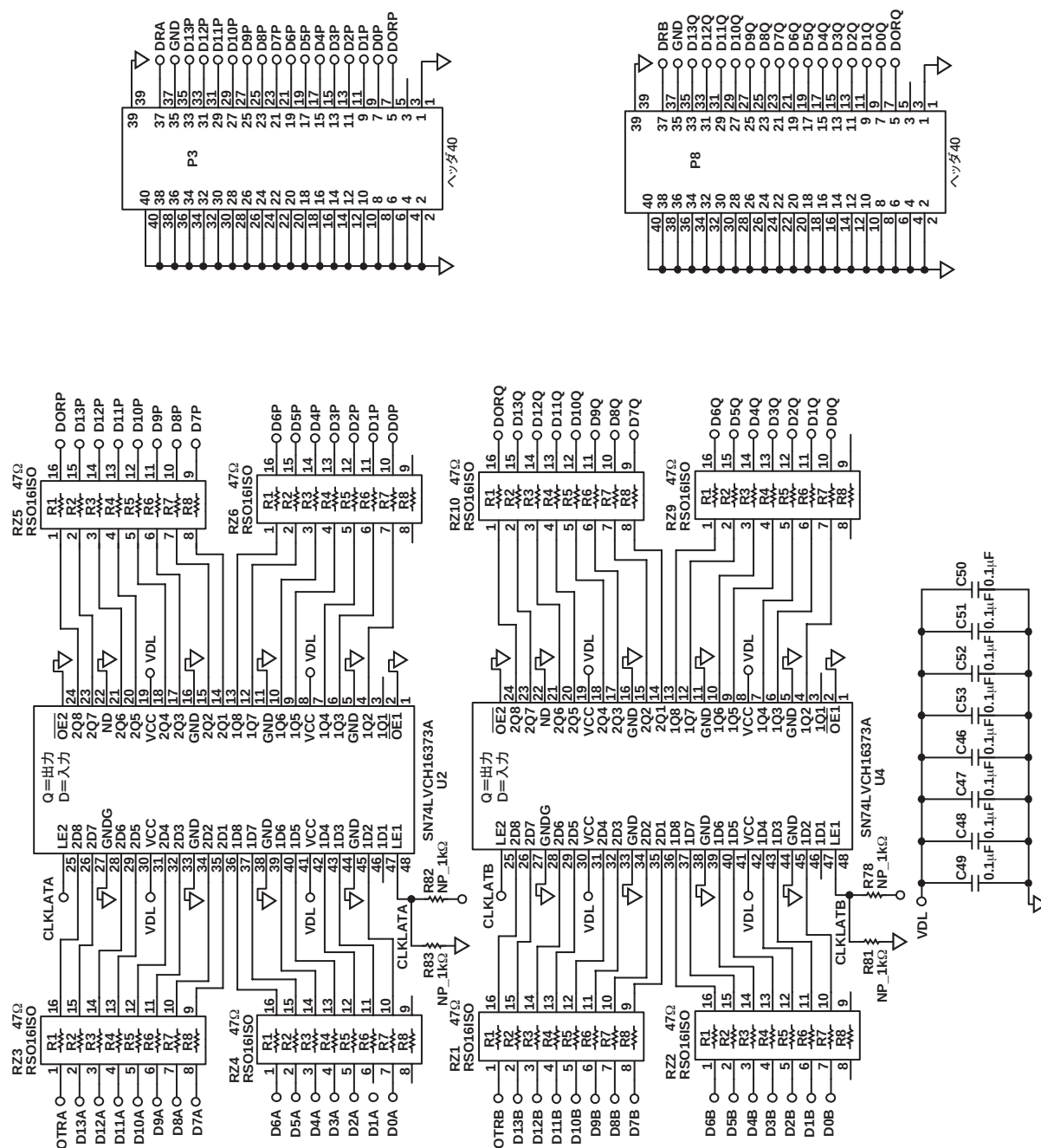
LFCSP評価用ボードの部品表 (BOM)

表12. デュアルCSP、PCB Rev.B

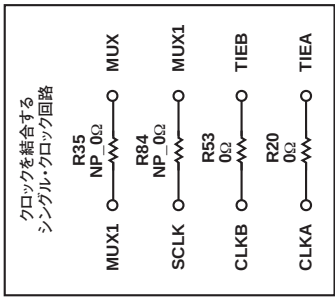
番号	数量	参照記号	部品名	パッケージ	数値
1	2	C1, C3	コンデンサ	0201	20pF
2	7	C2, C5, C7, C9, C10, C22, C36	コンデンサ	0805	10 μ F
3	44	C4, C6, C8, C11～C15, C20, C21, C24～C27, C29～C35, C39～C66	コンデンサ	0402	0.1 μ F, (C59, C61 NP ¹)
4	7	C16～C19, C37, C38, C67	コンデンサ	TAJD	10 μ F
5	2	C23, C28	コンデンサ	0201	0.1 μ F
6	40	E1～E7, E9～E22, E24～E27, E29～E31, E33～E38, E40～E43, E49, E61	ジャンパ		
7	6	J1～J6	SMA		
8	3	P1, P4, P11	電源コネクタ・ポスト	Z5.531.3425.0	Wieland社
9	3	P1, P4, P11	取外し可能なコネクタ	25.602.5453.0	Wieland社
10	1	P3, P8 (80ピン・コネクタとして使用)	コネクタ	TSW-140-08-L-D-RA	Samtec社
11	4	R1, R2, R32, R34	抵抗	0402	36 Ω (All NP ¹)
12	6	R3, R7, R11, R14, R51, R61	抵抗	0402	50 Ω (R11, R51 NP ¹)
13	4	R6, R8, R33, R42	抵抗	0402	100 Ω (All NP ¹)
14	4	R4, R5, R36, R37	抵抗	0402	33 Ω
15	10	R9, R12, R20, R35, R40, R43, R50, R53, R84, R85	抵抗	0402	0 Ω (R9, R12, R35, R43, R50, R84 NP ¹)
16	6	R15, R16, R18, R26, R29, R31	抵抗	0402	499 Ω (R16, R29 NP ¹)
17	2	R17, R25	抵抗	0402	525 Ω
18	34	R19, R21, R27, R28, R39, R41, R44, R46～R49, R52, R54, R55, R57～R60, R62～R73, R75, R77, R78, R81～R83	抵抗	0402	1k Ω (R64, R78, R81, R82, R83 NP ¹)
19	4	R22～R24, R30	抵抗	0402	40 Ω (R22, R23, R24, R30 NP ¹)
20	2	R45, R56	抵抗	0402	10k Ω (R45, R56 NP ¹)
21	7	R10, R13, R38, R74, R76, R79, R80	抵抗	0402	22 Ω
22	8	RZ1, RZ2, RZ3, RZ4, RZ5, RZ6, RZ9, RZ10	抵抗バック	CTS 742C163470J	47 Ω
24	2	T1, T2	トランス	T1-1WT	Minicircuits社
25	1	U1	AD9216/AD9238/AD9248	LFCSP-64	
26	2	U2, U4	トランスペアレント・ラッチ／バッファ	TSSOP-48	SN74LVCH16373ADGGR
27	2	U3, U7	インバータ	SC-70	SN74LVC1G04DCKT (U3, U7 NP ¹)
28	3	U5, U6, U8	XOR	SO-14	SN74VCX86
29	2	U11, U12	Amp	SO-8/EP	AD8139
30	14	P2, P5～P7, P9, P10, P12～P18, P21	ハンダ・ブリッジ		

¹ 実装されていません。





04775-039



シングルのクロック・パス

オペアンプの入力はトランスの1番ピンから切り離されます。

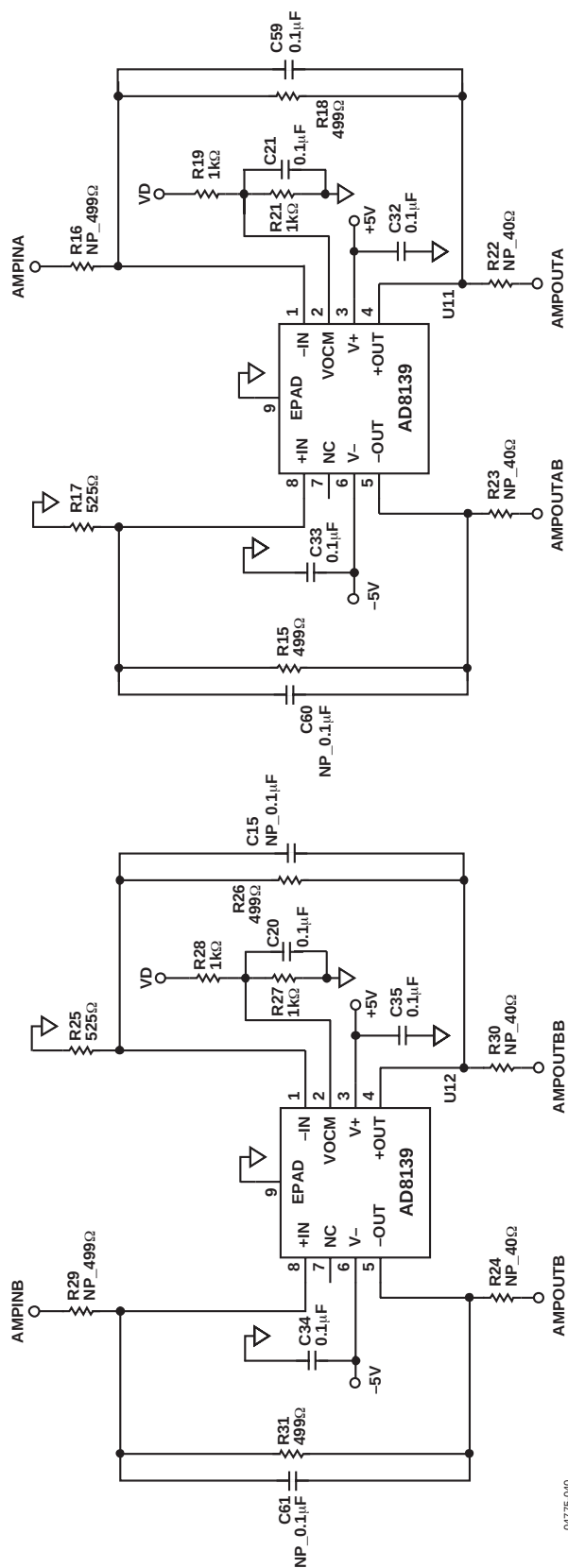


図53. 評価用ボードの回路図(3/3)

LFCSP評価用ボードの各層

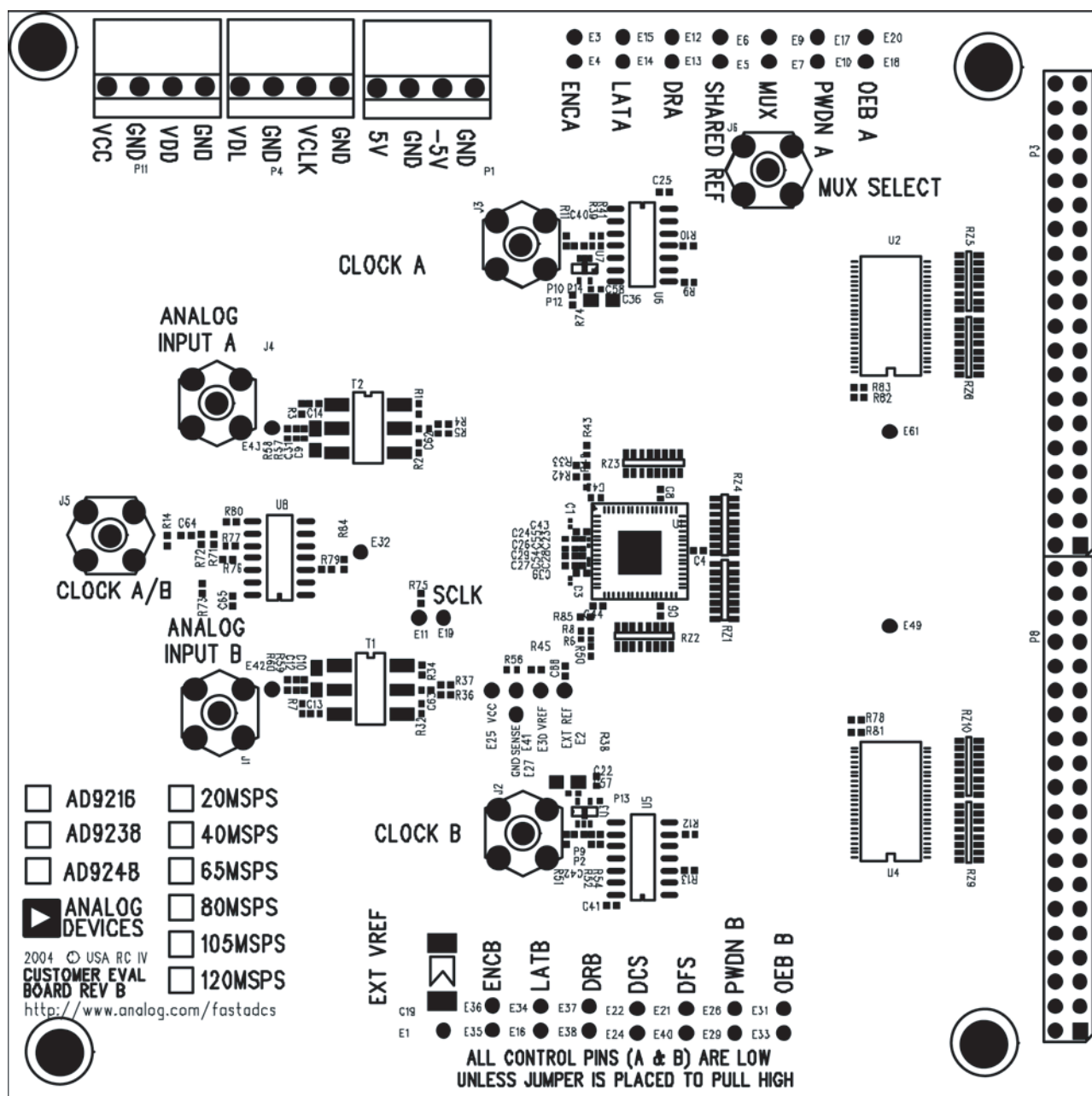
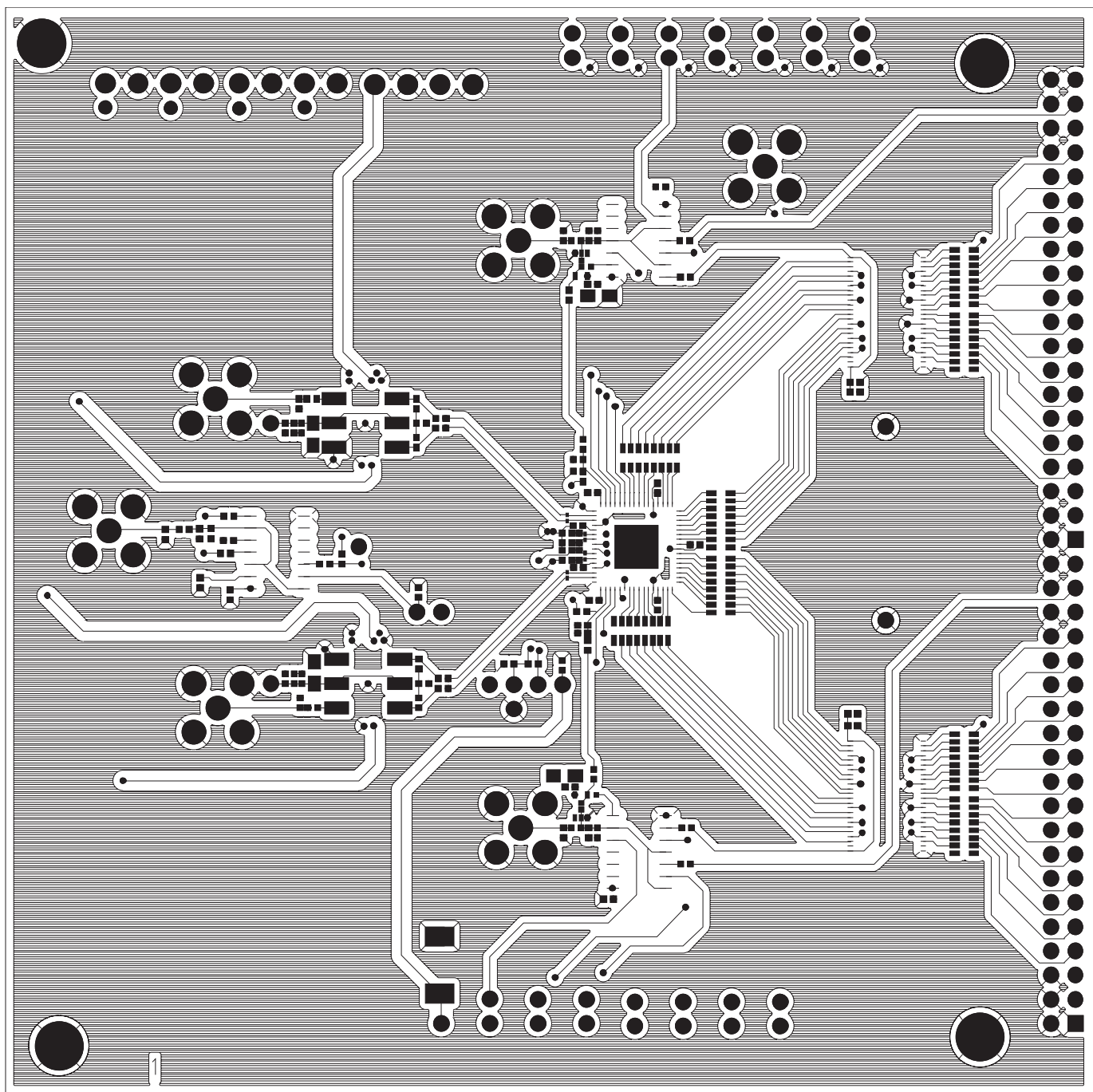
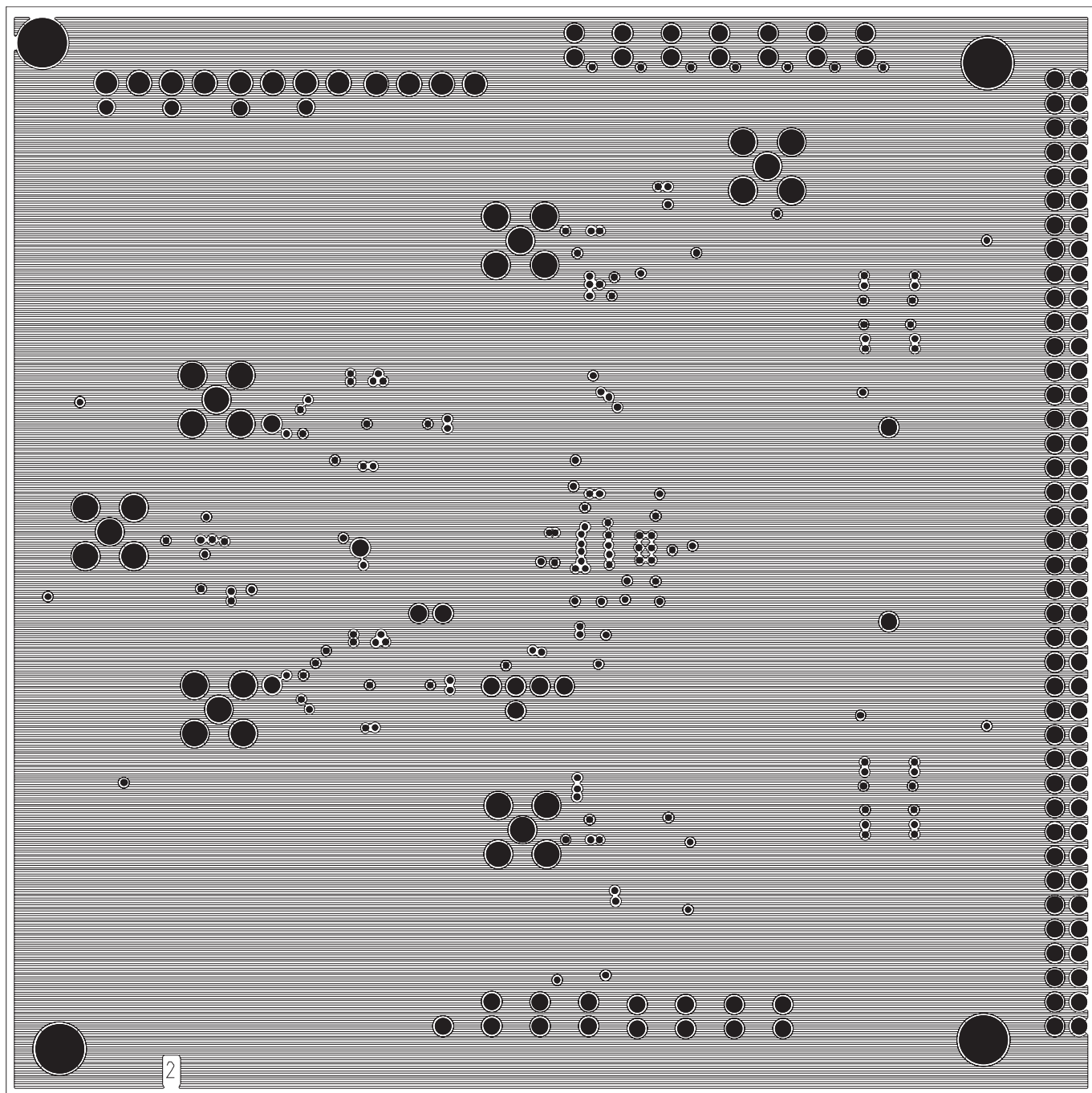


図54. 評価用ボード上面のシルクスクリーン



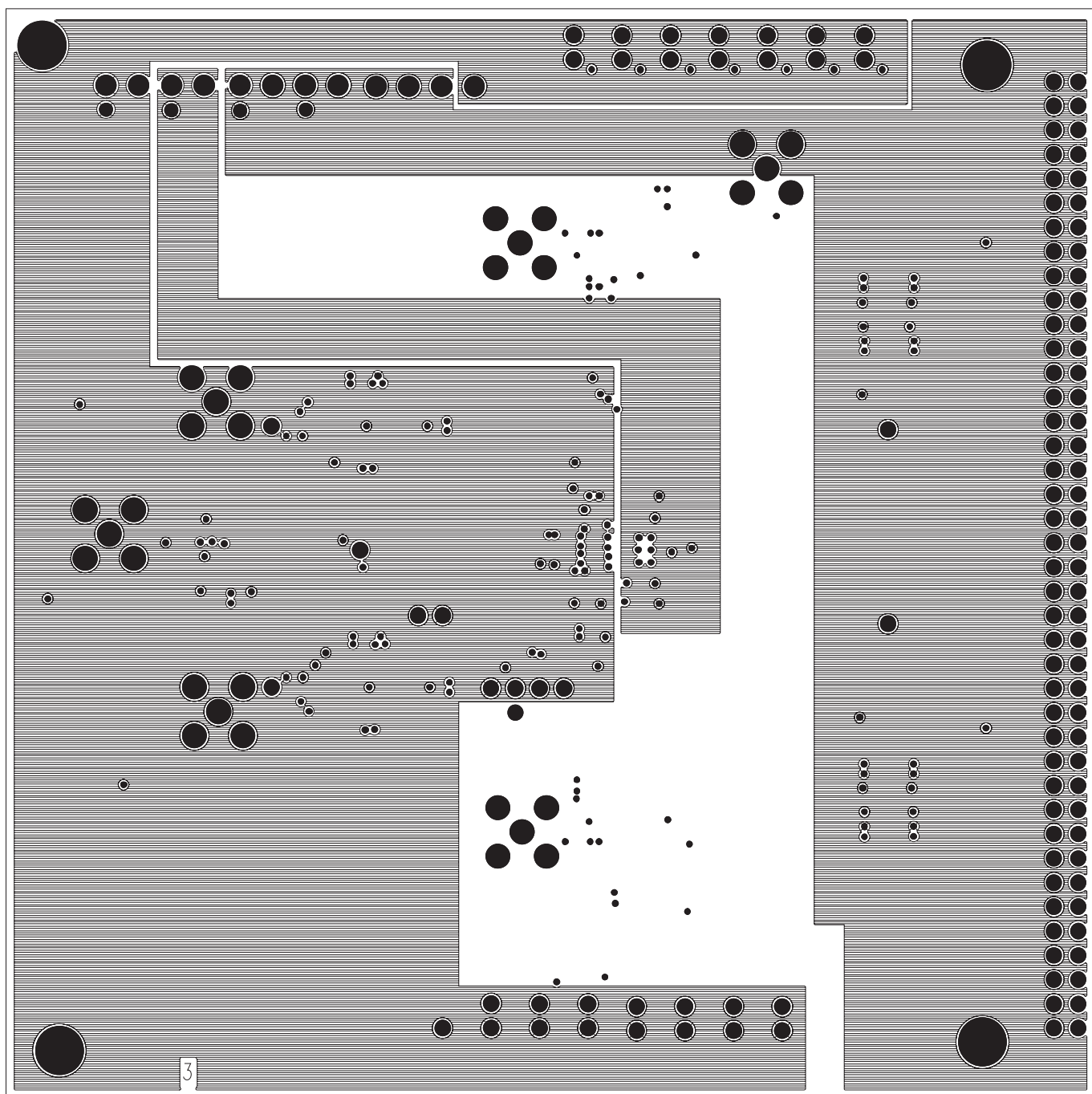
04775-0-02

図55. 評価用ボード上面の銅配線



04775-043

図56. 評価用ボードのグラウンド層



00775-044

図57. 評価用ボードの分離された電源プレーン

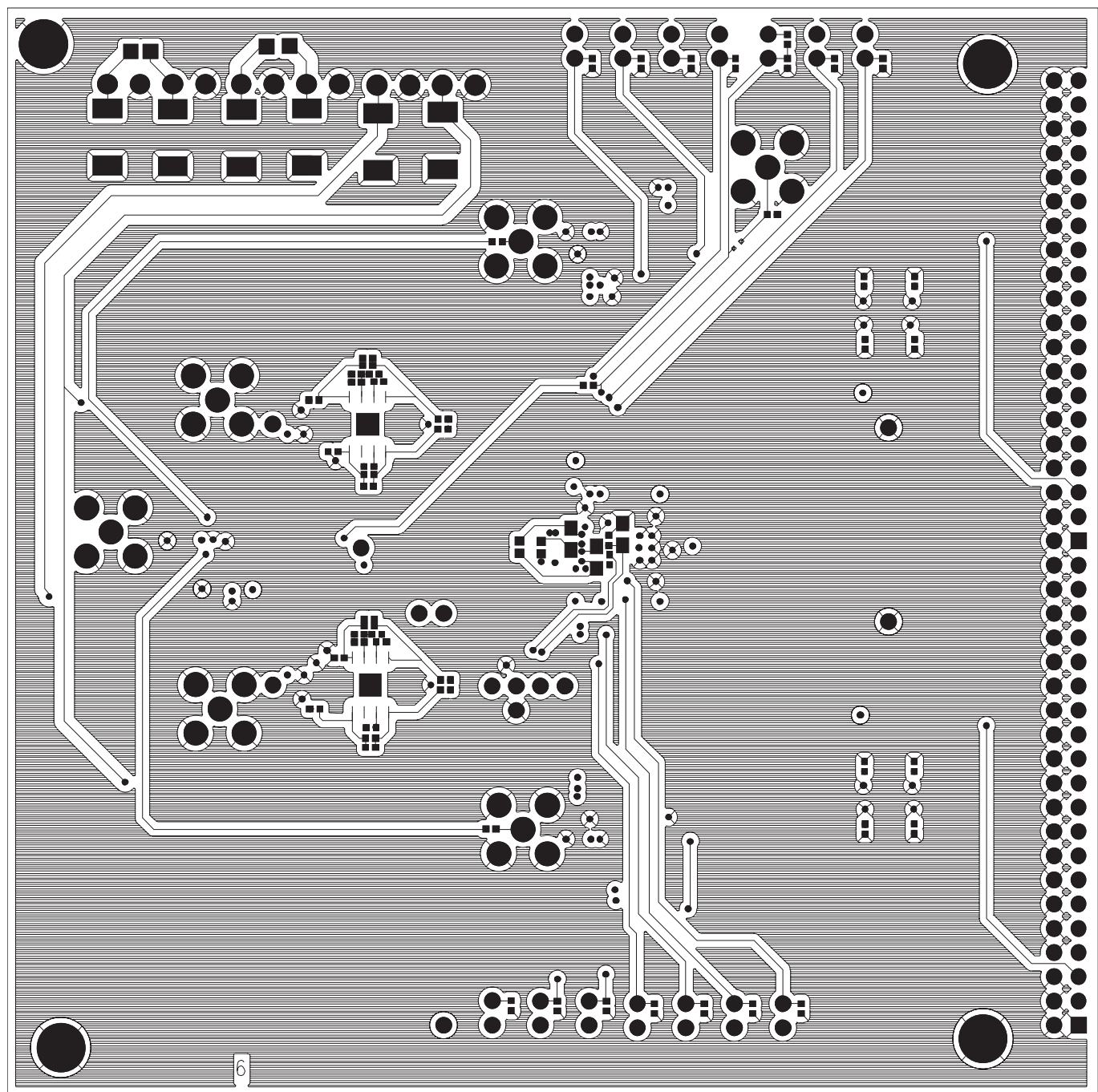


図58. 評価用ボード裏面の銅配線

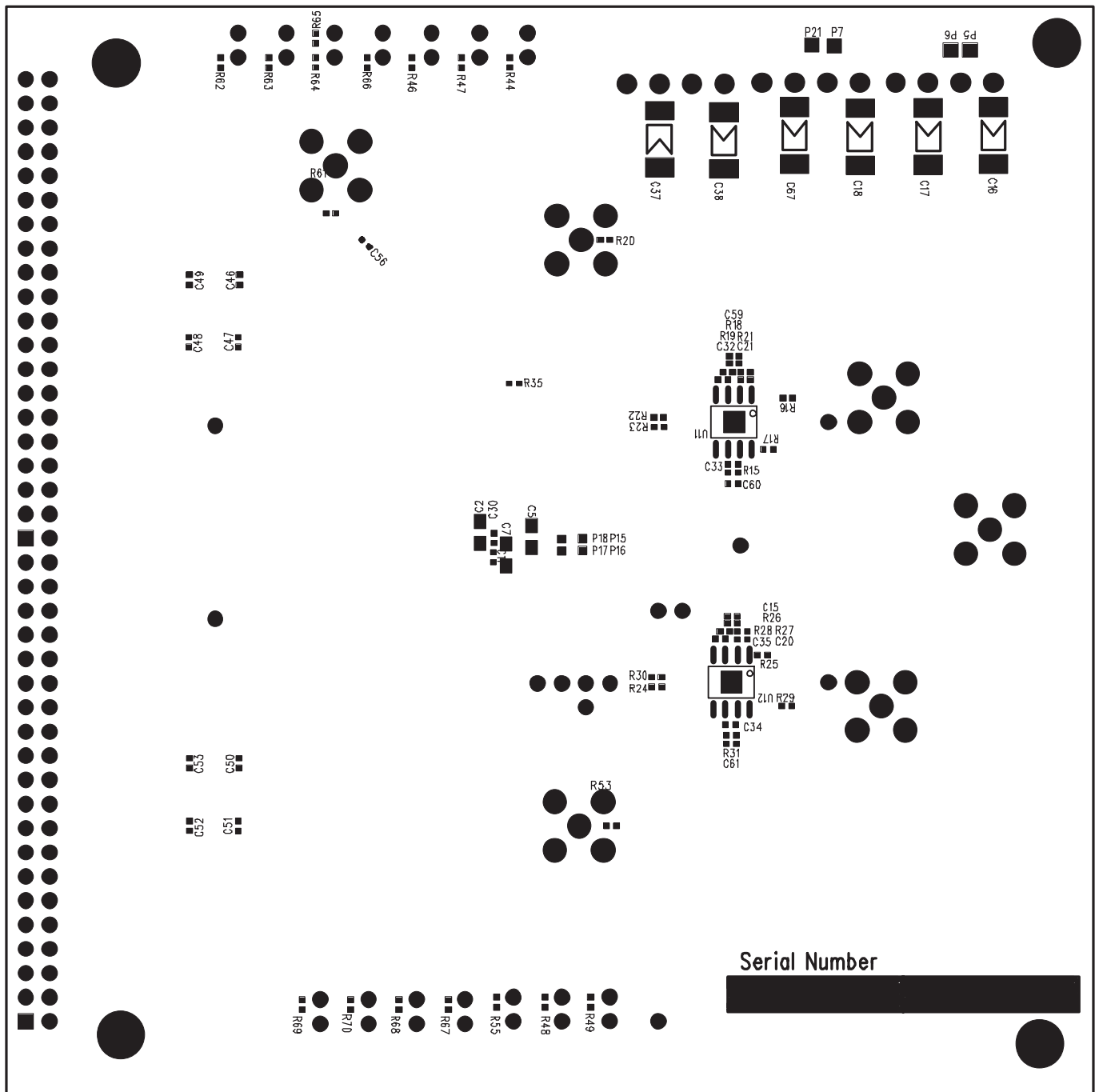


図59. 評価用ボード裏面のシルクスクリーン

熱に関する考慮事項

AD9216のLFCSPパッケージには、PCボードのグラウンド・プレーンに局所的に接合されるヒート・スラグ（露出パッド）が組み込まれており、パッケージの熱的および電気的特性が改善されています。露出パッドと接合されるグラウンド・プレーンにサーマル・ビア・アレイを埋め込むことにより、パッケージの熱を逃がす経路が形成されるので、ジャンクション温度が低下します。グラウンド・プレーンとの近接が起因となって発生するパッケージの寄生容量を低く抑えることによっても、電気的性能が改善されます。推奨のアレイは、1.2mmピッチの0.3mmビアです。この推奨の設定時に、 $\theta_{JA}=26.4^{\circ}\text{C/W}$ が保証されます。このパッケージでは、スラグをPCボードにハンダ付けする必要があります。

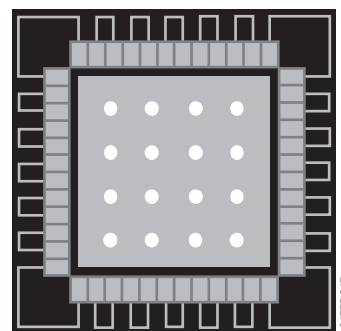
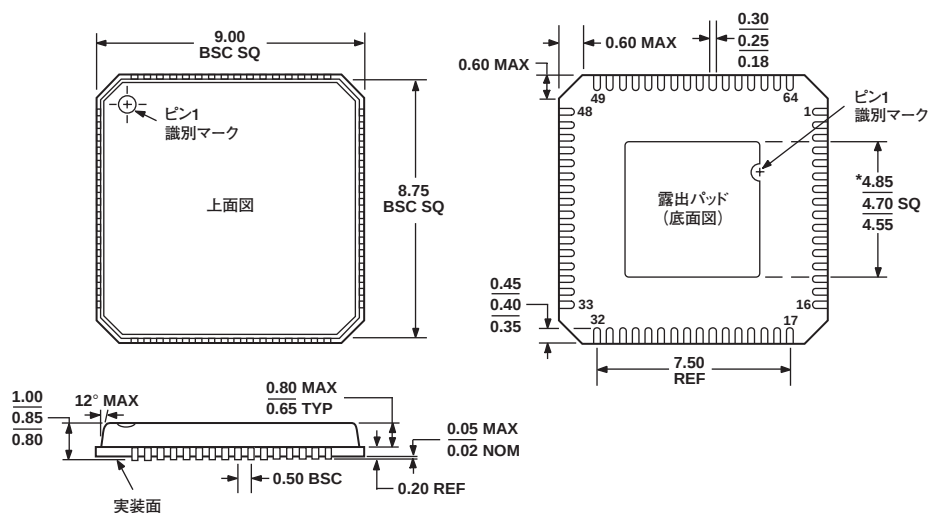


図60. サーマル・ビア・アレイ

AD9216

外形寸法



* 露出パッドの寸法を除き、JEDEC規格MO-220-VMMDに準拠

図61. 64ピン・リード・フレーム・チップスケール・パッケージ[LFCSP]
9mm×9mmボディ(CP-64-1)
寸法単位:mm

オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション
AD9216BCPZ-65 ¹	−40～+85℃	64ピン・リード・フレーム・チップスケール・パッケージ (LFCSP-VQ)	CP-64-1
AD9216BCPZRL7-65 ¹	−40～+85℃	64ピン・リード・フレーム・チップスケール・パッケージ (LFCSP-VQ)	CP-64-1
AD9216BCPZ-80 ¹	−40～+85℃	64ピン・リード・フレーム・チップスケール・パッケージ (LFCSP-VQ)	CP-64-1
AD9216BCPZRL7-80 ¹	−40～+85℃	64ピン・リード・フレーム・チップスケール・パッケージ (LFCSP-VQ)	CP-64-1
AD9216BCPZ-105 ¹	−40～+85℃	64ピン・リード・フレーム・チップスケール・パッケージ (LFCSP-VQ)	CP-64-1
AD9216BCPZRL7-105 ¹	−40～+85℃	64ピン・リード・フレーム・チップスケール・パッケージ (LFCSP-VQ)	CP-64-1
AD9216-80PCB ²		AD9216BCPZ-80実装の評価用ボード	
AD9216-105PCB		AD9216BCPZ-105実装の評価用ボード	

¹ Z=鉛フリー製品

² AD9216-65およびAD9216-80評価用ボードにも対応しています。