



2016年5月



## FDMF5823DC – 集成有热警告和热关断功能的智能功率级 (SPS) 模块

### 特性

- 包含 Flip Chip 低侧 MOSFET 和 Dual Cool 架构的超紧凑型 5 mm x 5 mm PQFN 封装
- 高电流处理能力: 55 A
- 三态 5 V PWM 输入栅极驱动器
- 低侧驱动 (LDRV) 的动态电阻模式可在负电感电流期间减慢低侧 MOSFET 开关
- 自动 DCM (低侧栅极关断) 使用 ZCD# 输入
- 热警告功能 (THWN#), 对栅极驱动器 IC 过温情况发出警告
- 热关断 (THDN)
- 高侧短路故障 # 检测/关断
- 双通道模式使能/故障 # 引脚
- ZCD# 输入和 EN 输入各自的内部上拉和下拉
- Fairchild PowerTrench<sup>®</sup> MOSFET, 可提供干净的电压波形并降低振铃噪声
- 低侧 MOSFET 中的 Fairchild SyncFET™ 技术 (集成肖特基二极管)
- 集成式自举肖特基二极管
- 优化的/极短的死区时间
- VCC 欠压锁定 (UVLO)
- 为使开关频率达到 1.5 MHz 而进行优化
- PWM 最低可控导通时间: 30 ns
- 低关断电流: < 3  $\mu$ A
- 优化的 FET 对以实现最高效率: 10 ~ 15% 占空比
- 工作结温范围: -40°C 至 +125°C
- 飞兆绿色封装并符合 RoHS 标准

### 描述

SPS 系列是 Fairchild 新一代完全优化的超小型集成 MOSFET 及驱动器功率级解决方案, 可用于高电流、高频率、同步降压 DC-DC 应用。FDMF5823DC 将一个带有自举肖特基二极管的驱动器、两个功率 MOSFET 和一个热监控器集成至热增强的超紧凑型 5 mm x 5 mm 封装内。

通过集成的方法对 SPS 开关功率级进行了优化, 以实现驱动器和 MOSFET 的动态性能、最小化系统电感和功率 MOSFET  $R_{DS(ON)}$ 。SPS 系列采用 Fairchild 的高性能 PowerTrench<sup>®</sup> MOSFET 技术, 可以减少开关振铃, 省去大多数降压转换器应用中使用的缓冲器电路。

驱动器 IC 通过减少死区时间和传播延迟, 可进一步提高性能。热警告功能 会发出潜在过温情况的警告。如果发生过温情况, 热关断功能则会关断驱动器。FDMF5823DC 还为提高轻载效率整合了自动 DCM 模式 (ZCD#)。FDMF5823DC 还提供了三态 5 V PWM 输入, 可实现与广泛的 PWM 控制器的兼容性。

### 应用

- 服务器和 workstation、V-Core 和非 V-Core 直流—直流转换器
- 台式和一体式电脑、V-Core 和非 V-Core 直流—直流转换器
- 高性能游戏主板
- 高电流直流—直流负载点 (POL) 转换器
- 网络和电信微处理器稳压器
- 小尺寸稳压器模块

### 订购信息

器件编号	额定电流	封装	顶标
FDMF5823DC	55 A	31 引脚、铜条键合 PQFN SPS、5.0 mm x 5.0 mm 封装	5823DC

**应用框图**

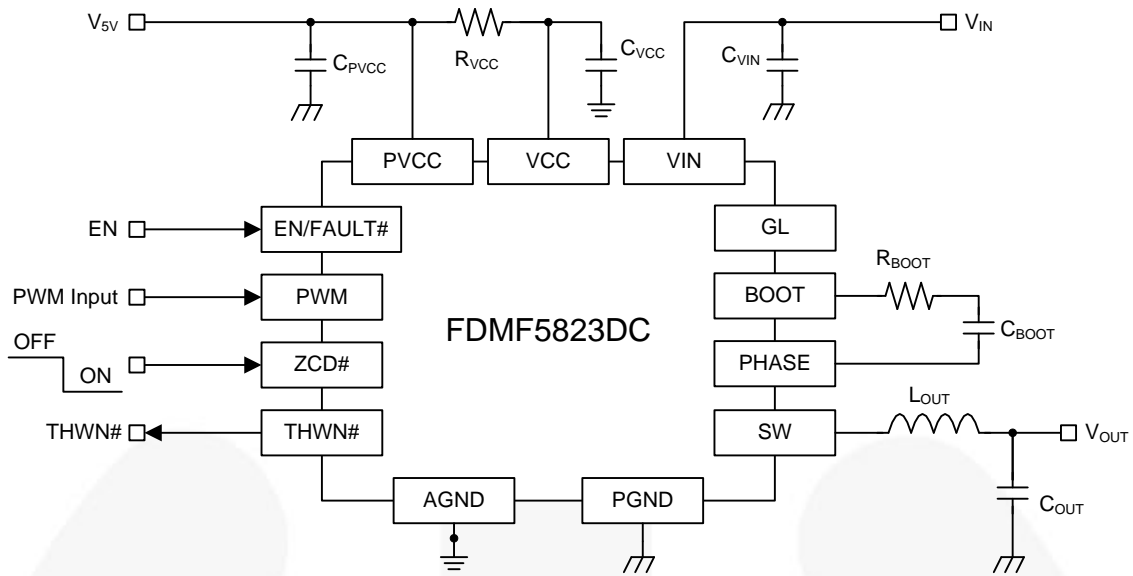


图 1. 典型应用框图

**功能框图**

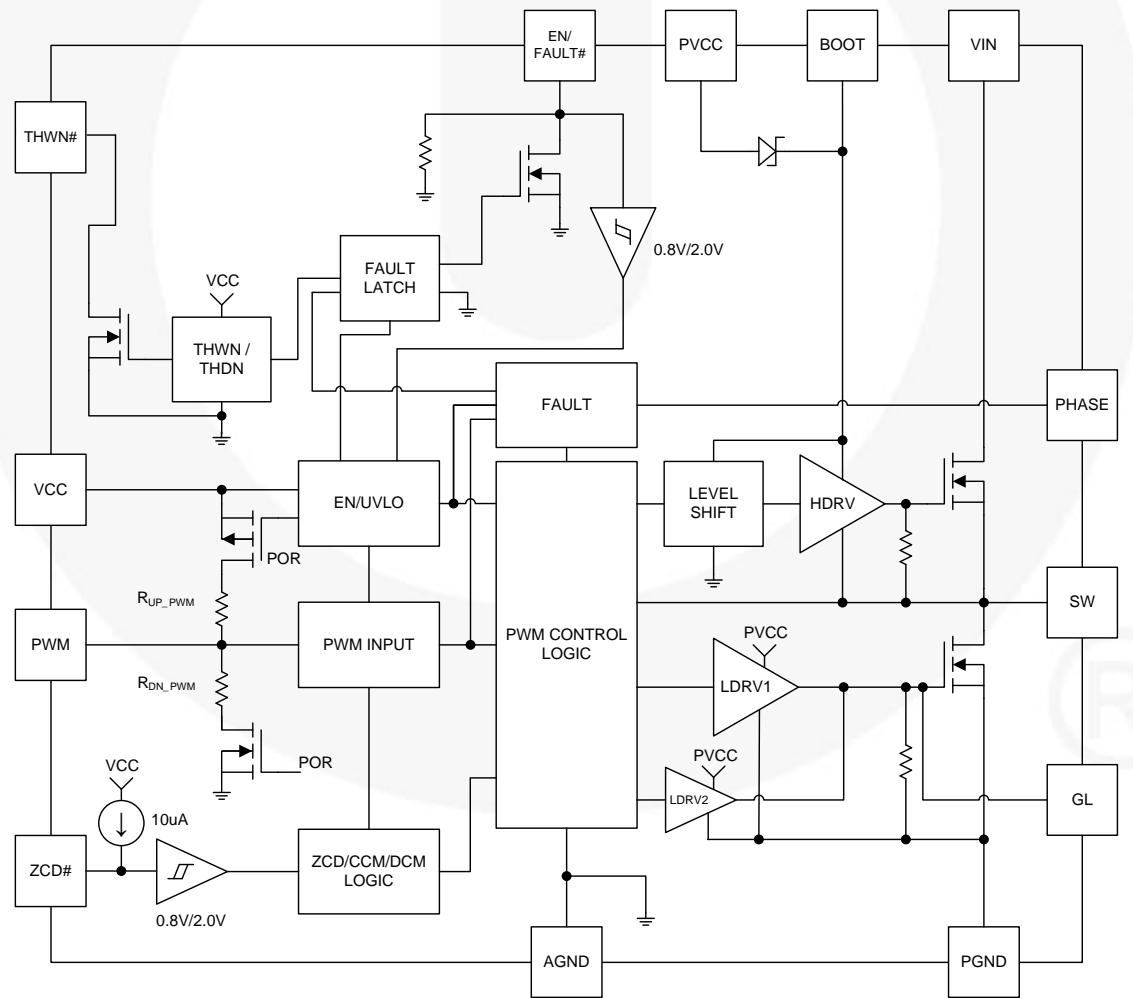


图 2. 功能框图

## 引脚配置

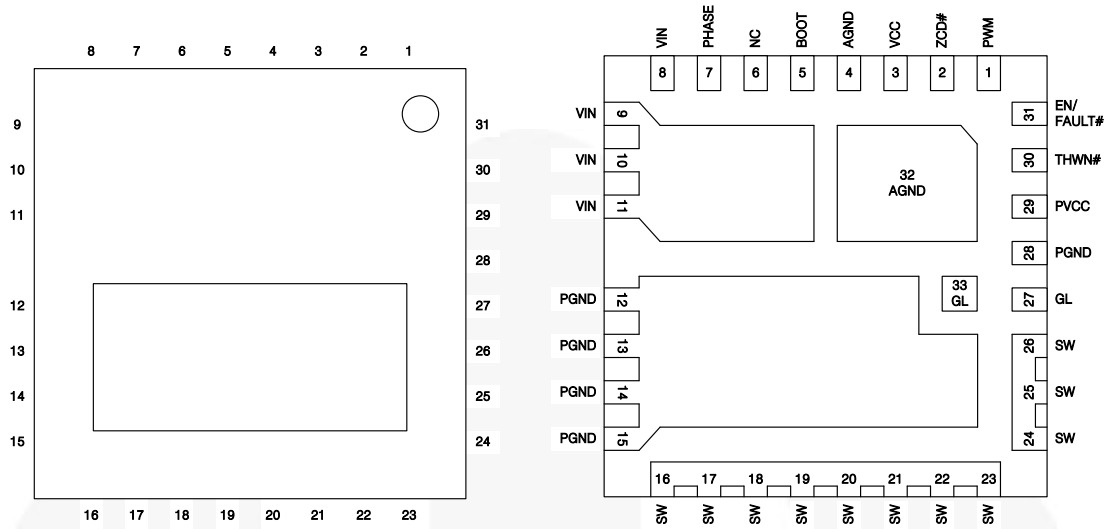


图 3. 引脚配置—俯视图和透视图

## 引脚定义

引脚号	名称	描述
1	PWM	栅极驱动器 IC 的 PWM 输入
2	ZCD#	ZCD (自动 DCM) 比较器的使能输入
3	VCC	所有模拟控制功能的电源输入；这是“静态的”V <sub>CC</sub>
4, 32	AGND	IC 模拟部分和基板的模拟接地，内部连接至 PGND
5	BOOT	高侧 MOSFET 栅极驱动器的电源。BOOT 与 PHASE 之间的电容器提供导通 N 沟道高侧 MOSFET 所需的电荷
6	NC	未连接
7	PHASE	自举电容器的返回连接，内部连接至 SW 节点
8~11	VIN	功率级的功率输入
12~15, 28	PGND	功率级的功率地
16~26	SW	高侧和低侧 MOSFET 之间的开关节点；同时是栅极驱动器 SW 节点比较器的输入和 ZCD 比较器的输入
27, 33	GL	栅极低电平、低侧 MOSFET 栅极监控器
29	PVCC	LS <sup>(1)</sup> 栅极驱动器和自举二极管的电源输入
30	THWN#	125°C 热警告标识 – 当检测到 125°C 热警告预设温度时会拉至低电平
31	EN / FAULT#	双功能，栅极驱动器 IC 的使能输入。FAULT# - 在检测到故障情况 (HS <sup>(2)</sup> MOSFET 短路或 150°C THDN) 时，内部下拉在物理上将该引脚拉至低电平。

### 注意：

1. LS = 低侧。
2. HS = 高侧。

## 绝对最大额定值

如果应力超过绝对最大额定值，器件可能会损坏。在超出推荐的工作条件的情况下，该器件可能无法正常工作，所以不建议让器件在这些条件下长期工作。此外，长期在高于推荐的工作条件下工作，会影响器件的可靠性。绝对最大额定值仅是应力规格值。 $T_A = T_J = 25^\circ\text{C}$

符号	参数		最小值	最大值	单位
$V_{CC}$	电源电压	以 AGND 为基准	-0.3	6.0	V
$PV_{CC}$	驱动电压	以 AGND 为基准	-0.3	6.0	V
$V_{EN/FAULT\#}$	输出启用/禁用	以 AGND 为基准	-0.3	6.0	V
$V_{PWM}$	PWM 信号输入	以 AGND 为基准	-0.3	$V_{CC}+0.3$	V
$V_{ZCD\#}$	ZCD 模式输入	以 AGND 为基准	-0.3	6.0	V
$V_{GL}$	低电平栅极生产测试引脚	以 AGND 为基准（仅适用于直流）	-0.3	6.0	V
		以 AGND 为基准，AC<20 ns	-3.0	6.0	
$V_{THWN\#}$	热警告	以 AGND 为基准	-0.3	6.0	V
$V_{IN}$	电源输入	以 PGND、AGND 为基准	-0.3	25.0	V
$V_{PHASE}$	PHASE	以 PGND、AGND 为基准（仅适用于直流）	-0.3	25.0	V
		以 PGND 为基准，AC<20 ns	-7.0	30.0	
$V_{SW}$	开关节点输入	以 PGND、AGND 为基准（仅适用于直流）	-0.3	25.0	V
		以 PGND 为基准，AC<20 ns	-7.0	30.0	
$V_{BOOT}$	自举电源	以 AGND 为基准（仅适用于直流）	-0.3	30.0	V
		以 AGND 为基准，AC<20 ns	-5.0	35.0	
$V_{BOOT-PHASE}$	Boot 至 PHASE 电压	以 PVCC 为基准	-0.3	6.0	V
$I_{O(AV)}^{(3)}$	输出电流	$f_{SW} = 300\text{ kHz}, V_{IN}=12\text{ V}, V_{OUT}=1.8\text{ V}$		55	A
		$f_{SW}=1\text{ MHz}, V_{IN}=12\text{ V}, V_{OUT}=1.8\text{ V}$		50	
$I_{FAULT}$	EN/FAULT# 灌电流		-0.1	7.0	mA
$\theta_{J-A}$	结至环境热阻			12.4	$^\circ\text{C/W}$
$\theta_{J-PCB}$	结至 PCB 热阻（在 Fairchild SPS 热板下）			1.8	$^\circ\text{C/W}$
$T_A$	环境温度范围		-40	+125	$^\circ\text{C}$
$T_J$	最大结温			+150	$^\circ\text{C}$
$T_{STG}$	存储温度范围		-55	+150	$^\circ\text{C}$
ESD	静电放电防护	人体模型，ANSI/ESDA/JEDEC JS-001-2012	3000		V
		元件充电模型，JESD22-C101	2500		

注：

3.  $I_{O(AV)}$  额定值是通过在  $T_A=25^\circ\text{C}$  及自然对流冷却条件下测试 Fairchild 的 SPS 评测板得到的。该额定值受限于 SPS 峰值温度  $T_J=150^\circ\text{C}$ ，并随工作条件和 PCB 布局变化。在不同应用设置中，该额定值可能会发生变化。

## 推荐工作条件

推荐的操作条件表明了器件的真实工作条件。指明推荐的工作条件，以确保器件的最佳性能达到数据表中的规格。飞兆半导体建议不要超过推荐工作条件，也不能按照绝对最大额定值进行设计。

符号	参数	最小值	典型值	最大值	单位
$V_{CC}$	控制电路电源电压	4.5	5.0	5.5	V
$PV_{CC}$	栅极驱动电路电源电压	4.5	5.0	5.5	V
$V_{IN}$	输出级电源电压	4.5 <sup>(4)</sup>	12.0	16.0 <sup>(5)</sup>	V
$T_J$	工作结温	-40		+125	$^\circ\text{C}$

注意：

4. 根据应用条件，可实现  $3.0\text{ V } V_{IN}$ 。  
 5. 在  $V_{IN}$  较高的条件下运行，在 MOSFET 开关瞬态过程中，可能在 SW 至 GND 和 BOOT 至 GND 节点上产生大量交流电压过冲。为了确保 SPS 可靠运行，SW 至 GND 和 BOOT 至 GND 必须保持在上表中的绝对最大额定值或以下。

## 电气特性

典型值是在  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V}$  且  $T_A=T_J=+25^\circ\text{C}$  条件下测得的，除非另有说明。

最小/最大值是在  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V} \pm 10\%$  且  $T_J=T_A=-40 \sim 125^\circ\text{C}$  条件下测得的，除非另有说明。

符号	参数	条件	最小值	典型值	最大值	单位
<b>基本工作</b>						
$I_Q$	静态电流	$I_Q=I_{VCC} + I_{PVCC}$ 、EN=HIGH、PWM=LOW 或 HIGH 或 Float (非开关过程中)			2	mA
$I_{SHDN}$	关断电流	$I_{SHDN}=I_{VCC} + I_{PVCC}$ 、EN=GND			3	$\mu\text{A}$
$V_{UVLO}$	欠压闭锁阈值	$V_{CC}$ 上升	3.5	3.8	4.1	V
$V_{UVLO\_HYST}$	UVLO 滞环			0.4		V
$t_{D\_POR}$	POR 延迟到启用 IC	$V_{CC}$ UVLO 上升到内部 PWM 启用			20	$\mu\text{s}$
<b>EN输入</b>						
$V_{IH\_EN}$	输入电压高电平		2.0			V
$V_{IL\_EN}$	输入电压低电平				0.8	V
$R_{PLD\_EN}$	下拉电阻			250		k $\Omega$
$t_{PD\_ENL}$	EN 低电平传输延迟	PWM=GND, EN 变为低电平到 GL 变为低电平		25		ns
$t_{PD\_ENH}$	EN 高电平传输延迟	PWM=GND, EN 变为高电平到 GL 变为高电平			20	$\mu\text{s}$
<b>ZCD# 输入</b>						
$V_{IH\_ZCD\#}$	输入电压 高电平		2.0			V
$V_{IL\_ZCD\#}$	输入电压低电平				0.8	V
$I_{PLU\_ZCD\#}$	上拉电流			10		$\mu\text{A}$
$t_{PD\_ZLGLL}$	ZCD# 低电平传输延迟	PWM=GND, ZCD# 变为低电平到 GL 变为低电平 (确保 $I_L \leq 0$ )		10		ns
$t_{PD\_ZHGLH}$	ZCD# 高电平传输延迟	PWM=GND, ZCD# 变为高电平到 GL 变为高电平		10		ns
<b>PWM 输入</b>						
$R_{UP\_PWM}$	上拉电阻			10		k $\Omega$
$R_{DN\_PWM}$	下拉电阻			10		k $\Omega$
$V_{IH\_PWM}$	PWM 高电平电压	典型值: $T_A=T_J=25^\circ\text{C}$ 且 $V_{CC}=PV_{CC}=5\text{ V}$ ; 最小值 / 最大值:	3.8			V
$V_{TRI\_Window}$	三态窗口	$T_A=T_J=-40^\circ\text{C}$ 至 $125^\circ\text{C}$ 且 $V_{CC}=PV_{CC}=5\text{ V} \pm 10\%$	1.2		3.1	V
$V_{IL\_PWM}$	PWM 低电平电压				0.8	V
$t_{D\_HOLD-OFF}$	三态关断时间			90	130	ns
$V_{HIZ\_PWM}$	三态开路电压		2.1	2.5	2.9	V
<b>最低可控导通时间</b>						
$t_{MIN\_PWM\_ON}$	PWM 最低可控导通时间	SW 节点从 GND 切换到 $V_{IN}$ 所需的最小 PWM 高电平脉冲	30			ns
<b>强制最小 GL 高电平时间</b>						
$t_{MIN\_GL\_HIGH}$	强制最小 GL 高电平	当检测到低电平 $V_{BOOT-SW}$ 且 PWM LOW= $\leq 100\text{ ns}$ 时, 最小 GL 高电平时间		100		ns
<b>PWM 传输延迟与死区时间 (<math>V_{IN}=12\text{ V}</math>、<math>V_{CC}=PV_{CC}=5\text{ V}</math>、<math>f_{SW}=1\text{ MHz}</math>、<math>I_{OUT}=20\text{ A}</math>、<math>T_A=25^\circ\text{C}</math>)</b>						
$t_{PD\_PHGLL}$	PWM 高电平传输延迟	PWM 变为高电平到 GL 变为低电平, $V_{IH\_PWM}$ 到 90% GL		15		ns
$t_{PD\_PLGHL}$	PWM 低电平传输延迟	PWM 变为低电平到 GH <sup>(6)</sup> 变为低电平, $V_{IL\_PWM}$ 到 90% GH		30		ns
$t_{PD\_PHGHH}$	PWM 高电平传输延迟 (ZCD# 保持低电平)	PWM 变为高电平到 GH 变为高电平, $V_{IH\_PWM}$ 到 10% GH (ZCD#=LOW、 $I_L=0$ , 且假定工作模式为 DCM)		10		ns

接下页

## 电气特性

典型值是在  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V}$  且  $T_A=T_J=+25^\circ\text{C}$  条件下测得的，除非另有说明。

最小/最大值是在  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V} \pm 10\%$  且  $T_J=T_A=-40 \sim 125^\circ\text{C}$  条件下测得的，除非另有说明。

符号	参数	条件	最小值	典型值	最大值	单位
$t_{D\_DEADON}$	LS 关断到 HS 导通死区时间	GL 变为低电平到 GH 变为高电平，10% GL 到 10% GH，PWM 从低电平过渡到高电平 - 参见图 27		10		ns
$t_{D\_DEADOFF}$	HS 关断到 LS 导通死区时间	GH 变为低电平到 GL 变为高电平，10% GH 到 10% GL，PWM 从高电平过渡到低电平 - 参见图 27		5		ns
$t_{R\_GH\_20A}$	20 A $I_{OUT}$ 下的 GH 上升时间	10% GH 到 90% GH， $I_{OUT}=20\text{ A}$		9		ns
$t_{F\_GH\_20A}$	20 A $I_{OUT}$ 下的 GH 下降时间	90% GH 到 10% GH， $I_{OUT}=20\text{ A}$		9		ns
$t_{R\_GL\_20A}$	20 A $I_{OUT}$ 下的 GL 上升时间	10% GL 到 90% GL， $I_{OUT}=20\text{ A}$		9		ns
$t_{F\_GL\_20A}$	20 A $I_{OUT}$ 下的 GL 下降时间	90% GL 到 10% GL， $I_{OUT}=20\text{ A}$		6		ns
$t_{PD\_TSGHH}$	退出三态传输延迟	PWM (从三态) 变为高电平到 GH 变为高电平， $V_{IH\_PWM}$ 到 10% GH			45	ns
$t_{PD\_TSGLH}$	退出三态传输延迟	PWM (从三态) 变为低电平到 GL 变为高电平， $V_{IL\_PWM}$ 到 10% GL			45	ns
<b>高侧驱动器 (HDRV、<math>V_{CC}=PV_{CC}=5\text{ V}</math>)</b>						
$R_{SOURCE\_GH}$	输出电阻，源	源电流=100 mA		0.68		$\Omega$
$R_{SINK\_GH}$	输出电阻，灌	灌电流=100 mA		0.9		$\Omega$
$t_{R\_GH}$	GH 上升时间	10% GH 到 90% GH， $C_{LOAD}=1.3\text{ nF}$		4		ns
$t_{F\_GH}$	GH 下降时间	90% GH 到 10% GH， $C_{LOAD}=1.3\text{ nF}$		3		ns
<b>较弱的低侧驱动器 (CCM2 运行模式下，仅存在 LDRV2，<math>V_{CC}=PV_{CC}=5\text{ V}</math>)</b>						
$R_{SOURCE\_GL}$	输出电阻，源	源电流=100 mA		0.82		$\Omega$
$I_{SOURCE\_GL}$	输出源峰值电流	GL=2.5 V		2		A
$R_{SINK\_GL}$	输出电阻，灌	灌电流=100 mA		0.86		$\Omega$
$I_{SINK\_GL}$	输出灌峰值电流	GL=2.5 V		2		A
<b>低侧驱动器 (CCM1 运行模式下，LDRV1 与 LDRV2 并行，<math>V_{CC}=PV_{CC}=5\text{ V}</math>)</b>						
$R_{SOURCE\_GL}$	输出电阻，源	源电流=100 mA		0.47		$\Omega$
$I_{SOURCE\_GL}$	输出源峰值电流	GL=2.5 V		4		A
$R_{SINK\_GL}$	输出电阻，灌	灌电流=100 mA		0.29		$\Omega$
$I_{SINK\_GL}$	输出灌峰值电流	GL=2.5 V		7		A
$t_{R\_GL}$	GL 上升时间	10% GL 到 90% GL， $C_{LOAD}=7.0\text{ nF}$		9		ns
$t_{F\_GL}$	GL 下降时间	90% GL 到 10% GL， $C_{LOAD}=7.0\text{ nF}$		6		ns
<b>热监控电流</b>						
$I_{TMON\_25}$	热监控电流	$T_A=T_J=25^\circ\text{C}$	39.3	40.2	41.0	$\mu\text{A}$
$I_{TMON\_150}$	热监控电流	$T_A=T_J=150^\circ\text{C}$		58		$\mu\text{A}$
<b>热警告标识 (125°C)</b>						
$T_{ACT\_THWN\_125}$	激活温度	$T_J=T_A$ 时在驱动器 IC 上测得		125		$^\circ\text{C}$
$T_{RST\_THWN\_125}$	重置温度			110		$^\circ\text{C}$
$R_{PLD\_THWN}$	下拉电阻	$I_{PLD\_THWN}=1\text{ mA}$		100		$\Omega$
<b>热关断 (150°C)</b>						
$T_{ACT\_THDN}$	激活温度	$T_J=T_A$ 时在驱动器 IC 上测得		150		$^\circ\text{C}$
$R_{PLD\_EN\_THDN}$	下拉电阻	$I_{PLD\_EN\_THDN}=1\text{ mA}$		50		$\Omega$
<b>灾难性故障 (SW 监控器)</b>						
$V_{SW\_MON}$	SW 监控器基准电压			1.3	2	V
$t_{D\_FAULT}$	传输延迟到将 EN / FAULT# 信号拉至低电平			20		ns
<b>自举二极管</b>						
$V_F$	正向压降	$I_F=10\text{ mA}$		0.4		V
$V_R$	击穿电压	$I_R=1\text{ mA}$	30			V

注：

6. GH=栅极高，高侧 MOSFET 的内部栅极引脚。

## 典型性能特征

测试条件:  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V}$ 、 $V_{OUT}=1.8\text{ V}$ 、 $L_{OUT}=250\text{ nH}$ 、 $T_A=25^\circ\text{C}$  且为自然对流冷却, 除非另有说明。

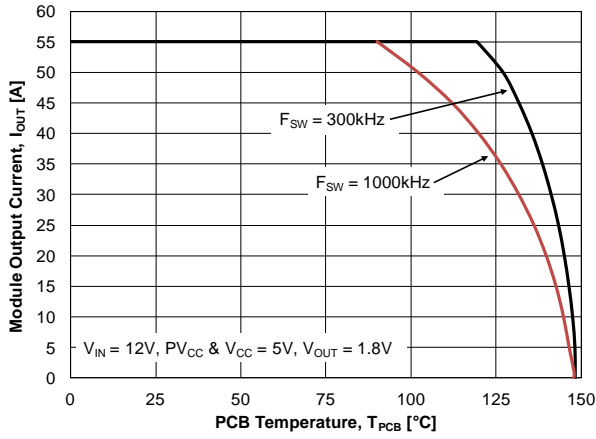


图 4. 安全工作范围

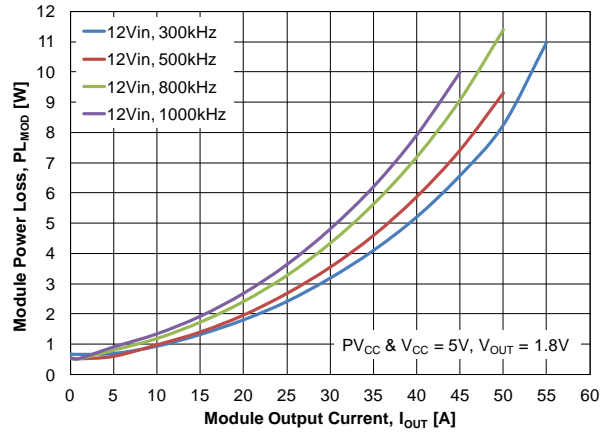


图 5. 功耗与输出电流的关系

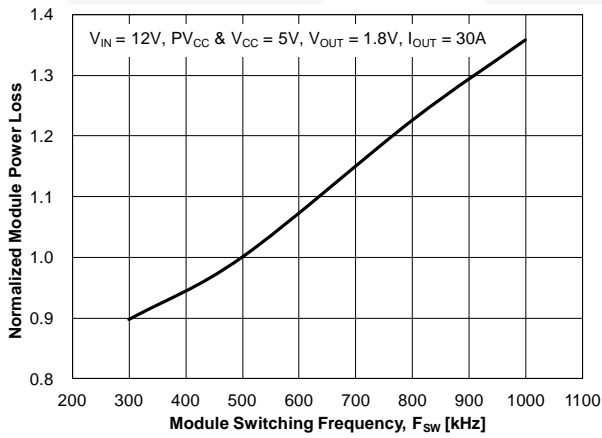


图 6. 功耗与开关频率之间的关系

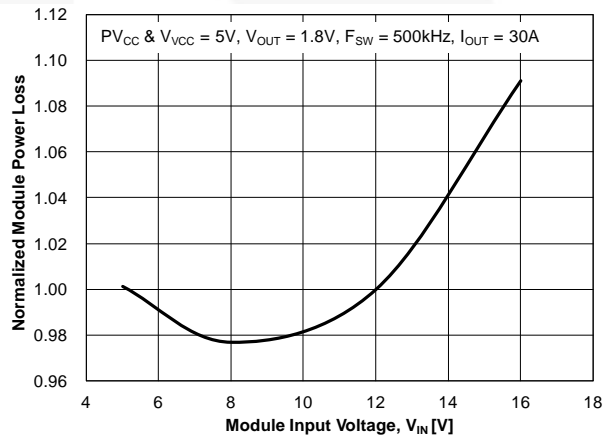


图 7. 功耗与输入电压之间的关系

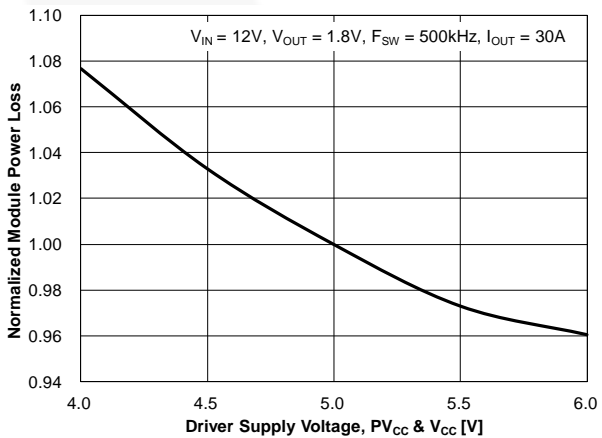


图 8. 功耗与驱动器电源电压之间的关系

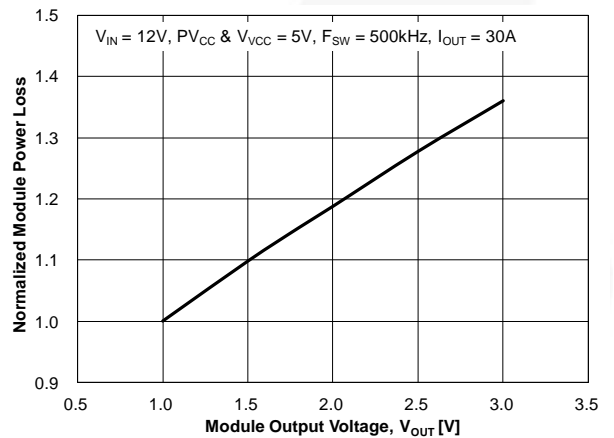


图 9. 功耗与输出电压之间的关系

## 典型性能特征

测试条件:  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V}$ 、 $V_{OUT}=1.8\text{ V}$ 、 $L_{OUT}=250\text{ nH}$ 、 $T_A=25^\circ\text{C}$  且为自然对流冷却, 除非另有说明。

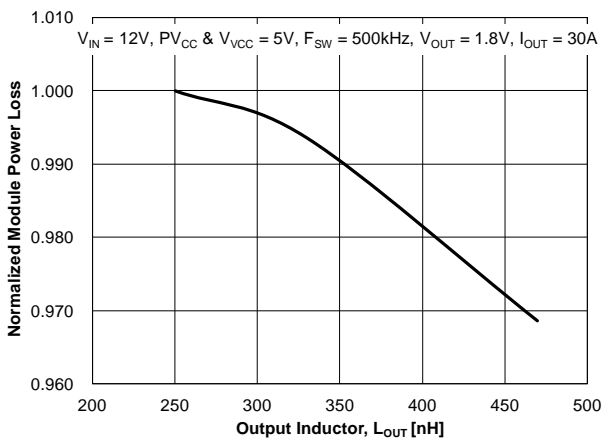


图 10. 功耗与输出电感器之间的关系

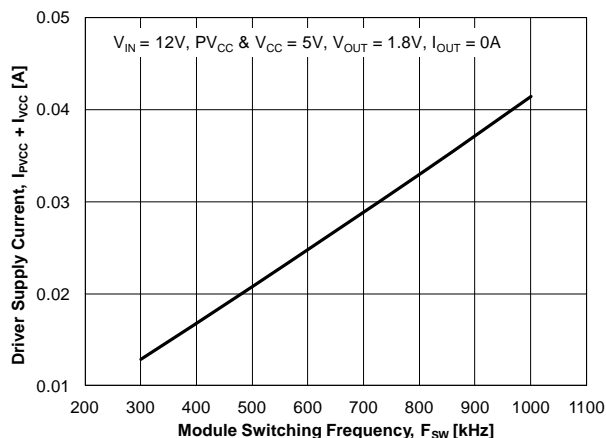


图 11. 驱动器电源电流与开关频率之间的关系

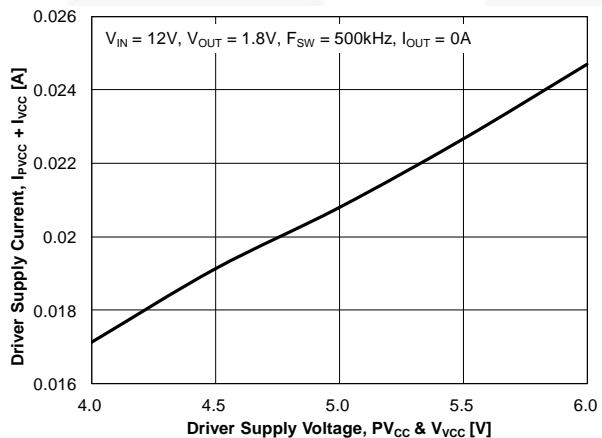


图 12. 驱动器电源电流与驱动器电源电压之间的关系

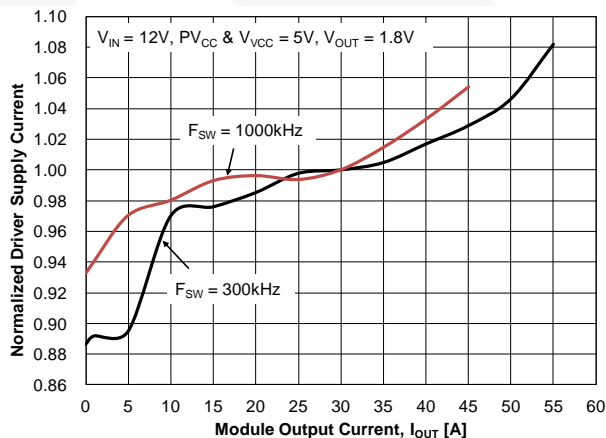


图 13. 驱动器电源电流与输出电流之间的关系

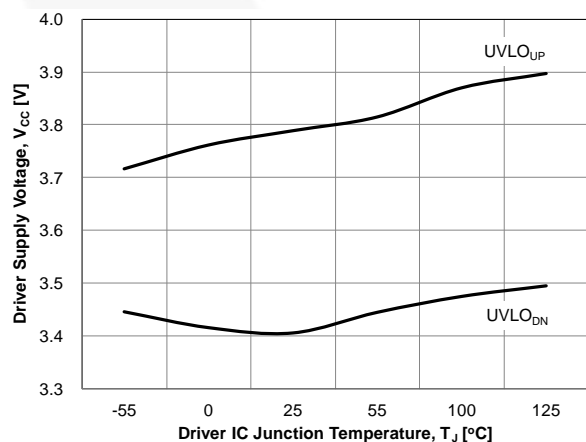


图 14. UVLO 阈值与温度的关系

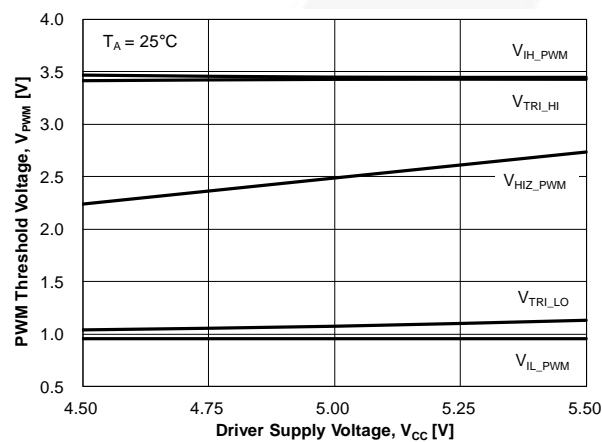


图 15. PWM 阈值与驱动器电源电压的关系

## 典型性能特征

测试条件:  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V}$ 、 $V_{OUT}=1.8\text{ V}$ 、 $L_{OUT}=250\text{ nH}$ 、 $T_A=25^\circ\text{C}$  且为自然对流冷却, 除非另有说明。

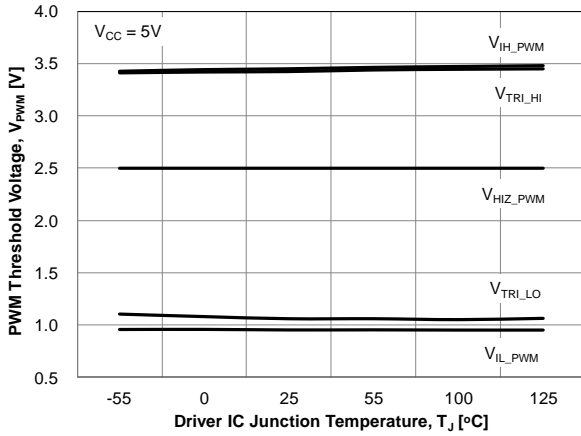


图 16. PWM 阈值与温度的关系

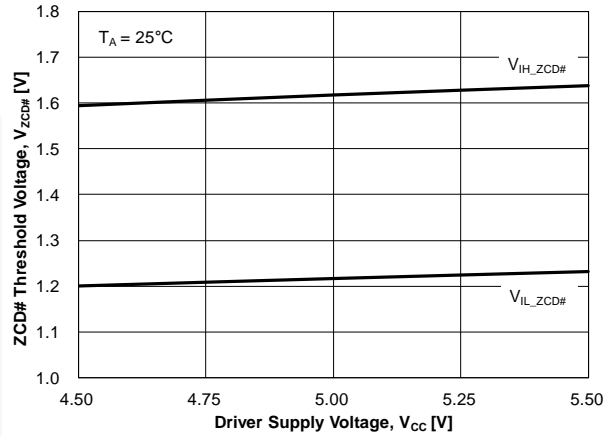


图 17. ZCD# 阈值与驱动器电源电压的关系

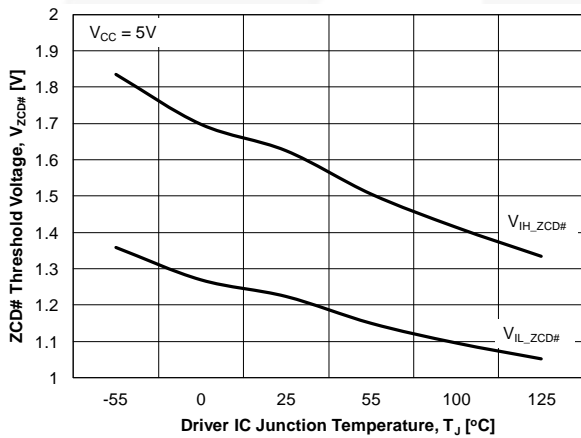


图 18. ZCD# 阈值与温度的关系

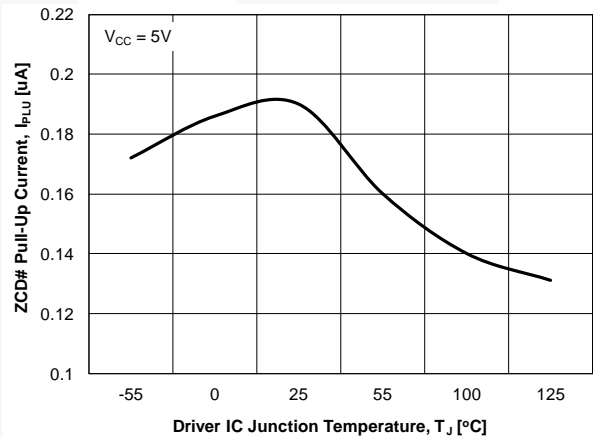


图 19. ZCD# 上拉电流与温度的关系

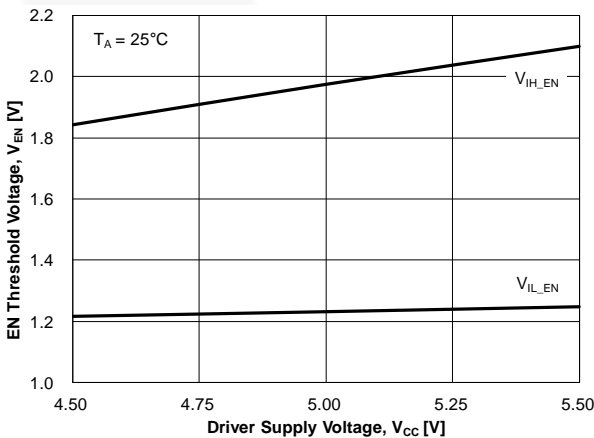


图 20. EN 阈值与驱动器电源电压的关系

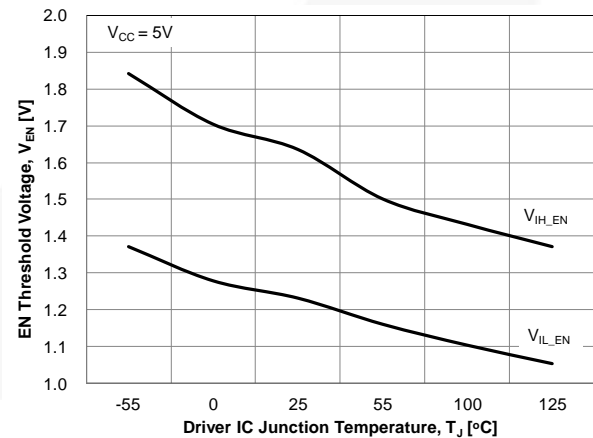


图 21. EN 阈值与温度的关系

## 典型性能特征

测试条件:  $V_{IN}=12\text{ V}$ 、 $V_{CC}=PV_{CC}=5\text{ V}$ 、 $V_{OUT}=1.8\text{ V}$ 、 $L_{OUT}=250\text{ nH}$ 、 $T_A=25^\circ\text{C}$  且为自然对流冷却, 除非另有说明。

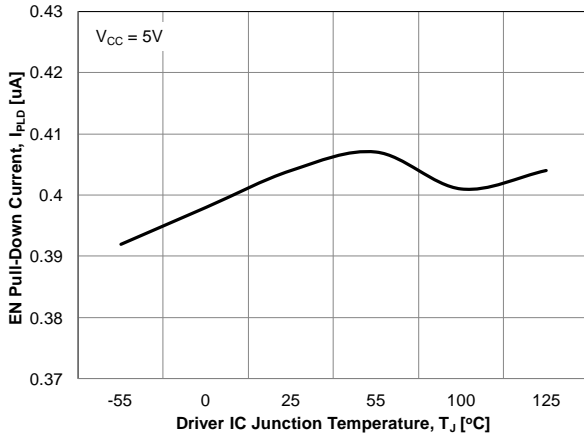


图 22. EN 下拉电流与温度的关系

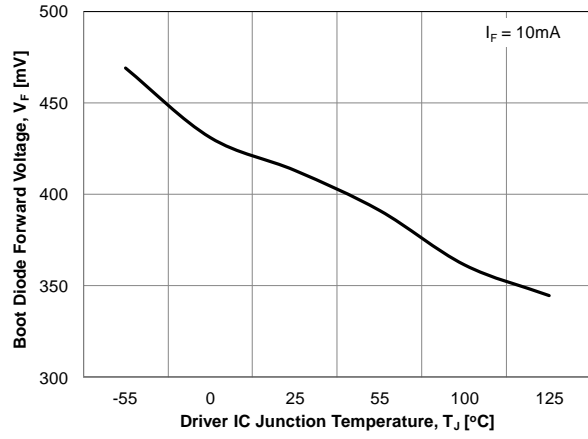


图 23. 自举二极管正向电压与温度的关系

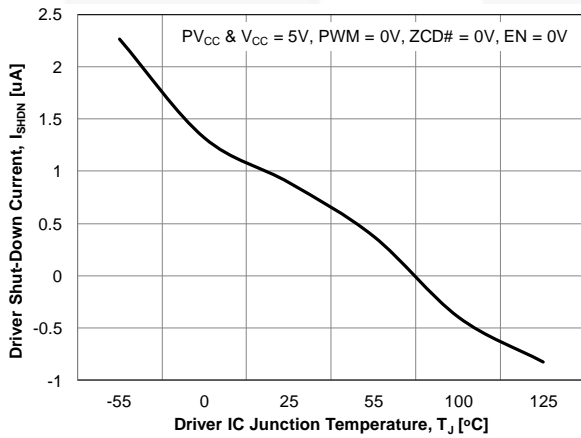


图 24. 驱动器关断电流与温度的关系

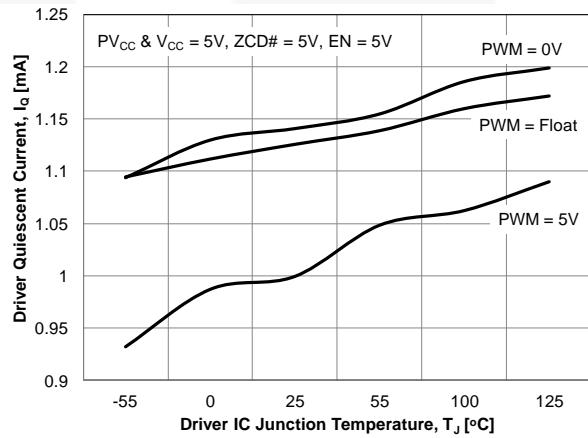


图 25. 驱动器静态电流与温度的关系

## 功能说明

SPS FDMF5823DC 是一个驱动器加 MOSFET 模块，已针对同步降压转换器拓扑进行优化。需要一个 PWM 输入信号来正确驱动高侧和低侧 MOSFET。该部分能够驱动高达 1.5 MHz 的频率。

### 上电复位 (POR)

PWM 输入级应该包含 POR 特性，从而确保 LDRV 和 HDRV 在  $UVLO > \sim 3.8\text{ V}$  (上升阈值) 之前被强制为非活动状态 ( $LDRV=HDRV=0$ )。待所有栅极驱动模块完全上电并且已完成启动时序，内部驱动器 IC EN\_PWM 信号就被释放为高电平，允许驱动器输出。一旦驱动器上电复位完成 ( $< 20\ \mu\text{s}$  最大值)，驱动器继承 PWM 信号的状态 (假定启动期间，控制器处于高电阻状态或强制 PWM 信号位于驱动器三态窗口以内)。

正常启动/上电必须支持下面三个条件。

- $V_{CC}$  上升至 5 V，然后 EN 变为高电平；
- EN 引脚绑定至  $V_{CC}$  引脚；
- 在 5 V  $V_{CC}$  达到 UVLO 上升阈值之前，EN 被指令控制为高电平。

POR 方法旨在提高  $V_{CC}$ ，使  $UVLO >$  上升阈值，且  $EN=HIGH$ 。

### 欠压锁定 (UVLO)

UVLO 只在  $V_{CC}$  上进行，而不在  $PV_{CC}$  或  $V_{IN}$  上进行。当 EN 设置为高电平且  $V_{CC}$  上升超过 UVLO 阈值电平 (3.8 V)，该部分在最大  $20\ \mu\text{s}$  POR 延迟后开始开关运行。该延迟的目的是确保内部电路偏置、稳定，并且已准备就绪可以运行。提供两个  $V_{CC}$  引脚： $PV_{CC}$  和  $V_{CC}$ 。栅极驱动器电路由  $PV_{CC}$  电轨供电。用户通过一个低通 R-C 滤波器将  $PV_{CC}$  连接至  $V_{CC}$ 。IC 上的模拟电路提供一个滤波后的 5 V 偏压。

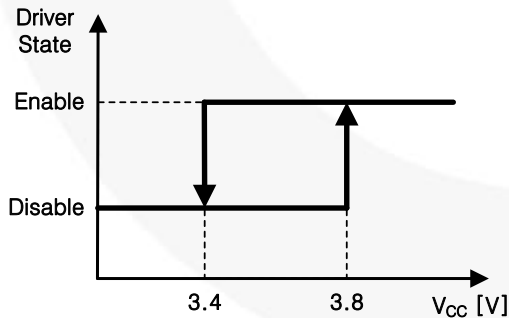


图 26.  $V_{CC}$  上的欠压锁定

### EN / FAULT# (启用/故障标识)

通过将 EN / FAULT# 引脚拉至低电平 ( $EN < V_{IL\_EN}$ ) 可禁用驱动器，这时不管 PWM 输入状态如何都会保持 GL 和 GH 低电平。通过将 EN / FAULT# 引脚升至高电平 ( $EN > V_{IH\_EN}$ ) 可启用驱动器。禁用时，驱动器 IC 具有小于  $3\ \mu\text{A}$  的关断电流。重新启用驱动器后，需要最长  $20\ \mu\text{s}$  的启动时间。

EN / FAULT# 引脚为故障标识的开漏输出，带有一个  $250\ \text{k}\Omega$  的内部下拉电阻。需要 PWM 控制器发出的逻辑高信号或从 EN / FAULT# 引脚到  $V_{CC}$  的  $\sim 10\ \text{k}\Omega$  外部上拉电阻来启动驱动器运行。

表 1. UVLO 和启用逻辑

UVLO	EN	驱动器状态
0	X	禁用 ( $GH \& GL = 0$ )
1	0	禁用 ( $GH \& GL = 0$ )
1	1	启用 (参见表 2)
1	打开	禁用 ( $GH \& GL = 0$ )

EN / FAULT# 引脚有两个功能：启用/禁用驱动器和故障标识。故障标识信号为低电平有效。当驱动器在运行期间检测到故障状况，它会导通 EN / FAULT# 引脚上的开漏并且引脚电压被拉至低电平。故障状况如下：

- 低侧 MOSFET 导通期间，高侧 MOSFET 错误导通或者  $V_{IN} \sim SW$  短路；
- 因驱动器  $T_J$  为  $150^\circ\text{C}$  出现热关断

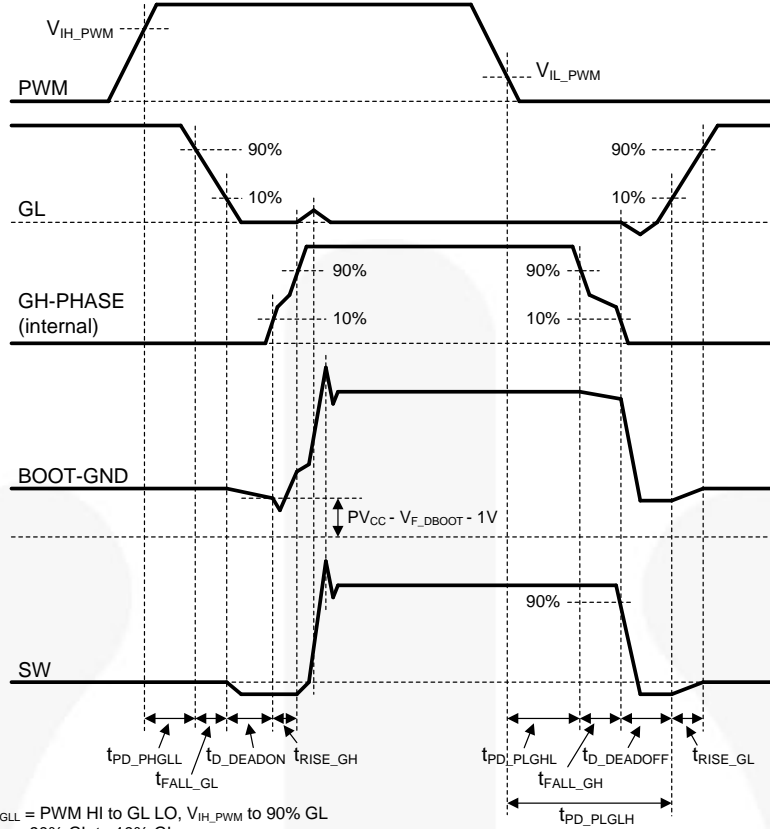
当驱动器检测到一个故障状况并自行禁用，需要  $V_{CC}$  上的 POR 事件来重新启动驱动器运行。

### 三态 PWM 输入

FDMF5823DC 整合了三态 5 V PWM 输入栅极驱动设计。三态栅极驱动同时具有逻辑高和低电平，以及三态关断窗口。当 PWM 输入信号进入并且保持在三态窗口内的时间为已定义的保持时间 ( $t_{D\_HOLD-OFF}$ ) 时，GL 和 GH 都被拉至低电平。该特性允许栅极驱动同时关断高侧和低侧 MOSFET，从而支持诸如扩相等功能，扩相是多相稳压器上的一个常见功能。

表 2. EN/PWM/三态/ZCD# 逻辑状态

EN	PWM	ZCD#	GH	GL
0	X	X	0	0
1	3 态	X	0	0
1	0	0	0	1 ( $IL > 0$ ), 0 ( $IL < 0$ )
1	1	0	1	0
1	0	1	0	1
1	1	1	1	0



$t_{PD\_PHGLL}$  = PWM HI to GL LO,  $V_{IH\_PWM}$  to 90% GL  
 $t_{FALL\_GL}$  = 90% GL to 10% GL  
 $t_{D\_DEADON}$  = LS Off to HS On Dead Time, 10% GL to  $V_{BOOT-GND} \leq PV_{CC} - V_{F\_DBOOT} - 1V$  or BOOT-GND dip start point  
 $t_{RISE\_GH}$  = 10% GH to 90% GH,  $V_{BOOT-GND} \leq PV_{CC} - V_{F\_DBOOT} - 1V$  or BOOT-GND dip start point to GL bounce start point  
 $t_{PD\_PLGHL}$  = PWM LO to GH LO,  $V_{IL\_PWM}$  to 90% GH or BOOT-GND decrease start point,  $t_{PD\_PLGLH} - t_{D\_DEADOFF} - t_{FALL\_GH}$   
 $t_{FALL\_GH}$  = 90% GH to 10% GH, BOOT-GND decrease start point to 90%  $V_{SW}$  or GL dip start point  
 $t_{D\_DEADOFF}$  = HS Off to LS On Dead Time, 90%  $V_{SW}$  or GL dip start point to 10% GL  
 $t_{RISE\_GL}$  = 10% GL to 90% GL  
 $t_{PD\_PLGLH}$  = PWM LO to GL HI,  $V_{IL\_PWM}$  to 10% GL

图 27. PWM 时序图

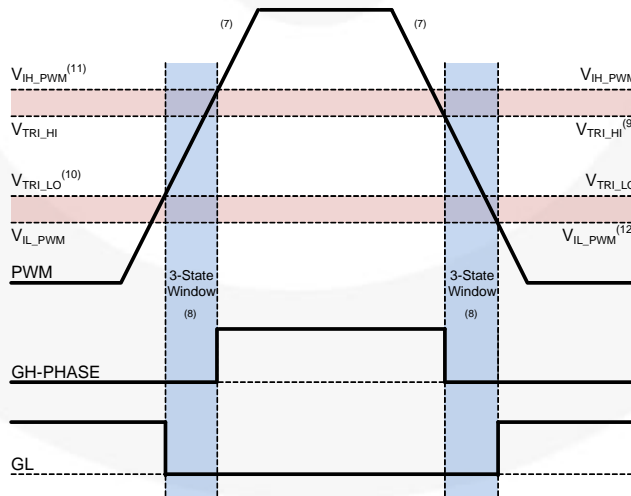


图 28. PWM 阈值定义

**注意:**

7. 图 28 中的时序假定 PWM 的斜坡非常缓和。
8. 较缓的 PWM 斜坡表示 PWM 信号保持在三态窗口内的时间  $\gg t_{D\_HOLD-OFF}$ 。
9.  $V_{TRI\_HI}$  是在 PWM 下降沿进入三态的 PWM 触发电平。
10.  $V_{TRI\_LO}$  是在 PWM 上升沿进入三态的 PWM 触发电平。
11.  $V_{IH\_PWM}$  是在 PWM 上升沿退出三态并进入 PWM 逻辑高状态的 PWM 触发电平。
12.  $V_{IL\_PWM}$  是在 PWM 下降沿退出三态并进入 PWM 逻辑低状态的 PWM 触发电平。

## 上电顺序

SPS FDMF5823DC 需要四个 (4) 输入信号, 进行正常的开关运行:  $V_{IN}$ 、 $V_{CC}$  /  $PV_{CC}$ 、PWM 和 EN。PWM 不应  $V_{CC}$  之前应用和 PWM 的幅度不应该超过  $V_{CC}$  更高。他们的权力序列的所有其他组合被允。下面的上电顺序实例可作为参考应用设计:

- 从没有输入信号开始
  - >  $V_{IN}$  导通: 典型  $12 V_{DC}$
  - >  $V_{CC}$  /  $PV_{CC}$  导通: 典型  $5 V_{DC}$
  - > EN 高电平: 典型  $5 V_{DC}$
  - > PWM 信号:  $5 V$  高电平 /  $0 V$  低电平

$V_{IN}$  引脚绑定至系统主要直流电源电轨。

$PV_{CC}$  和  $V_{CC}$  引脚绑定在一起, 向栅极驱动和逻辑电路提供来自系统  $V_{CC}$  电轨的电源。或者,  $PV_{CC}$  引脚可以直接绑定至系统  $V_{CC}$  电轨, 并且  $V_{CC}$  引脚通过位于  $PV_{CC}$  引脚和  $V_{CC}$  引脚之间的滤波电阻由  $PV_{CC}$  引脚供电。滤波电阻能够减少从  $PV_{CC}$  到  $V_{CC}$  的开关噪声影响。

EN 引脚可以通过一个外部上拉电阻绑定至  $V_{CC}$  电轨, 并且一旦  $V_{CC}$  电轨导通, 该引脚则保持高电平。或者, EN 引脚可以直接连接至 PWM 控制器, 用于其它用途。

## 高侧驱动器

高侧驱动器 (HDRV) 设计用来驱动一个浮置 N 沟道 MOSFET (Q1)。高侧驱动器的偏置电压由自举电源电路形成, 该电路包含内部肖特基二极管和外部自举电容器 ( $C_{BOOT}$ )。启动期间, SW 节点保持在 PGND, 允许  $C_{BOOT}$  通过内部自举二极管向  $PV_{CC}$  充电。当 PWM 输入变为高电平时, HDRV 开始向高侧 MOSFET 的栅极 (内部 GH 引脚) 充电。在该过渡过程中, 电荷从  $C_{BOOT}$  中移除, 并传输至 Q1 的栅极。当 Q1 导通时, SW 升至  $V_{IN}$ , 迫使 BOOT 引脚达到  $V_{IN} + V_{BOOT}$ , 从而为 Q1 提供充分的  $V_{GS}$  增强。为了完成开关周期, 通过将 HDRV 拉至 SW 关断 Q1。当 SW 跌至 PGND 时,  $C_{BOOT}$  重新充电至  $PV_{CC}$ 。HDRV 输出与 PWM 输入同相。当驱动器被禁用或 PWM 信号保持在三态窗口的时间超过三态保持时间  $t_{D\_HOLD-OFF}$  时, 高侧栅极保持在低电平。

## 低侧驱动器

低侧驱动器 (LDRV) 设计用于驱动以大地为基准, 低  $R_{DS(ON)}$ , N 沟道 MOSFET (Q2) 栅源极。LDRV 的内部偏置在内部连接于  $PV_{CC}$  与 AGND 之间。当启用驱动器时, 驱动器输出与 PWM 输入之间的相移为  $180^\circ$ 。当禁用驱动器时 (EN = 0 V), LDRV 保持低电平。

### 连续电流模式 2 (CCM2) 运行

SPS FDMF5823DC 低侧驱动器设计的一个主要特性是能够在检测到负电感电流时控制低侧栅极驱动器部分, 称为 CCM2 运行。这是通过 ZCD 比较器信号实现的。按比例缩减驱动强度的主要原因是在低侧 MOSFET 硬开关电感电流时限制  $V_{DS}$  峰值应力。该  $V_{DS}$  峰值应力是包含大量负载瞬态和快速广泛的输出电压调节的应用中存在的问题。

SPS FDMF5823DC 的 MOSFET 栅极驱动器在三种模式中的一种模式下运行, 如下所述。

### 包含正电感电流的连续电流模式 1 (CCM1)

在这种模式下, 电感电流总是流向输出电容器, 尤其是在重载功率级。高侧 MOSFET 通过传导电感电流的低侧体二极管导通, 并且 SW 大约为低于接地电压的  $V_F$ , 这意味着硬开关导通和关断高侧 MOSFET。

### 非连续电流模式 (DCM)

通常在轻载功率级, 高侧 MOSFET 在零电感电流时导通, 随电感电流斜坡上升, 然后再在每个开关周期回到零电流。当高侧 MOSFET 在 DCM 模式运行下导通时, SW 节点可能为低于接地电压的  $V_F$  到高于  $V_{IN}$  的  $V_F$  之间的任意电压。这是因为在低侧 MOSFET 关断后, SW 节点电容随电感电流谐振。

不管 SW 节点电压如何, 驱动器 IC 中的电平转换器应该能够导通高侧 MOSFET。在这种情况下, 高侧 MOSFET 关断正电流。

在该模式期间, LDRV1 和 LDRV2 并联运行并且低侧栅极驱动器上拉和下拉电阻以全强度运行。

### 包含负电感电流的连续电流模式 2 (CCM2)

该模式通常用于同步降压转换器中, 将能量从输出电容器中取出, 然后将能量传输至输入电容器 (间歇模式)。在这种模式下, 当低侧 MOSFET 关断时, 电感电流是负向的 (即流向 MOSFET) (当高侧 MOSFET 导通时也可能为负向)。这种情况会导致, 当高侧 MOSFET 用作同步整流器 (暂时运行在同步间歇模式下) 时, 低侧 MOSFET 进行硬开关。

在该模式期间, 只有“较弱的”LDRV2 用于低侧 MOSFET 导通和关断。目的是在进行硬开关以减少  $V_{DS}$  应力时, 减缓低侧 MOSFET 的开关速度。

### CCM1 / DCM / CCM2 模式下的死区时间

驱动器 IC 设计确保最短 MOSFET 死区时间, 同时去掉潜在的穿通 (交叠导通) 电流。为了确保最佳的模块效率, 必须在 CCM1 和 DCM 模式运行期间将体二极管导通时间缩短至很小的毫微秒范围。当在与 CCM1 / DCM 不同的模式下运行功率 MOSFET 时, CCM2 模式会改变栅极驱动电阻。必须考虑改变后的死区时间运行。

### CCM1 / DCM 模式下，低侧 MOSFET 关断到高侧 MOSFET 导通死区时间

为了防止在低侧 MOSFET 关断到高侧 MOSFET 导通开关过渡过程中出现交叠，采用一个自适应电路监控 GL 引脚电压。当 PWM 信号变为高电平时，GL 在一个传输延迟 ( $t_{PD\_PHGLL}$ ) 后变为低电平。一旦 GL 引脚放电至低于  $\sim 1 - 2\text{ V}$ ，GH 在一个自适应延迟  $t_{D\_DEADON}$  后被拉至高电平。

在某些情况下，ZCD# 上升沿信号领先 PWM 上升沿几十毫微秒，这会导致出现 GH 和 GL 交叠。当 PWM 控制器发送领先、滞后的或同步的 PWM 和 ZCD# 信号时，可能出现这种情况。为了避免这种现象，添加另外一个固定传输延迟 ( $t_{FD\_ON1}$ )，确保在低侧 MOSFET 关断到高侧 MOSFET 导通之间总是存在最小延迟。

### CCM2 模式下，低侧 MOSFET 关断到高侧 MOSFET 导通死区时间

如 CCM2 模式运行章节所述，在检测到 CCM2 模式时，低侧驱动器强度可以调整。CCM2 特性能够减缓低侧 MOSFET 的充电和放电过程，从而在低侧 MOSFET 硬开关（负电感电流）期间最大程度地减少峰值开关电

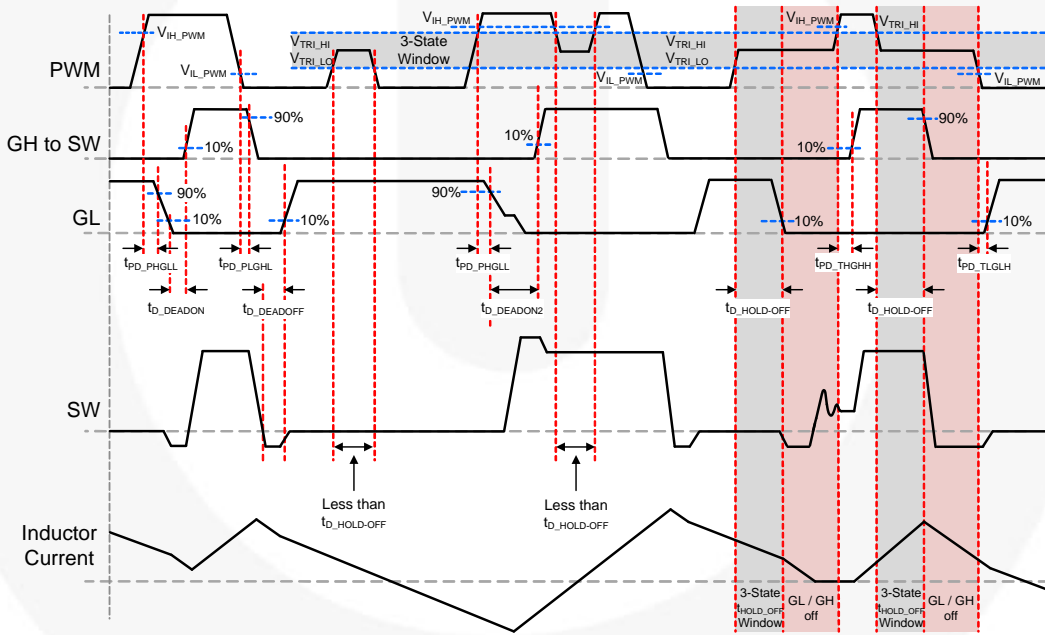
压过冲。为了避免交叠导通，低侧栅极的降速还需要调整（增加）低侧 MOSFET 关断到高侧 MOSFET 导通之间的死区时间。实现一个相当长的固定死区时间 ( $t_{FD\_ON2}$ )，以确保在 CCM2 模式运行期间不存在交叠导通。

### CCM1 / DCM 模式下，高侧 MOSFET 关断到低侧 MOSFET 导通死区时间

为了在高侧 MOSFET 关断到低侧 MOSFET 导通过渡过程中获得非常短的死区时间，需要在 SPS 栅极驱动器中实现一个固定的死区时间方法。固定死区时间电路监控内部 HS 信号，并且不管 SW 节点状态如何都会在所需  $t_{D\_DEADOFF}$  ( $\sim 5\text{ ns}$ ,  $t_{D\_DEADOFF} = t_{FD\_OFF1}$ )，后添加一个足够长的固定延迟至 GL 栅极。

### 退出三态状况

当退出有效的三态状况时，FDMF5823DC 的栅极驱动器会执行 PWM 输入指令。如果 PWM 输入由三态变为低电平，则导通低侧 MOSFET。如果 PWM 输入由三态变为高电平，则导通高侧 MOSFET。如下面图 29 所示。



#### NOTES:

$t_{PD\_XXX}$  = propagation delay from external signal (PWM, ZCD#, etc.) to IC generated signal. Example :  $t_{PD\_PHGLL}$  - PWM going HIGH to low-side MOSFET  $V_{GS}$  (GL) going LOW  
 $t_{D\_XXX}$  = delay from IC generated signal to IC generated signal. Example :  $t_{D\_DEADON}$  - low-side MOSFET  $V_{GS}$  LOW to high-side MOSFET  $V_{GS}$  HIGH

#### PWM

$t_{PD\_PHGLL}$  = PWM rise to LS  $V_{GS}$  fall,  $V_{IL\_PWM}$  to 90% LS  $V_{GS}$   
 $t_{PD\_PLGHL}$  = PWM fall to HS  $V_{GS}$  fall,  $V_{IL\_PWM}$  to 90% HS  $V_{GS}$   
 $t_{PD\_PHGHH}$  = PWM rise to HS  $V_{GS}$  rise,  $V_{IH\_PWM}$  to 10% HS  $V_{GS}$  (ZCD# held LOW)

#### ZCD#

$t_{PD\_ZLGLL}$  = ZCD# fall to LS  $V_{GS}$  fall,  $V_{IL\_ZCD#}$  to 90% LS  $V_{GS}$   
 $t_{PD\_ZLGLH}$  = ZCD# rise to LS  $V_{GS}$  rise,  $V_{IH\_ZCD#}$  to 10% LS  $V_{GS}$

#### Exiting 3-State

$t_{PD\_TSGHH}$  = PWM 3-State to HIGH to HS  $V_{GS}$  rise,  $V_{IH\_PWM}$  to 10% HS  $V_{GS}$   
 $t_{PD\_TLGLH}$  = PWM 3-State to LOW to LS  $V_{GS}$  rise,  $V_{IL\_PWM}$  to 10% LS  $V_{GS}$

#### Dead Times

$t_{D\_DEADON}$  = LS  $V_{GS}$  fall to HS  $V_{GS}$  rise, LS-Comp trip value to 10% HS  $V_{GS}$   
 $t_{D\_DEADOFF}$  = SW fall to LS  $V_{GS}$  rise, SW-Comp trip value to 10% LS  $V_{GS}$

图 29. PWM 高电平/低电平/三态时序图

### 以较低的 BOOT-SW 电压退出三态

SPS 模块用于多相 VR 拓扑中，需要该模块在三态状况中等待一个不确定的时间。较长的空闲时间会致使自举电容器逐渐放电，直至根据  $PV_{CC}$  和  $V_{OUT}$  最终出现钳位。较低的 BOOT-SW 电压可能导致电平转换电路以及所有 HDRV 浮置电路的传输延迟增加，是从 BOOT-SW 电轨偏置。逐渐耗尽的 BOOT-SW 电容器电压还可能导致另一个问题，即在导通期间施加到 HS MOSFET 栅极的电压。较低的 BOOT-SW 电压会导致非常弱的 HS 栅极驱动，因此，会增大 HS  $R_{DS(ON)}$  并增加不可靠运行的风险，这是因为如果 BOOT-SW 跌得太低，HS MOSFET 可能不会导通。

为了解决这个问题，当模块在三态状况时，SPS 监控较低的 BOOT-SW 电压。当模块以较低的 BOOT-SW 电压退出三态状况时，不管 PWM 输入如何都会输出一个 100 ns 的最短 GL 导通时间。这样就能确保自举电容器会被充分充电至一个安全的工作电平并且最小化对系统瞬态响应的影响。下面列举退出三态状况的场景。

- 如果该部分以较低的 BOOT-SW 电压退出三态状况并且控制器发出 PWM=HIGH 的指令，SPS 会输出一个 100 ns 的 GL 脉冲并且执行 PWM=HIGH 指令（参见图 30）。
- 如果该部分以较低的 BOOT-SW 电压退出三态状况并且控制器发出 PWM=LOW 指令的时间为 100 ns 或更长，SPS 执行 PWM 输入指令。如果 PWM=LOW 的时间少于 100 ns，GL 保持导通 100 ns，然后执行 PWM 输入指令（参见图 31 和图 32）。
- 如果未检测到低 BOOT-SW 电压状况，在退出三态时，SPS 执行 PWM 指令（参见图 33）。

在退出三态状况或在初始上电时，SPS 短暂停留在自适应死区时间模式中。自适应死区时间模式持续时间不超过两个 (2) 连续的开关周期，从而为自举电容器提供足够的时间充电至一个安全的电平。模块会切换回固定的死区时间控制，从而实现最大的效率。

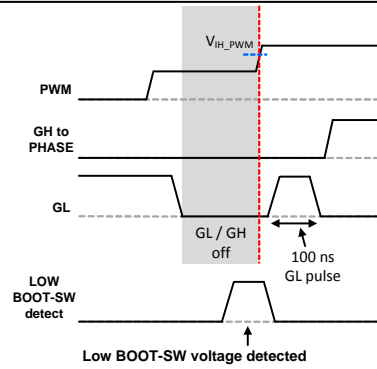


图 30. 检测到较低的 BOOT-SW 电压并且 PWM 从三态变为高电平

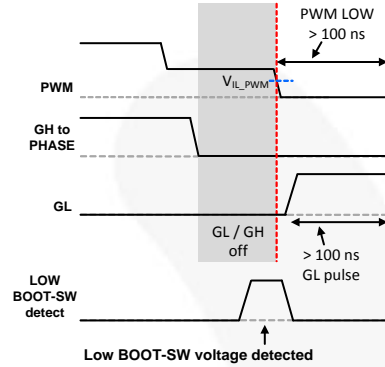


图 31. 检测到较低的 BOOT-SW 电压并且 PWM 从三态变为低电平的时间超过 100 ns

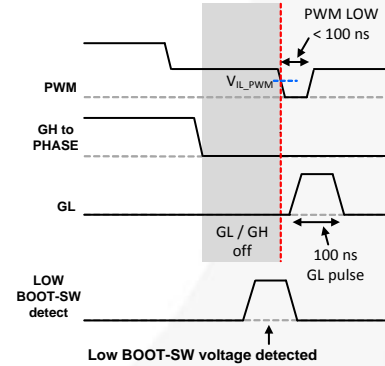


图 32. 检测到较低的 BOOT-SW 电压并且 PWM 从三态变为低电平的时间少于 100 ns

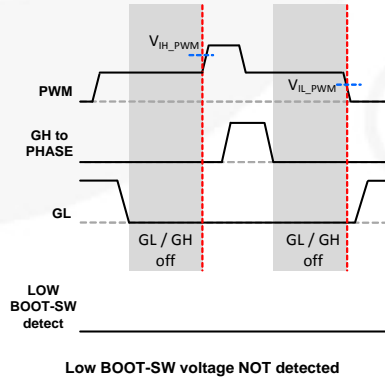


图 33. 未检测到较低的 BOOT-SW 电压并且 PWM 从三态变为高电平或低电平

### 过零检测 (ZCD) 运行

ZCD 控制模块包含用于确定电感电流何时反向并且控制何时关断低侧 MOSFET 的电路。低偏移比较器在 LS MOSFET 导通期间监控低侧 MOSFET 的 SW 至 PGND 电压。当感测电压的极性从负改为正时，比较器会改变状态并且已检测到反向电流。该比较器偏移必须在最差为 0.5 mV 的范围内检测负  $V_{sw}$ 。负偏移用于确保电感电

流从不反向；一些小的体二极管导通更倾向于有负电流。

比较器在低侧栅极驱动上升沿过后导通，由低侧栅极驱动器的输入信号关断。这样一来，零电流比较器连接到一个先断后合连接，允许用低电压晶体管设计该比较器。

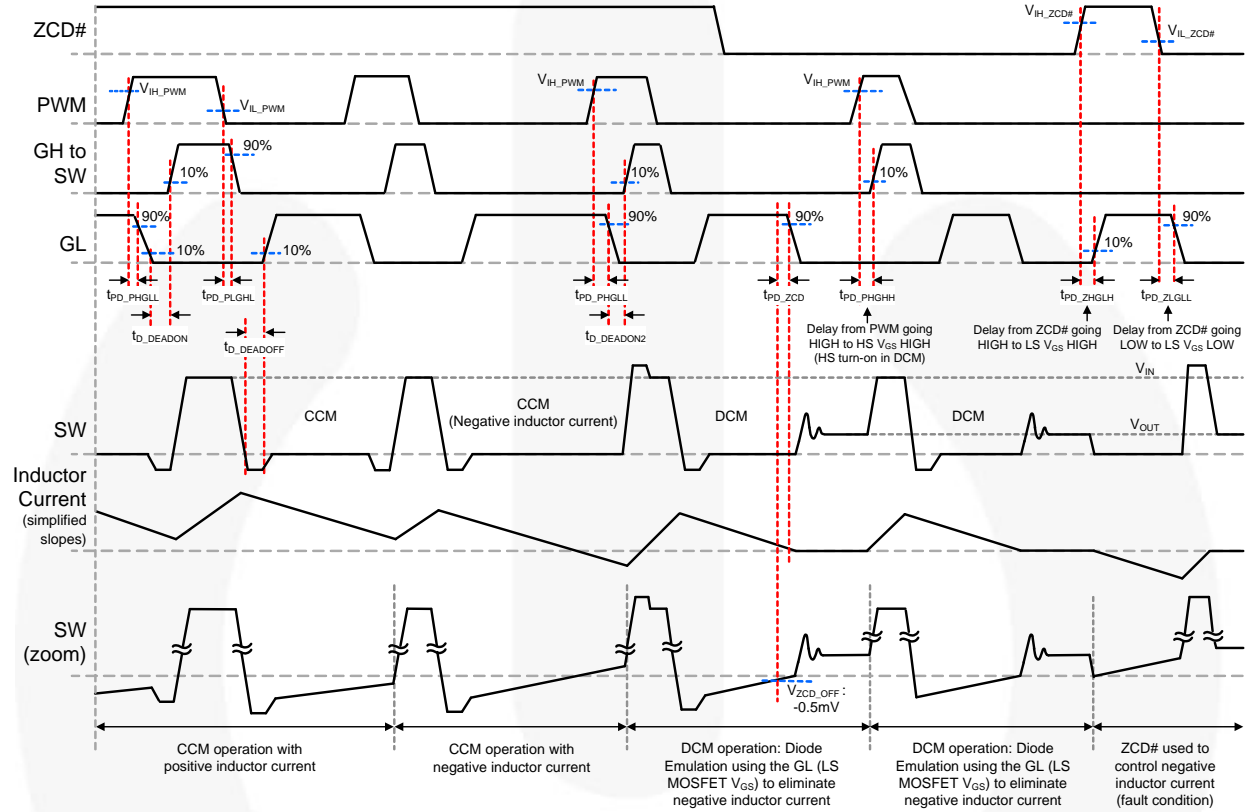


图 34. ZCD# & PWM 时序图

### 热警告标识 (THWN#)

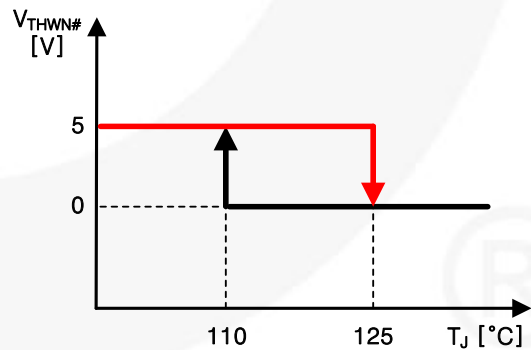
FDMF5823DC 提供一个针对过温状况的热警告 (THWN) 功能。如果驱动器 IC 检测到 125°C 激活温度，THWN 标识会将 THWN# 引脚拉至低电平（至 AGND）。一旦温度降至 110°C 重置温度，THWN# 引脚输出返回至高电阻状态。图 35 显示 THWN# 运行状况。THWN 不会禁用 SPS 模块并且独立于其它功能工作。

THWN 模式运行需要一个到  $V_{CC}$  电轨的上拉电阻。THWN# 标识低电平有效。

### 热关断 (THDN)

一旦驱动器  $T_J$  达到 150°C，就会触发预编程热关断。关断事件为门锁关断，其中 THDN 信号对故障门锁进行计时并且在物理上拉低 EN 引脚。

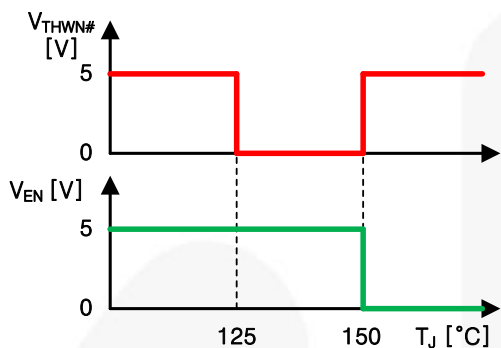
若要重新启用驱动器 IC，需要重新循环 5 V  $V_{CC}$  (POR 事件)。



\*  $R_{THWN\#} = 10\text{ k}\Omega$  to 5V  $V_{CC}$

图 35. 栅极驱动器  $T_J$  与  $V_{THWN\#}$  的关系

150°C THDN 特性与 125°C THWN# 标识相结合。如果驱动器温度达到 125°C，THWN# 引脚被拉至低电平。如果驱动器继续运行并且其温度上升至 150°C，会激活热关断。SPS 模块由 EN 低电平关断并且 THWN# 标识被去断言，因此  $V_{THWN\#}$  回到高电平。图 36 显示 THWN#、EN，和驱动器温度之间的关系。



- \*  $R_{THWN\#} = 10\text{ k}\Omega$  to 5V VCC
- \*  $R_{EN} = 10\text{ k}\Omega$  to 5V VCC

图 36.  $V_{THWN\#}$ 、 $V_{EN}$  与驱动器温度之间的关系

### 灾难性故障

SPS FDMF5823DC 包含一个灾难性故障特性。如果检测到 HS MOSFET 短路，驱动器会在内部拉低 EN/FAULT# 引脚并关断 SPS 驱动器。目的是实现一个基本电路，通过监控 LDRV 和 SW 节点状态测试 HS MOSFET 短路。

如果检测到 HS 短路故障，SPS 模块会对故障门锁进行计时，关断模块。若要重启该模块，需要一个  $V_{CC}$  POR 事件。

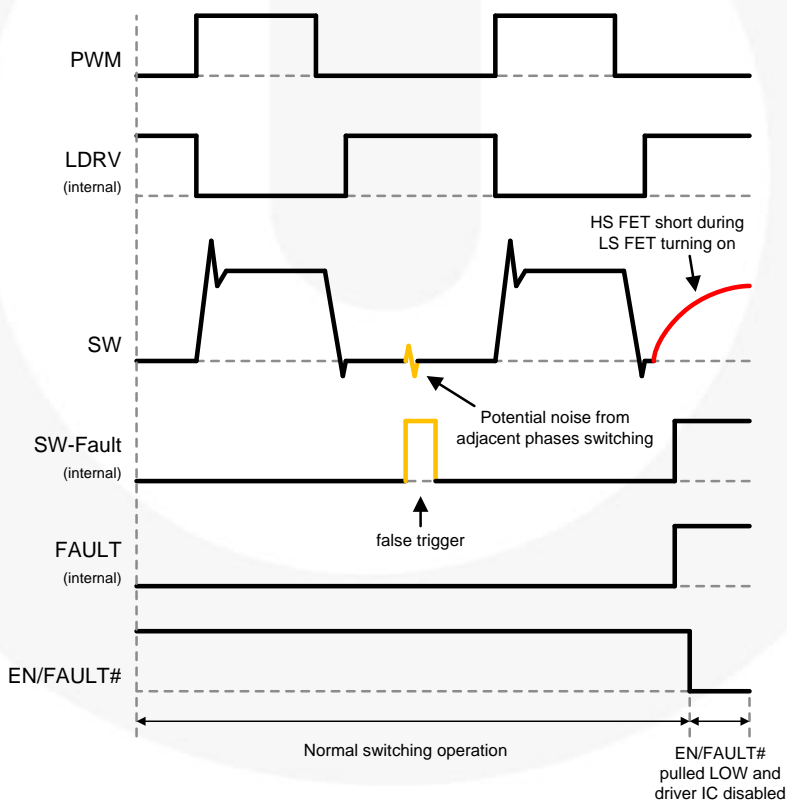


图 37. 灾难性故障波形

## 应用信息

### PVCC 和 VCC 去耦合电容器

对于电源输入 (PVCC 和 VCC 引脚), 需要局部去耦合电容器在开关运行过程中提供峰值驱动电流, 减少噪声。将至少  $0.68 \sim 1 \mu\text{F}$  / 0402 ~ 0603 / X5R ~ X7R 多层陶瓷电容器用于两个电源电轨。使这些电容器靠近 PVCC 和 VCC 引脚以及 PGND 和 AGND 覆铜面。如果需要将这些电容器放置在电路板底面, 在去耦合电容器的每个焊盘上设置通孔, 使底部的电容器焊盘连接至顶部的 PVCC 和 VCC 引脚。

PVCC 和 VCC 的电源电压范围是  $4.5 \text{ V} \sim 5.5 \text{ V}$ , 常规应用的典型电压是  $5 \text{ V}$ 。

### VCC 上的 R-C 滤波器

PVCC 引脚提供高侧和低侧功率 MOSFET 的栅极驱动电源。多数情况下, PVCC 可以直连至 VCC, 该引脚为驱动器的模拟和逻辑模块提供电源。为了避免开关噪声从 PVCC 注入 VCC, 可在 PVCC 和 VCC 去耦合电容器之间插入一个滤波电阻。

推荐滤波电阻取值范围是  $0 \sim 10 \Omega$ , 多数应用的典型值为  $0 \Omega$ 。

### 自举电路

自举电路采用一个电荷存储电容器 ( $C_{\text{BOOT}}$ )。一个  $0.1 \sim 0.22 \mu\text{F}$  / 0402 ~ 0603 / X5R ~ X7R 的自举电容器通常适用于多数开关应用。具体应用可能需要一个串联自举电阻, 从而降低高侧 MOSFET 的开关速度。当 SPS 的开关电压超过  $15 \text{ V } V_{\text{IN}}$  时或者能够有效控制  $V_{\text{SW}}$  过冲时, 需要自举电阻。通常推荐采用零至  $6 \Omega$  的  $R_{\text{BOOT}}$  值, 以减少 SW 节点上的过多电压尖峰和振铃。由于高侧 MOSFET 较高的开关损耗, 较高的  $R_{\text{BOOT}}$  值可能导致效率降低。

不要在 BOOT 引脚和 GND 之间添加电容器或电阻器。

### EN / FAULT# (输入/输出)

通过将 EN 引脚拉至高电平启用 SPS 中的驱动器。EN 引脚有  $250 \text{ k}\Omega$  的内部下拉电阻, 因此需要通过一个外部电阻器上拉至  $V_{\text{CC}}$ , 或连接至控制器或系统, 以执行它们发出的指令。如果 EN 引脚浮置, 该引脚就不能导通驱动器。

当驱动器温度达到 THDN 温度或者出现高侧 MOSFET 故障时, 故障标识低电平信号在 EN / FAULT# 引脚上被断言。然后, 驱动器关断。

EN ~ VCC 上的典型上拉电阻值是  $10 \text{ k}\Omega$ 。不要在 EN 引脚上添加噪声滤波电容器。

### PWM (输入)

PWM 引脚识别 PWM 控制器发出的三个不同逻辑电平: 高电平、低电平、三态。当 PWM 引脚接收一个高电平指令, 栅极驱动器导通高侧 MOSFET。当 PWM 引脚接收一个低电平指令, 栅极驱动器导通低侧 MOSFET。当 PWM 引脚接收到一个三态窗口 ( $V_{\text{TRL\_Window}}$ ) 内的电压信号并且超过了三态延迟时间, 栅极驱动器同时关断高侧和低侧 MOSFET。为了识别控制器发出的高电阻三态信号, PWM 引脚包含一个从 VCC 到 PWM, 然后到 AGND 的电阻分压器。当控制器发出的 PWM 信号为高电阻时, 电阻分压器在 PWM 引脚上设置一个三态窗口内的电压电平。

### ZCD# (输入)

当 ZCD# 引脚设置为高电平时, ZCD 功能被禁用, 并且高侧和低侧 MOSFET 在 CCM (或 FCCM (强制 CCM) 模式) 下根据 PWM 信号进行开关。当 ZCD# 引脚为低电平时, 在低侧 MOSFET 导通期间, 低侧 MOSFET 在 SPS 驱动器检测到负电感电流时关断。该 ZCD 特性允许在轻载状况和 PFM/DCM 模式运行时提高转换器效率。

ZCD# 引脚有一个来自 VCC 的内部电流源, 因此它可以无需使用外部上拉电阻。一旦向  $V_{\text{CC}}$  供电并且启用驱动器, ZCD# 引脚保持逻辑高电平, 无需外部元件, 并且驱动器在 CCM 或 FCCM 模式下进行开关运行。ZCD# 引脚可接地, 以便由 SPS 自己在 DCM 模式下进行自动二极管模拟, 或者可以将其连接到控制器或系统, 以执行它们发出的指令。

ZCD# ~ VCC 上的典型上拉电阻值为  $10 \text{ k}\Omega$ , 用于确保稳定的 ZCD# 高电平。如果不使用 ZCD 功能, 用一个上拉电阻将 ZCD# 引脚绑定至 VCC。不要在 ZCD# 引脚上添加任何噪声滤波电容器。

### THWN# (输出) / THDN

THWN# 引脚为开漏, 因此需要一个至 VCC 的外部上拉电阻。如果驱动器温度达到  $125^\circ\text{C}$ ,  $V_{\text{THWN#}}$  被拉至低电平。当驱动器  $T_{\text{J}}$  冷却至低于  $110^\circ\text{C}$  时,  $V_{\text{THWN#}}$  重新回到高电平。当驱动器  $T_{\text{J}}$  低于  $150^\circ\text{C}$  时, THWN# 标识运行。

在断言  $125^\circ\text{C}$  THWN 标识后, 如果驱动器  $T_{\text{J}}$  持续升高超过  $150^\circ\text{C}$ , 会激活热关断功能, 并且 SPS 模块被关断。该关断是一个门锁功能, 因此即使温度下降至  $25^\circ\text{C}$ , 驱动器仍保持关断。一旦激活 THDN, SPS 模块需要由  $V_{\text{CC}}$  POR 重新启用。

THWN# ~ VCC 典型上拉电阻是  $10 \text{ k}\Omega$ 。如果不使用 THWN# / THDN 功能, 将 THWN# 绑定至 GND。不要在 THWN# 引脚上添加噪声滤波电容器。

### 功耗和效率

图 38 显示功耗和效率测量的示意图。

功耗计算 和方程式示例:

$$\begin{aligned}
 P_{IN} &= (V_{IN} * I_{IN}) + (V_{CC} * I_{CC}) && [W] \\
 P_{SW} &= V_{SW} * I_{OUT} && [W] \\
 P_{OUT} &= V_{OUT} * I_{OUT} && [W] \\
 P_{LOSS\_MODULE} &= P_{IN} - P_{SW} && [W] \\
 P_{LOSS\_TOTAL} &= P_{IN} - P_{OUT} && [W] \\
 EFFI_{MODULE} &= (P_{SW} / P_{IN}) * 100 && [%] \\
 EFFI_{TOTAL} &= (P_{OUT} / P_{IN}) * 100 && [%]
 \end{aligned}$$

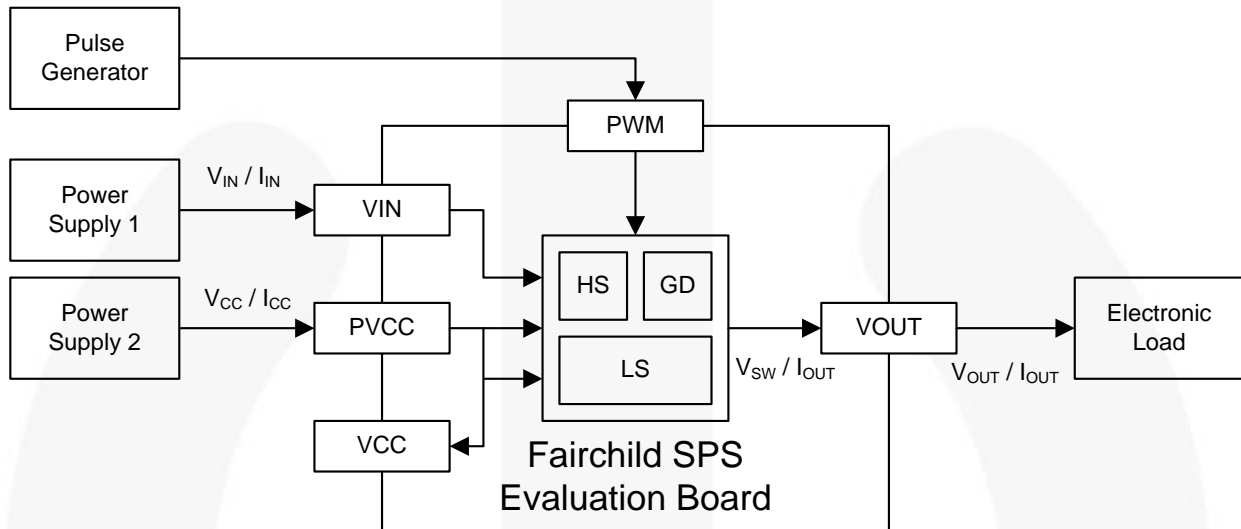


图 38. 功耗和效率测量示意图

## PCB 布局指南

图 39 至 图 42 提供了 FDMF5823DC 和关键元件的单相和多相布局示例。所有大电流路径如 VIN、SW、VOUT 和 GND 覆铜都应该尽量短而宽，以减小寄生电感和电阻。这有助于实现更加稳定、均匀分布的电流，以及增强的热辐射和系统性能。

输入陶瓷旁路电容器必须靠近 VIN 和 PGND 引脚。这是为了减少大电流电源回路电感和功率 MOSFET 开关运行感应的输入电流纹波。

SW 铜引线有两个用途。除了作为从 SPS 封装到输出电感器的高频电流路径，它还用作低侧 MOSFET 的散热器。引线应该足够短而宽，从而为 SPS 和电感器之间的高频大电流提供一个低电阻路径。短而宽的引线能够最大程度地减少电力损耗和 SPS 温升。SW 节点是具有高噪声电势的高电压高频率开关节点。必须注意最小化与相邻引线的耦合。由于铜引线用作低侧 MOSFET 的散热器，使用可能的最大面积进行平衡，从而改善 SPS 冷却效果，同时保持可以接受的噪声发射。

输出电感器应该靠近 FDMF5823DC 放置，以减少由 SW 铜引线产生的功耗。还应该注意电感器散热不会使 SPS 变热。

在输出级使用 PowerTrench® MOSFET，能够有效地最小化由于快速开关产生的振铃。多数情况下，无需在 SW 节点上使用 RC 缓冲电路。若要使用缓冲电路，该电路应该靠近 SW 和 PGND 引脚放置。缓冲电路的电阻器和电容器的大小必须合适，以确保不会因为高功耗产生过多热量。

PVCC、VCC 和 BOOT 电容器的去耦合电容器必须尽量靠近 PVCC ~ PGND、VCC ~ AGND 和 BOOT ~ PHASE 引脚对，以确保干净稳定的电源。它们的布线应该短而宽，以最小化 PCB 寄生电阻和电感。

电路板布局应该包含一个用于 BOOT ~ PHASE 小值串联自举电阻的占位符。自举回路的大小，包括串联  $R_{BOOT}$  和  $C_{BOOT}$ ，应该尽可能得小。

当 SPS 的工作电压超过  $15\text{ V }V_{IN}$  并且它能够有效控制高侧 MOSFET 导通压摆率和 SW 电压过冲时，可能需要一个自举电阻器。在同步降压设计中，由于地面反弹或较高的正负  $V_{SW}$  振铃，可能存在噪声问题， $R_{BOOT}$  可以改善其噪声运行余量。插入一个自举电阻能够降低 SPS 模块效率。必须考虑效率与开关噪声之间的关系。通常来说， $R_{BOOT}$  取值范围为  $0.5\ \Omega$  至  $6.0\ \Omega$  时能够有效减少  $V_{SW}$  过冲。

VIN 和 PGND 引脚通过高于 100 MHz 的频率元件来处理较大的电流瞬态。如果可能，这些引脚应该直连至 VIN 和电路板 GND 平面。不推荐采用降温引线与这些引脚串联，因为这会增加额外的寄生电感至电源路径。与 VIN 或 PGND 引脚串联增加的电感会增加正向和负向  $V_{SW}$  振铃，因而会降低系统的抗噪声能力。

PGND 焊盘和引脚应该通过多个过孔连接至 GND 覆铜面，以确保稳定接地。接地不良可能在 PGND 和 AGND 之间产生噪声和瞬态偏移电压电平。这可能会导致栅极驱动器和 MOSFET 故障运行。

BOOT 引脚振铃可以通过靠近放置自举电容器得到最有效的控制。不要在 BOOT 到 PGND 之间添加任何额外电容器。这可能会导致通过 BOOT 二极管的电流过大，进而导致较高的功耗。

ZCD# 和 EN 引脚分别具有较弱的上拉和下拉电流源。这些引脚不应有任何噪声滤波电容器。除非绝对必要，不要浮置这些引脚。

在 VIN 和 VOUT 覆铜区域设置多个过孔，以相互连接顶层、内层和底层，从而均匀分布电流和热传导。不要在 SW 覆铜区域设置太多过孔，以避免开关波形中出现额外寄生电感和噪声。只要效率和热性能可以接受，在顶层仅设置一个 SW 铜节点，不要在 SW 覆铜上设置过孔，以最小化开关节点寄生噪声。过孔应该相对较大，并且具有相当低的电感。关键高频元件，如  $R_{BOOT}$ 、 $C_{BOOT}$ 、RC 缓冲电路和旁路电容器应该尽可能地靠近 PCB 板顶层对应的 SPS 模块引脚。如果不可行，可以将它们设置在电路板底面，通过一个低电感过孔网络将它们的引脚从底部连接到顶部。

PCB 布局指南 (接上页)

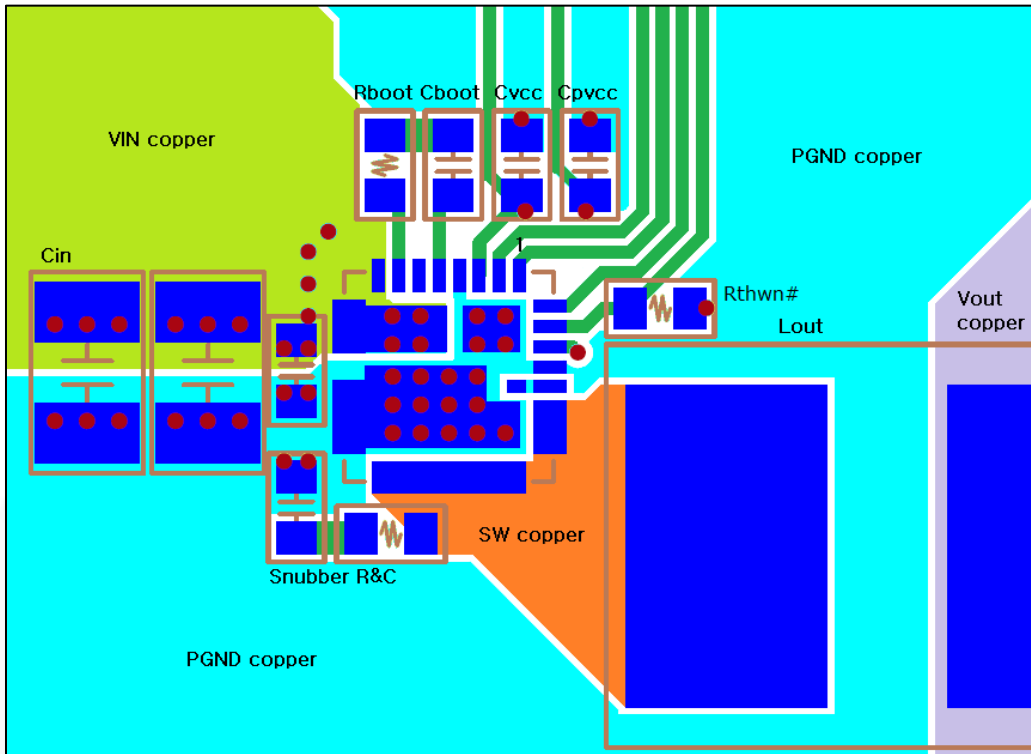


图 39. 单相电路板布局示例-俯视图

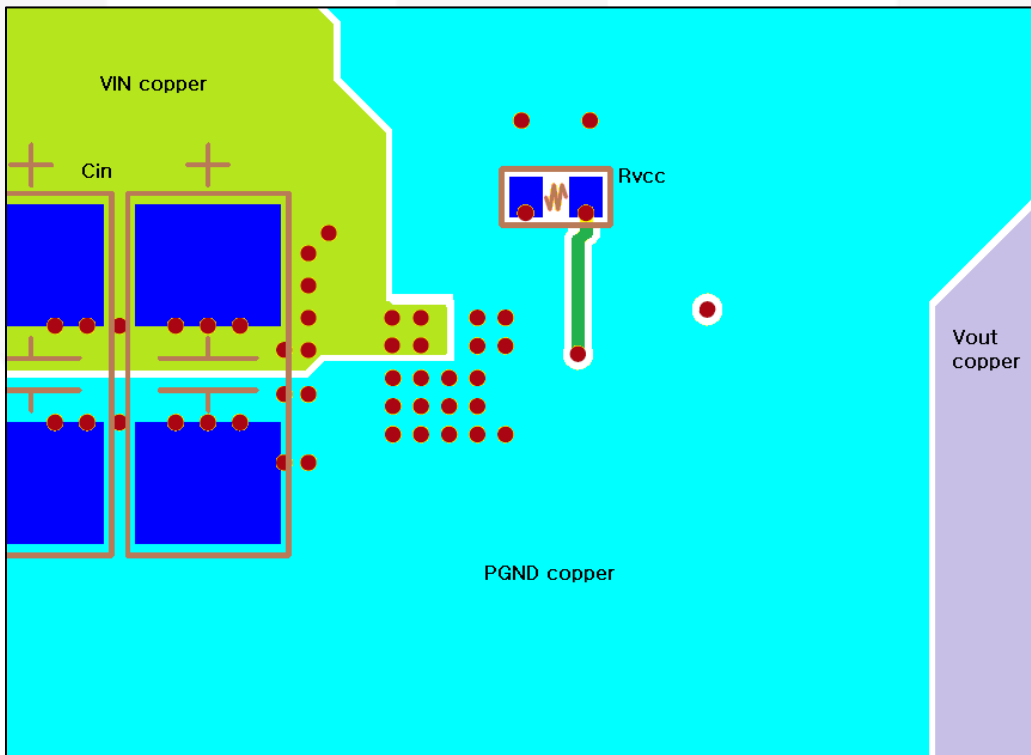


图 40. 单相电路板布局示例-仰视图 (镜像)

PCB 布局指南 (接上页)

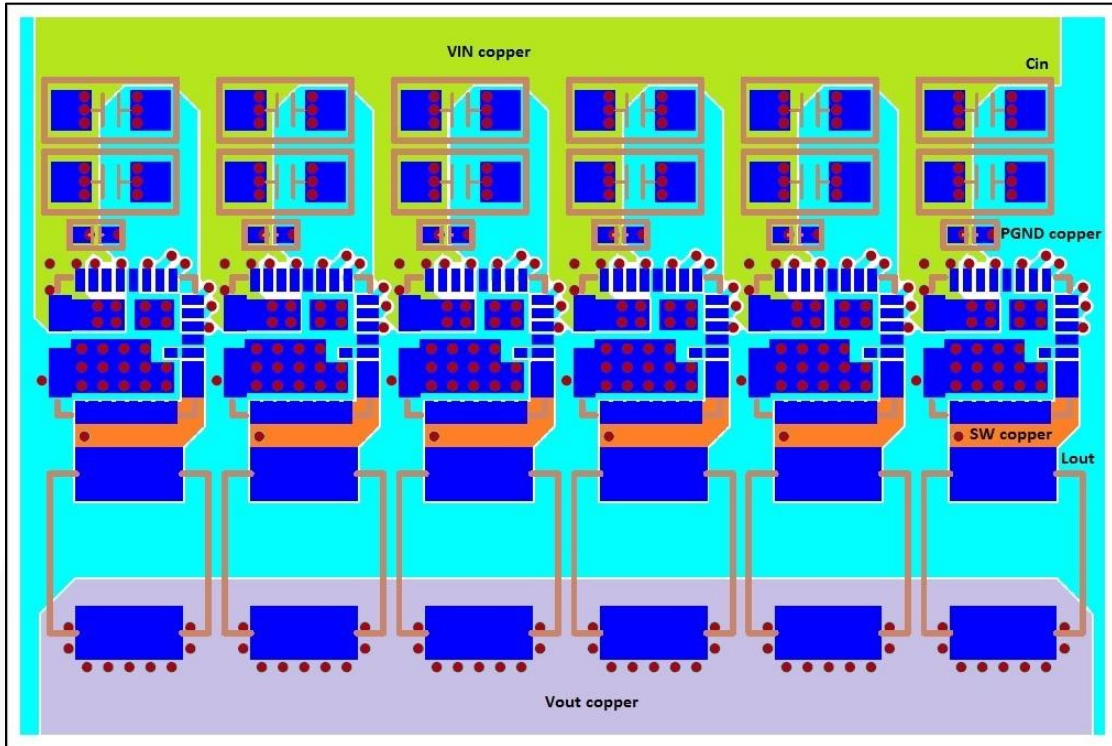


图 41. 包含 6 mm x 6 mm 电感器的 6 相电路板布局示例-俯视图

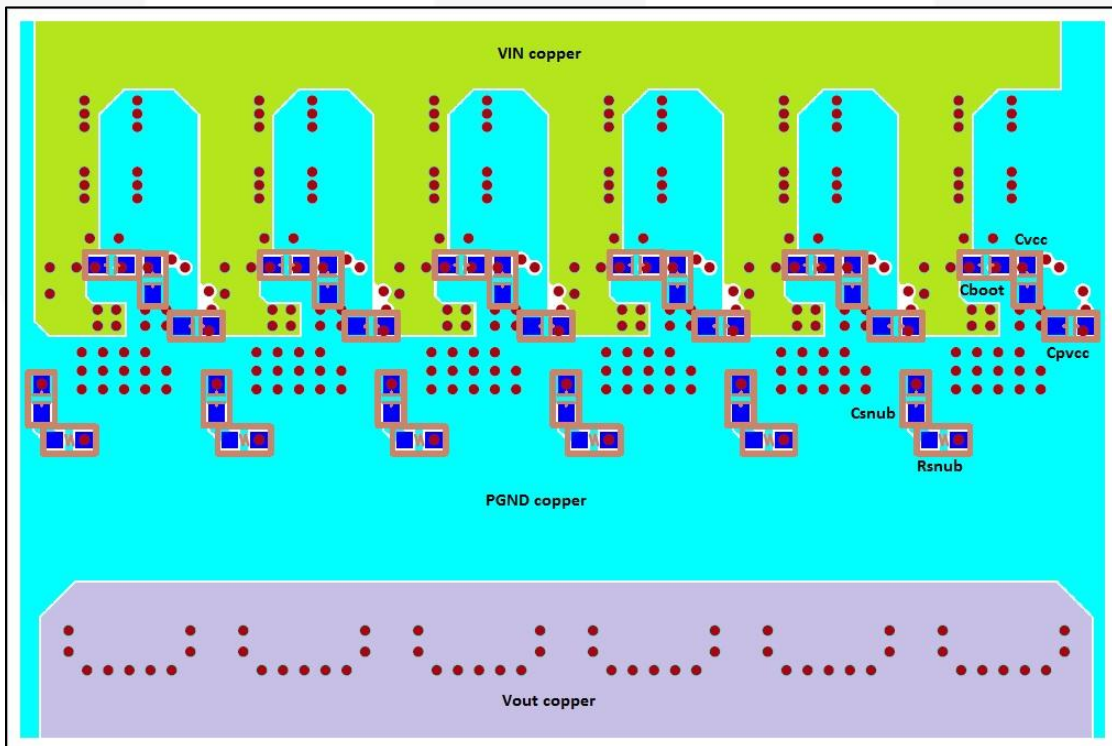
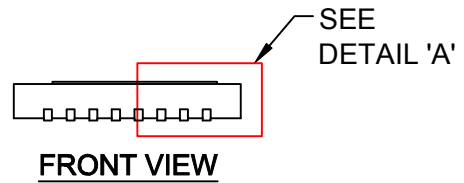
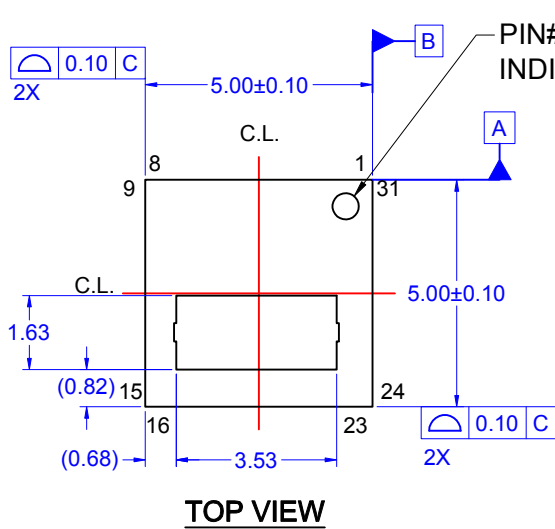
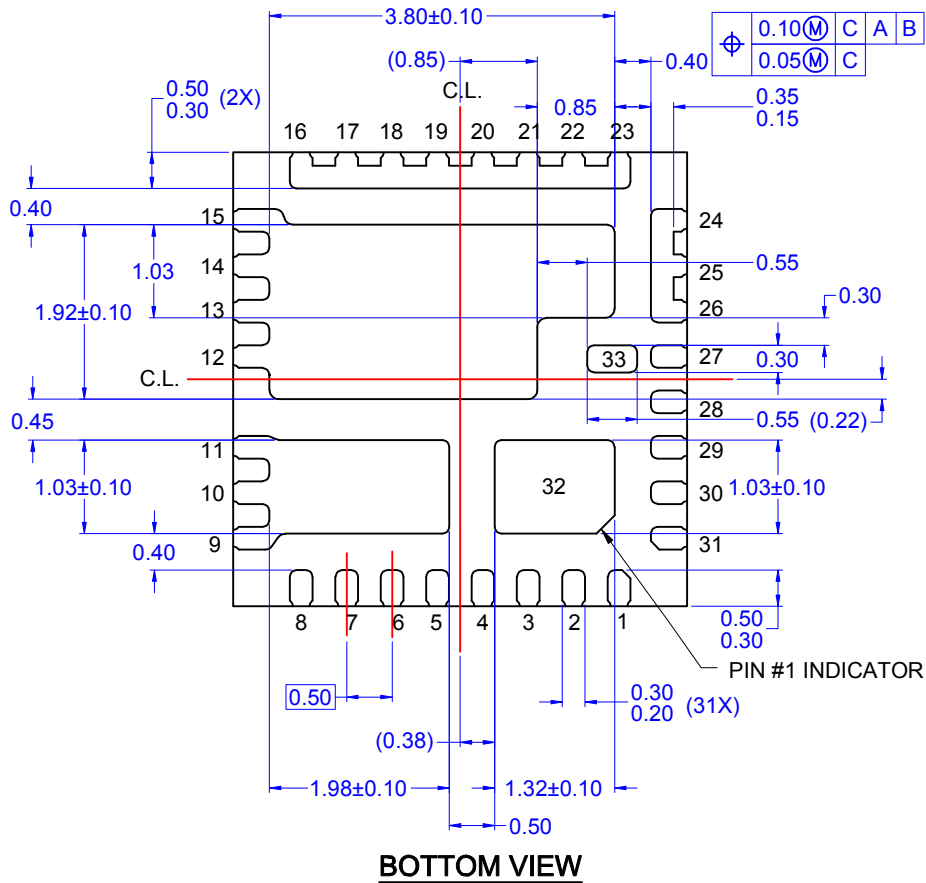
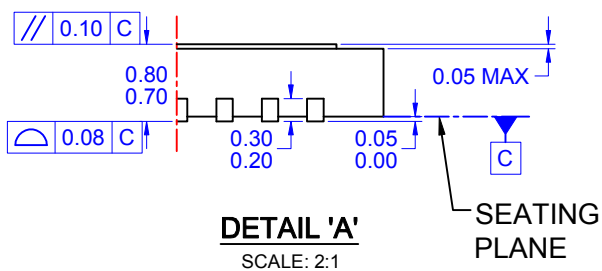


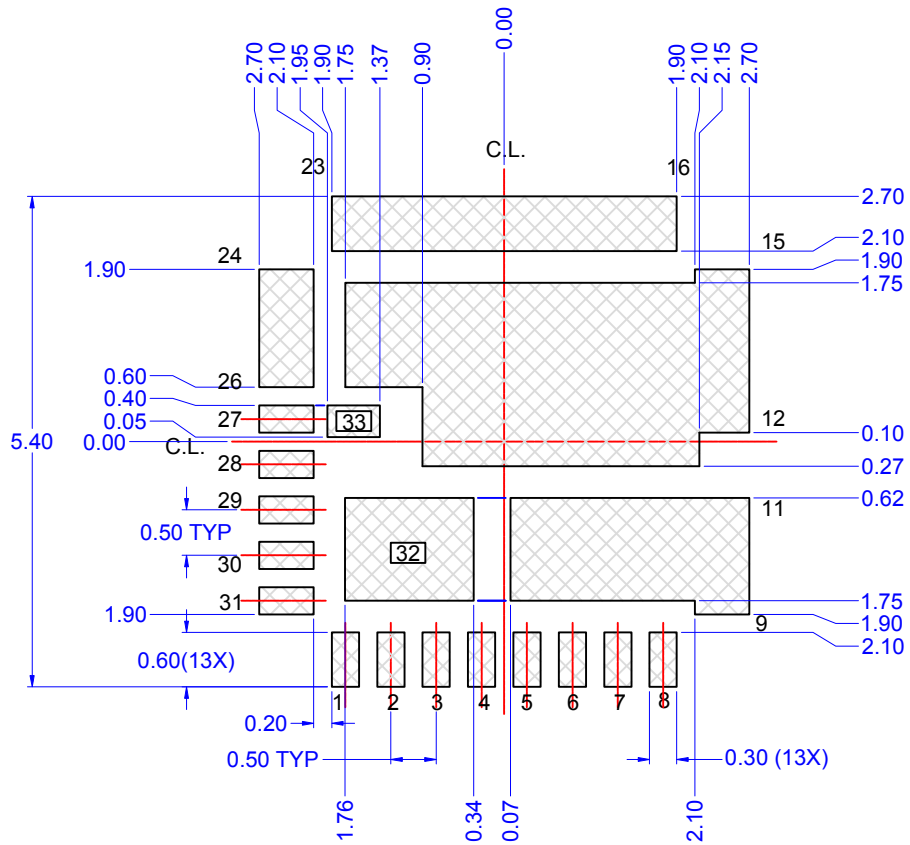
图 42. 包含 6 mm x 6 mm 电感器的 6 相电路板布局示例-仰视图 (镜像)



NOTES: UNLESS OTHERWISE SPECIFIED

- A) DOES NOT FULLY CONFORM TO JEDEC REGISTRATION MO-220, DATED MAY/2005.
- B) ALL DIMENSIONS ARE IN MILLIMETERS.
- C) DIMENSIONS DO NOT INCLUDE BURRS OR MOLD FLASH. MOLD FLASH OR BURRS DOES NOT EXCEED 0.10MM.
- D) DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994.
- E) DRAWING FILE NAME: MKT-PQFN31AREV4
- F) FAIRCHILD SEMICONDUCTOR





LAND PATTERN  
RECOMMENDATION



**TRADEMARKS**

The following includes registered and unregistered trademarks and service marks, owned by Fairchild Semiconductor and/or its global subsidiaries, and is not intended to be an exhaustive list of all such trademarks.

- |                          |  |                                       |                  |
|--------------------------|--|---------------------------------------|------------------|
| AccuPower™               | F-PFS™   | OPTOPLANAR®                           | SYSTEM GENERAL®  |
| AttitudeEngine™          | FRFET®   | Power Supply WebDesigner™             | TinyBoost®       |
| Awinda®                  | Global Power Resource <sup>SM</sup>            | PowerTrench®                          | TinyBuck®        |
| AX-CAP®*                 | GreenBridge™                                   | PowerXS™                              | TinyCalc™        |
| BitSiC™                  | Green FPS™                                     | Programmable Active Droop™            | TinyLogic®       |
| Build it Now™            | Green FPS™ e-Series™                           | QFET®                                 | TINYOPTO™        |
| CorePLUS™                | Gmax™  | QS™                                   | TinyPower™       |
| CorePOWER™               | GTO™   | Quiet Series™                         | TinyPWM™         |
| CROSSVOL™                | IntelliMAX™                                    | RapidConfigure™                       | TinyWire™        |
| CTL™                     | ISOPLANAR™                                     | Saving our world, 1mW/W/kW at a time™ | TranSiC™         |
| Current Transfer Logic™  | Making Small Speakers Sound Louder and Better™ | SignalWise™                           | TriFault Detect™ |
| DEUXPEED®                | MegaBuck™                                      | SmartMax™                             | TRUECURRENT®*    |
| Dual Cool™               | MICROCOUPLER™                                  | SMART START™                          | μSerDes™         |
| EcoSPARK®                | MicroFET™                                      | Solutions for Your Success™           | UHC®             |
| EfficientMax™            | MicroPak™                                      | SPM®                                  | Ultra FRFET™     |
| ESBC™                    | MicroPak2™                                     | STEALTH™                              | UniFET™          |
| F <sup>®</sup>           | MillerDrive™                                   | SuperFET®                             | VCX™             |
| Fairchild®               | MotionMax™                                     | SuperSOT™-3                           | VisualMax™       |
| Fairchild Semiconductor® | MotionGrid®                                    | SuperSOT™-6                           | VoltagePlus™     |
| FACT Quiet Series™       | MTi®   | SuperSOT™-8                           | XST™             |
| FACT®                    | MTx®   | SupreMOS®                             | Xsens™           |
| FastvCore™               | MVN®   | SyncFET™                              | 仙童®              |
| FETBench™                | mWSaver®                                       | Sync-Lock™                            |                  |
| FPS™                     | OptoHiT™                                       |                                       |                  |
|                          | OPTOLOGIC®                                     |                                       |                  |

\* Trademarks of System General Corporation, used under license by Fairchild Semiconductor.

**DISCLAIMER**

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. TO OBTAIN THE LATEST, MOST UP-TO-DATE DATASHEET AND PRODUCT INFORMATION, VISIT OUR WEBSITE AT [HTTP://WWW.FAIRCHILDSEMI.COM](http://www.fairchildsemi.com). FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS. THESE SPECIFICATIONS DO NOT EXPAND THE TERMS OF FAIRCHILD'S WORLDWIDE TERMS AND CONDITIONS, SPECIFICALLY THE WARRANTY THEREIN, WHICH COVERS THESE PRODUCTS.

**AUTHORIZED USE**

Unless otherwise specified in this data sheet, this product is a standard commercial product and is not intended for use in applications that require extraordinary levels of quality and reliability. This product may not be used in the following applications, unless specifically approved in writing by a Fairchild officer: (1) automotive or other transportation, (2) military/aerospace, (3) any safety critical application – including life critical medical equipment – where the failure of the Fairchild product reasonably would be expected to result in personal injury, death or property damage. Customer's use of this product is subject to agreement of this Authorized Use policy. In the event of an unauthorized use of Fairchild's product, Fairchild accepts no liability in the event of product failure. In other respects, this product shall be subject to Fairchild's Worldwide Terms and Conditions of Sale, unless a separate agreement has been signed by both Parties.

**ANTI-COUNTERFEITING POLICY**

Fairchild Semiconductor Corporation's Anti-Counterfeiting Policy. Fairchild's Anti-Counterfeiting Policy is also stated on our external website, [www.fairchildsemi.com](http://www.fairchildsemi.com), under Terms of Use

Counterfeiting of semiconductor parts is a growing problem in the industry. All manufacturers of semiconductor products are experiencing counterfeiting of their parts. Customers who inadvertently purchase counterfeit parts experience many problems such as loss of brand reputation, substandard performance, failed applications, and increased cost of production and manufacturing delays. Fairchild is taking strong measures to protect ourselves and our customers from the proliferation of counterfeit parts. Fairchild strongly encourages customers to purchase Fairchild parts either directly from Fairchild or from Authorized Fairchild Distributors who are listed by country on our web page cited above. Products customers buy either from Fairchild directly or from Authorized Fairchild Distributors are genuine parts, have full traceability, meet Fairchild's quality standards for handling and storage and provide access to Fairchild's full range of up-to-date technical and product information. Fairchild and our Authorized Distributors will stand behind all warranties and will appropriately address any warranty issues that may arise. Fairchild will not provide any warranty coverage or other assistance for parts bought from Unauthorized Sources. Fairchild is committed to combat this global problem and encourage our customers to do their part in stopping this practice by buying direct or from authorized distributors.

**PRODUCT STATUS DEFINITIONS**

**Definition of Terms**

Datasheet Identification	Product Status	Definition
Advance Information	Formative / In Design	Datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	Datasheet contains preliminary data; supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve design.
No Identification Needed	Full Production	Datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve the design.
Obsolete	Not In Production	Datasheet contains specifications on a product that is discontinued by Fairchild Semiconductor. The datasheet is for reference information only.