

特長

64ピン LFCSP または 64ピン LQFP のパッケージを採用した 40 チャンネルの DAC

16 ビットの単調性を保証

V_{REF} (20 V) の 4 倍の最大出力電圧範囲

公称出力電圧範囲: -4 V ~ +8 V

複数の独立な出力範囲が可能

システム・キャリブレーション機能によりオフセットとゲインをユーザー設定可能

チャンネルのグルーピング機能とアドレッシング機能

サーマル・シャットダウン機能

DSP/マイクロコントローラ互換のシリアル・インターフェース

SPI シリアル・インターフェース

2.5 V ~ 5.5 V のデジタル・インターフェース

デジタル・リセット ($\overline{RESET}$)

ユーザー定義の SIGGNDx に対するクリア機能

DAC 出力の同時更新

アプリケーション

自動テスト装置 (ATE) のレベル設定

可変光減衰器 (VOA)

光スイッチ

工業用制御システム

計測機器

機能ブロック図

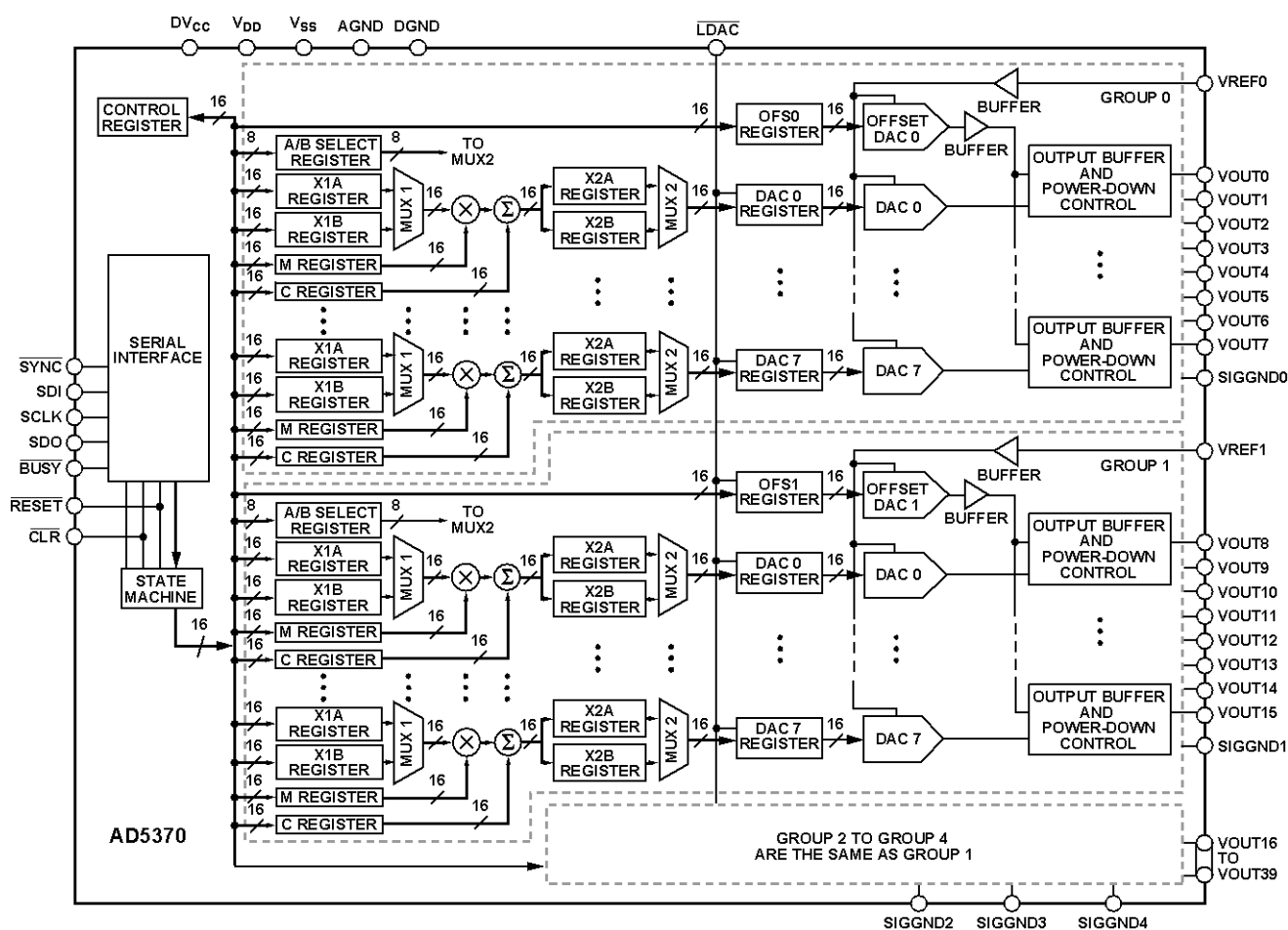


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長	1	伝達関数	17
アプリケーション	1	リファレンスの選択	17
機能ブロック図	1	キャリブレーション	18
改訂履歴	2	その他のキャリブレーション	18
概要	3	リセット機能	19
仕様	4	クリア機能	19
性能仕様	4	<u>BUSY</u> 機能と <u>LDAC</u> 機能	19
AC 特性	5	パワーダウン・モード	19
タイミング特性	6	サーマル・シャットダウン機能	19
タイミング図	6	トグル・モード	20
絶対最大定格	9	シリアル・インターフェース	21
ESD の注意	9	SPI 書き込みモード	21
ピン配置およびピン機能説明	10	SPI リードバック・モード	21
代表的な性能特性	12	レジスタ更新レート	21
用語	14	チャンネル・アドレッシングとスペシャル・モード	21
動作原理	15	スペシャル・ファンクション・モード	23
DAC アーキテクチャ	15	電源デカップリング	25
チャンネル・グループ	15	電源シーケンシング	25
A/B レジスタとゲイン/オフセットの調整	16	インターフェース例	26
DAC のロード	16	外形寸法	27
DAC チャンネルのオフセット	16	オーダー・ガイド	27
出力アンプ	17		

改訂履歴

4/08—Revision 0: Initial Version

概要

AD5370¹ は、1 個の 64 ピン LFCSP パッケージまたは 64 ピン LQFP パッケージに 16 ビット DAC を 40 個内蔵しています。このデバイスのバッファ付き電圧出力は、リファレンス電圧の 4 倍の振幅まで出力可能です。各 DAC チャンネルのゲインとオフセットは、独立に調節して誤差を除去することができます。このデバイスでは 8 個の DAC からなる 5 グループに分けてあるため、これまでにない柔軟性を提供します。3 チャンネルのオフセット DAC により、ブロックの出力範囲が調整できます。グループ 0 はオフセット DAC 0 により、グループ 1 はオフセット DAC 1 により、グループ 2～グループ 4 はオフセット DAC 2 により、それぞれ調整することができます。

AD5370 の動作は、 $V_{SS} = -16.5\text{ V} \sim -4.5\text{ V}$ と $V_{DD} = +9\text{ V} \sim +16.5\text{ V}$ の広い電源範囲で保証されています。出力アンプ・ヘッドルーム条件は、負荷電流 1 mA で 1.4 V 動作です。

¹ 米国特許 No.5,969,657 で保護されています。その他の特許は申請中です。

AD5370 は、SPI、QSPI™、MICROWIRE™、DSP の各インターフェース規格と互換性を持つ高速シリアル・インターフェースを内蔵し、最大 50 MHz のクロック速度で動作することができます。

DAC レジスタは、新しいデータを受け取ったときに更新されます。すべての出力は、 $\overline{\text{LDAC}}$ 入力をロー・レベルにすることにより、同時に更新することができます。各チャンネルには、プログラマブルなゲインとオフセットの調整レジスタがあるため、ゲイン誤差とオフセット誤差を除去することができます。

バッファ付きの各 DAC 出力では、内部で SIGGNDx 外部入力を基準としてゲインが決定されています。また、DAC 出力は $\overline{\text{CLR}}$ ピンを使って切り替えて、SIGGNDx に接続することもできます。

表 1. チャンネル数の多いバイポーラ DAC

Model	Resolution	Nominal Output Span	Output Channels	Linearity Error (LSB)
AD5360	16 bits	$4 \times V_{REF}$ (20 V)	16	± 4
AD5361	14 bits	$4 \times V_{REF}$ (20 V)	16	± 1
AD5362	16 bits	$4 \times V_{REF}$ (20 V)	8	± 4
AD5363	14 bits	$4 \times V_{REF}$ (20 V)	8	± 1
AD5370	16 bits	$4 \times V_{REF}$ (12 V)	40	± 4
AD5371	14 bits	$4 \times V_{REF}$ (12 V)	40	± 1
AD5372	16 bits	$4 \times V_{REF}$ (12 V)	32	± 4
AD5373	14 bits	$4 \times V_{REF}$ (12 V)	32	± 1
AD5378	14 bits	$\pm 8.75\text{ V}$	32	± 3
AD5379	14 bits	$\pm 8.75\text{ V}$	40	± 3

仕様

性能仕様

特に指定のない限り、 $DV_{CC} = 2.5\text{ V} \sim 5.5\text{ V}$; $V_{DD} = 9\text{ V} \sim 16.5\text{ V}$; $V_{SS} = -16.5\text{ V} \sim -8\text{ V}$; $V_{REF} = 3\text{ V}$; $AGND = DGND = SIGGND = 0\text{ V}$; R_L = オープン; ゲイン(M)、オフセット(C)、DAC オフセットの各レジスタはデフォルト値; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 2.

Parameter	Min	Type	Max	Unit	Test Conditions/Comments ¹
ACCURACY					
Resolution	16			Bits	
Integral Nonlinearity	-4		+4	LSB	
Differential Nonlinearity	-1		+1	LSB	Guaranteed monotonic by design
Zero-Scale Error	-10		+10	mV	Before calibration
Full-Scale Error	-10		+10	mV	Before calibration
Gain Error			0.1	% FSR	
Zero-Scale Error ²		1		LSB	After calibration
Full-Scale Error		1		LSB	After calibration
Span Error of Offset DAC	-35		+35	mV	See the Offset DAC Channels section for details
VOUT Temperature Coefficient (VOUT0 to VOUT39)		5		ppm FSR/°C	Includes linearity, offset, and gain drift
DC Crosstalk			120	μV	Typically 20 μV; measured channel at midscale, full-scale change on any other channel
REFERENCE INPUTS (VREF0, VREF1)					
VREF Input Current	-10		+10	μA	Per input, typically ±30 nA
VREF Range	2		5	V	±2% for specified operation
SIGGND INPUT (SIGGND0 to SIGGND4)					
DC Input Impedance	50			kΩ	Typically 55 kΩ
Input Range	-0.5		+0.5	V	
SIGGND Gain	0.995		1.005		
OUTPUT CHARACTERISTICS					
Output Voltage Range	$V_{SS} + 1.4$		$V_{DD} - 1.4$	V	$I_{LOAD} = 1\text{ mA}$
Nominal Output Voltage Range	-4		+8	V	
Short-Circuit Current			15	mA	VOUTx to DV_{CC} , V_{DD} , or V_{SS}
Load Current	-1		+1	mA	
Capacitive Load			2200	pF	
DC Output Impedance			0.5		
DIGITAL INPUTS					
Input High Voltage	1.7			V	$DV_{CC} = 2.5\text{ V to }3.6\text{ V}$
	2.0			V	$DV_{CC} = 3.6\text{ V to }5.5\text{ V}$
Input Low Voltage			0.8	V	$DV_{CC} = 2.5\text{ V to }5.5\text{ V}$
Input Current	-1		+1	μA	Excluding the $\overline{CLR}$ pin
$\overline{CLR}$ High Impedance Leakage Current	-20		+20	μA	
Input Capacitance			10	pF	
DIGITAL OUTPUTS (SDO, $\overline{BUSY}$)					
Output Low Voltage			0.5	V	Sinking 200 μA
Output High Voltage (SDO)	$DV_{CC} - 0.5$			V	Sourcing 200 μA
SDO High Impedance Leakage Current	-5		+5	μA	
High Impedance Output Capacitance		10		pF	

Parameter	Min	Type	Max	Unit	Test Conditions/Comments ¹
POWER REQUIREMENTS					
DV _{CC}	2.5		5.5	V	
V _{DD}	9		16.5	V	
V _{SS}	-16.5		-4.5	V	
Power Supply Sensitivity					
ΔFull Scale/ΔV _{DD}		-75		dB	
ΔFull Scale/ΔV _{SS}		-75		dB	
ΔFull Scale/ΔDV _{CC}		-90		dB	
DI _{CC}			2	mA	DV _{CC} = 5.5 V, V _{IH} = DV _{CC} , V _{IL} = GND; normal operating conditions
I _{DD}			18	mA	Outputs unloaded, DAC outputs = 0 V
			20	mA	Outputs unloaded, DAC outputs = full scale
I _{SS}			-18	mA	Outputs unloaded, DAC outputs = 0 V
			-20	mA	Outputs unloaded, DAC outputs = full scale
Power Dissipation Unloaded (P)		280		mW	V _{SS} = -8 V, V _{DD} = +9.5 V, DV _{CC} = 2.5 V
Power-Down Mode					Control register power-down bit set
DI _{CC}		5		μA	
I _{DD}		35		μA	
I _{SS}		-35		μA	
Junction Temperature ³			130	°C	T _J = T _A + P _{TOTAL} × θ _{JA}

¹ AD5370 の温度範囲は-40~+85°C。Typ 値仕様は 25°Cでの値。

² デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

³ θ_{JA} はパッケージの熱抵抗を表します。

AC 特性

特に指定のない限り、DV_{CC} = 2.5 V; V_{DD} = 15 V; V_{SS} = -15 V; VREF0 = VREF1 = 3 V; AGND = DGND = SIGGND = 0 V; C_L = 200 pF; R_L = 10 kΩ; ゲイン(M)、オフセット(C)、DAC オフセットの各レジスタはデフォルト値;すべての仕様は T_{MIN}~T_{MAX} で規定。

表 3.AC 特性¹

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DYNAMIC PERFORMANCE					
Output Voltage Settling Time		20		μs	Settling to 1 LSB from a full-scale change
			30	μs	DAC latch contents alternately loaded with all 0s and all 1s
Slew Rate		1		V/μs	
Digital-to-Analog Glitch Energy		5		nV-s	
Glitch Impulse Peak Amplitude			10	mV	
Channel-to-Channel Isolation		100		dB	VREF0 = VREF1 = 2 V p-p, 1 kHz
DAC-to-DAC Crosstalk		20		nV-s	
Digital Crosstalk		0.2		nV-s	
Digital Feedthrough		0.02		nV-s	Effect of input bus activity on DAC output under test
Output Noise Spectral Density @ 10 kHz		250		nV/√Hz	VREF0 = VREF1 = 0 V

¹ デザインとキャラクタライゼーションで保証しますが、出荷テストは行いません。

タイミング特性

特に指定のない限り、 $DV_{CC} = 2.5\text{ V} \sim 5.5\text{ V}$; $V_{DD} = 9\text{ V} \sim 16.5\text{ V}$; $V_{SS} = -16.5\text{ V} \sim -4.5\text{ V}$; $V_{REF} = 3\text{ V}$; $AGND = DGND = SIGGND = 0\text{ V}$; $C_L = GND \sim 200\text{ pF}$; $R_L = \text{オープン}$; ゲイン (M)、オフセット (C)、DAC オフセットの各レジスタはデフォルト値; すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表 4.SPI インターフェース

Parameter ^{1, 2, 3}	Limit at T_{MIN} , T_{MAX}			Unit	Description
	Min	Typ	Max		
t_1	20			ns	SCLK cycle time
t_2	8			ns	SCLK high time
t_3	8			ns	SCLK low time
t_4	11			ns	$\overline{SYNC}$ falling edge to SCLK falling edge setup time
t_5	20			ns	Minimum $\overline{SYNC}$ high time
t_6	10			ns	24 th SCLK falling edge to $\overline{SYNC}$ rising edge
t_7	5			ns	Data setup time
t_8	5			ns	Data hold time
t_9^4			42	ns	$\overline{SYNC}$ rising edge to $\overline{BUSY}$ falling edge
t_{10}			1.5	μs	$\overline{BUSY}$ pulse width low (single-channel update); see Table 8
t_{11}			600	ns	Single-channel update cycle time
t_{12}	20			ns	$\overline{SYNC}$ rising edge to $\overline{LDAC}$ falling edge
t_{13}	10			ns	$\overline{LDAC}$ pulse width low
t_{14}			3	μs	$\overline{BUSY}$ rising edge to DAC output response time
t_{15}	0			ns	$\overline{BUSY}$ rising edge to $\overline{LDAC}$ falling edge
t_{16}			3	μs	$\overline{LDAC}$ falling edge to DAC output response time
t_{17}		20	30	μs	DAC output settling time
t_{18}			140	ns	$\overline{CLR}/\overline{RESET}$ pulse activation time
t_{19}	30			ns	$\overline{RESET}$ pulse width low
t_{20}			400	μs	$\overline{RESET}$ time indicated by $\overline{BUSY}$ low
t_{21}	270			ns	Minimum $\overline{SYNC}$ high time in readback mode
t_{22}^5			25	ns	SCLK rising edge to $\overline{SDO}$ valid
t_{23}			80	ns	$\overline{RESET}$ rising edge to $\overline{BUSY}$ falling edge

¹ デザインとキャラクタライゼーションにより保証しますが、出荷テストは行いません。

² すべての入力信号は $t_R = t_F = 2\text{ ns}$ (DV_{CC} の 10% から 90%) で規定し、1.2 V の電圧レベルからの時間とします。

³ 図 4 と図 5 を参照してください。

⁴ これは、図 2 の負荷回路で測定。

⁵ これは、図 3 の負荷回路で測定。

タイミング図

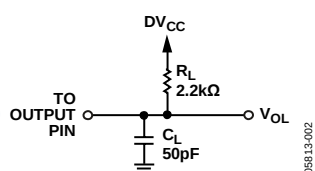


図 2. $\overline{BUSY}$ タイミング図の負荷回路

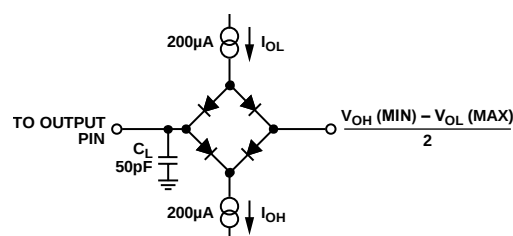
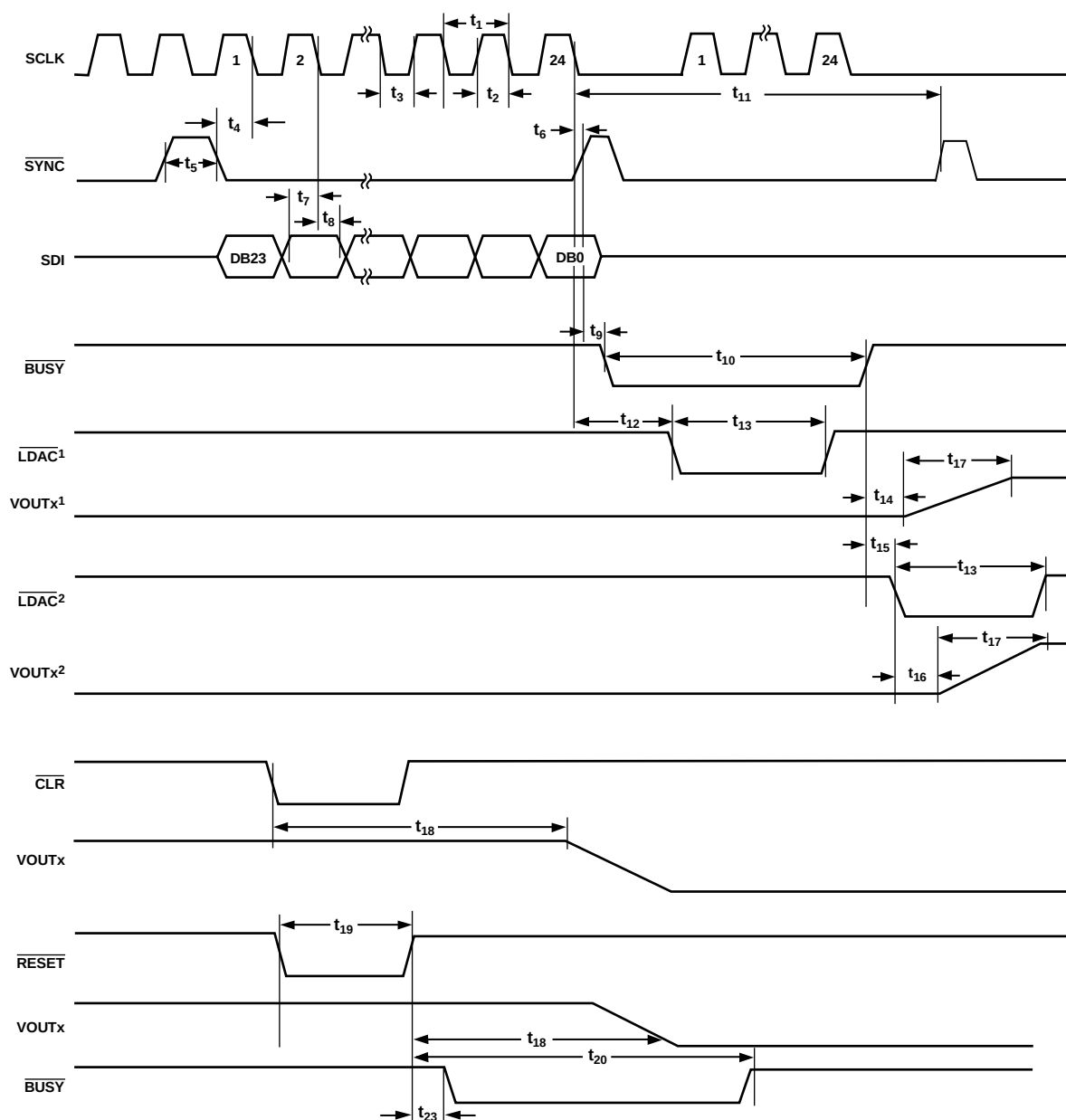


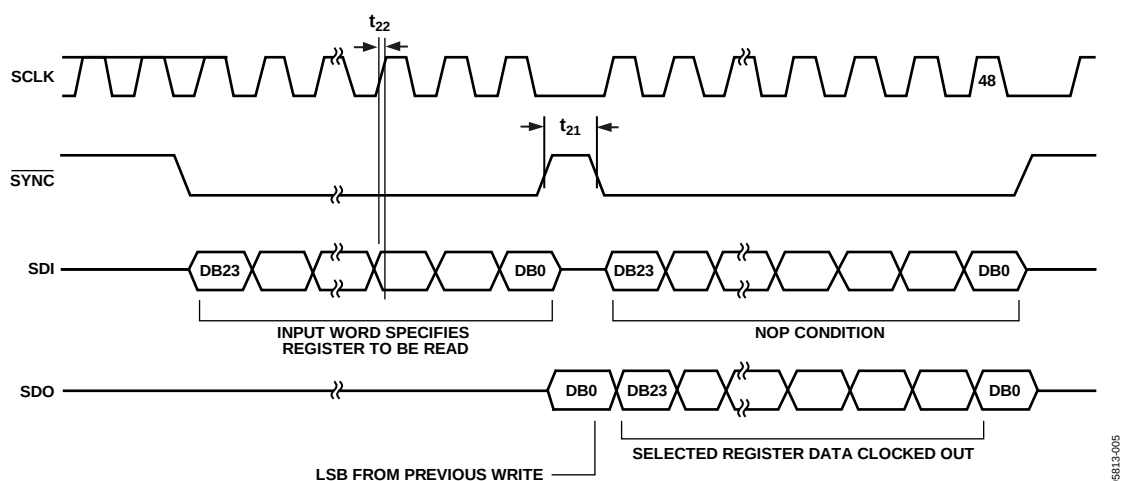
図 3. $\overline{SDO}$ タイミング図の負荷回路



¹ LDAC ACTIVE DURING BUSY.
² LDAC ACTIVE AFTER BUSY.

図 4.SPI 書き込みタイミング

05E13-004



05813-005

図 5.SPI 測定値タイミング

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。最大 60 mA までの過渡電流では SCR ラッチ・アップは生じません。

表 5.

Parameter	Rating
V_{DD} to AGND	−0.3 V to +17 V
V_{SS} to AGND	−17 V to +0.3 V
DV_{CC} to DGND	−0.3 V to +7 V
Digital Inputs to DGND	−0.3 V to $DV_{CC} + 0.3$ V
Digital Outputs to DGND	−0.3 V to $DV_{CC} + 0.3$ V
VREF0, VREF1 to AGND	−0.3 V to +5.5 V
VOUT0 through VOUT39 to AGND	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V
SIGGND0 through SIGGND4 to AGND	−1 V to +1 V
AGND to DGND	−0.3 V to +0.3 V
Operating Temperature Range (T_A)	
Industrial (B Version)	−40°C to +85°C
Storage	−65°C to +150°C
Operating Junction Temperature (T_J max)	130°C
θ_{JA} Thermal Impedance	
64-Lead LFCSP	25°C/W
64-Lead LQFP	45.5°C/W
Reflow Soldering	
Peak Temperature	230°C
Time at Peak Temperature	10 sec to 40 sec

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

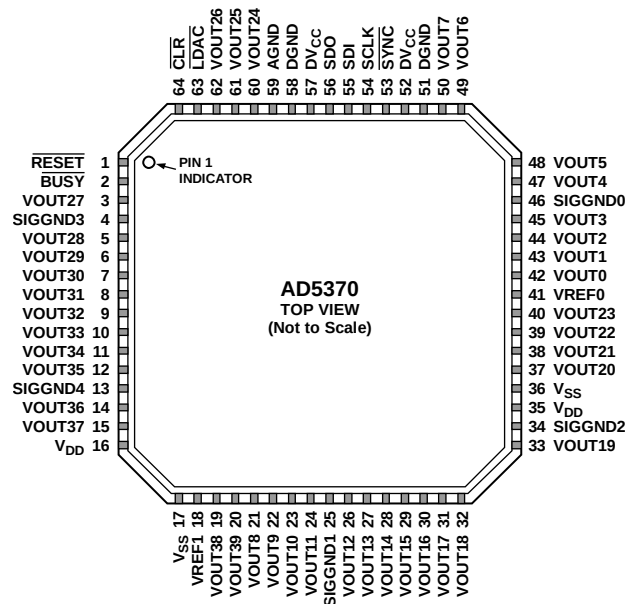


図 6.64 ピン LFCSP のピン配置

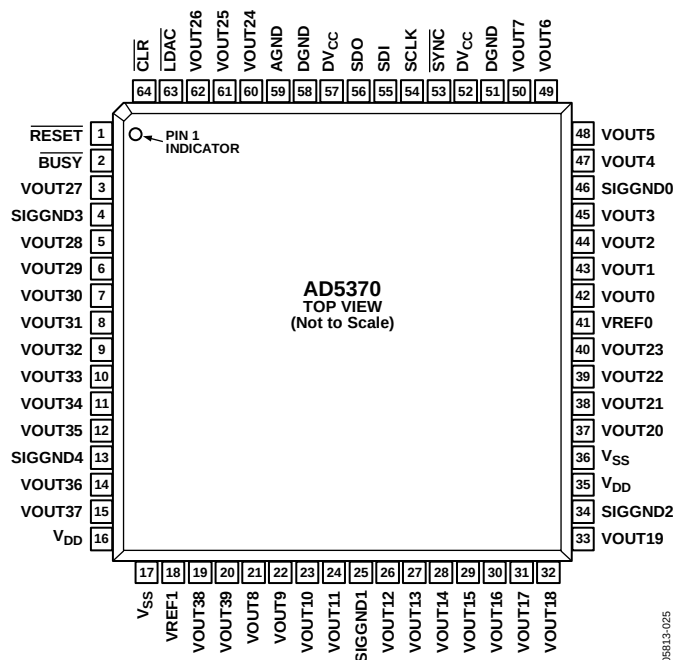


図 7.64 ピン LQFP のピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	RESET	デジタル・リセット入力。
2	BUSY	BUSY 入力/出力 (アクティブ・ロー)。BUSY は出力のときオープン・ドレイン。詳細については、BUSYとLDACの機能のセクション参照。
3、5～12、14、15、19～24、26～33、37～40、42～45、47～50、60～62	VOUT0 ～VOUT39	DAC 出力。各 40 個の DAC チャンネルのバッファ付アナログ出力。各アナログ出力は、グラウンドへ接続した 10 kΩ の出力負荷を駆動することができます。これらのアンプの出力インピーダンスは 0.5 Ω (typ)。
46	SIGGND0	DAC 0～DAC 7 のリファレンス・グラウンド。VOUT0～VOUT7 はこの電圧を基準にします。
25	SIGGND1	DAC 8～DAC 15 のリファレンス電圧グラウンド。VOUT8～VOUT15 はこの電圧を基準とします。
34	SIGGND2	DAC 16～DAC 23 のリファレンス電圧グラウンド。VOUT16～VOUT23 はこの電圧を基準とします。
4	SIGGND3	DAC 24～DAC 31 のリファレンス電圧グラウンド。VOUT24～VOUT31 はこの電圧を基準とします。
13	SIGGND4	DAC 32～DAC 39 のリファレンス電圧グラウンド。VOUT32～VOUT39 はこの電圧を基準とします。
41	VREF0	DAC 0～DAC 7 のリファレンス電圧入力。このリファレンス電圧は AGND を基準とします。
18	VREF1	DAC 8～DAC 39 のリファレンス電圧入力。このリファレンス電圧は AGND を基準とします。

ピン番号	記号	説明
16, 35	VDD	正のアナログ電源;仕様性能に対して+9 V～+16.5 V。これらのピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
17, 36	VSS	負のアナログ電源;仕様性能に対して-16.5 V～-8 V。これらのピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
51, 58	DGND	すべてのデジタル回路のグラウンド。両 DGND ピンは DGND プレーンに接続する必要があります。
52, 57	DVCC	ロジック電源; 2.5 V～5.5 V。これらのピンは、0.1 μ F のセラミック・コンデンサと 10 μ F のコンデンサでデカップリングする必要があります。
53	$\overline{\text{SYNC}}$	アクティブ・ローの入力。これは、シリアル・インターフェースのフレーム同期信号です。詳細については、タイミング特性のセクションを参照してください。
54	SCLK	シリアル・データ入力。データは、SCLK の立ち下がりエッジでシフト・レジスタに入力されます。このピンは最大 50 MHz のクロック速度で動作します。詳細については、タイミング特性のセクションを参照してください。
55	SDI	シリアル・データ入力。データは、SCLK の立ち下がりエッジで有効である必要があります。詳細については、タイミング特性のセクションを参照してください。
56	SDO	SPI インターフェースのシリアル・データ出力。CMOS 出力。SDO はリードバックに使うことができます。データは SCLK の立ち上がりエッジで出力され、SCLK の立ち下がりエッジで有効になります。
59	AGND	すべてのアナログ回路のグラウンド。AGND ピンは AGND プレーンに接続する必要があります。
63	$\overline{\text{LDAC}}$	ロード DAC ロジック入力(アクティブ・ロー・レベル)。
64	$\overline{\text{CLR}}$	非同期クリア入力(レベル検出、アクティブ・ロー)。詳細については、クリア機能 のセクションを参照してください。
	露出パドル	鉛フリーのチップ・スケール・パッケージ (LFCSP) には底面に露出パドルが付いています。パドルは V _{SS} に接続する必要があります。

代表的な性能特性

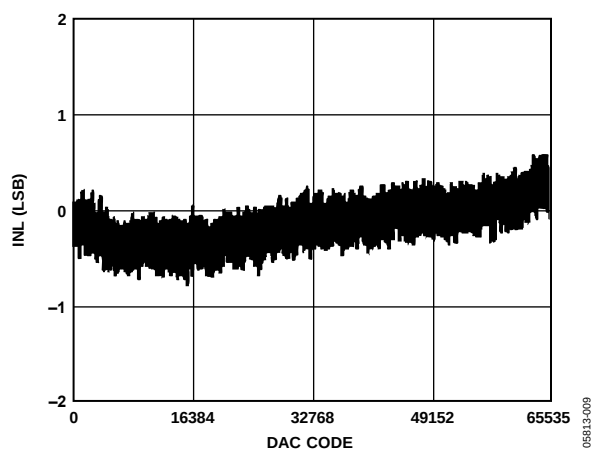


図 8. INL (Typ)のプロット

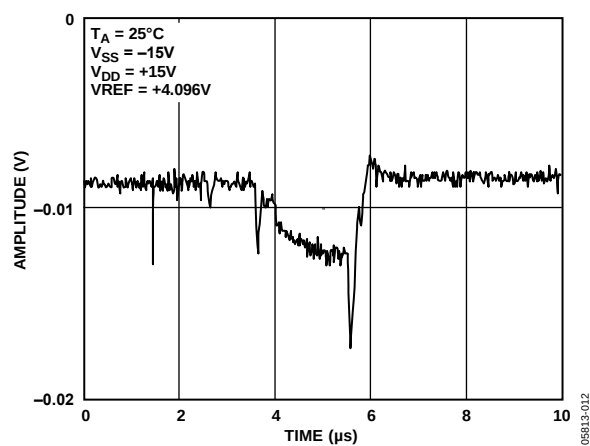


図 11. $\overline{\text{LDAC}}$ に起因するアナログ・クロストーク

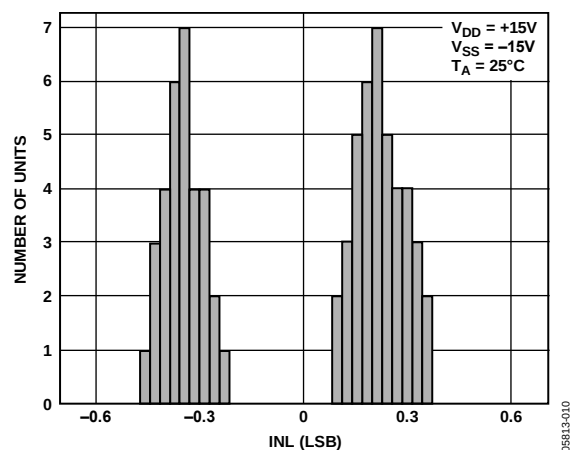


図 9. INL (Typ)の分布

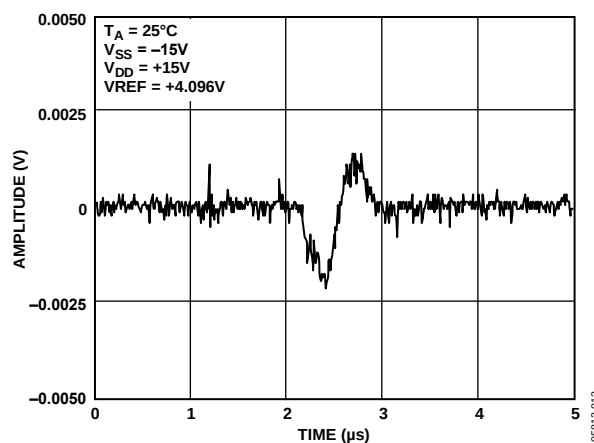


図 12. デジタル・クロストーク

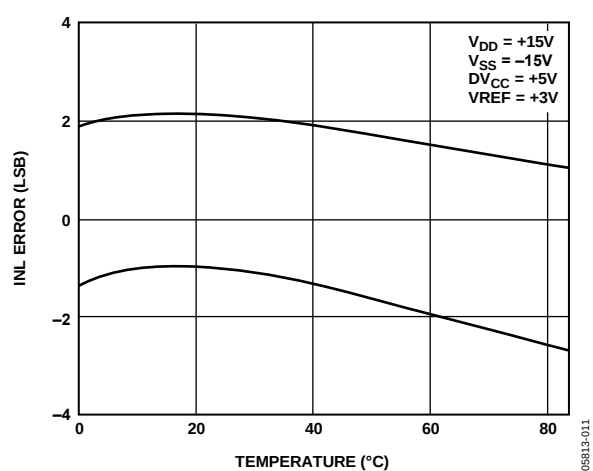


図 10. INL 誤差(Typ)の温度特性

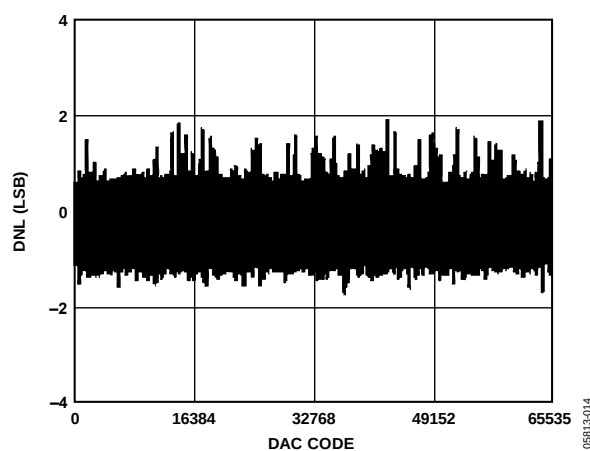


図 13. DNL(Typ)のプロット

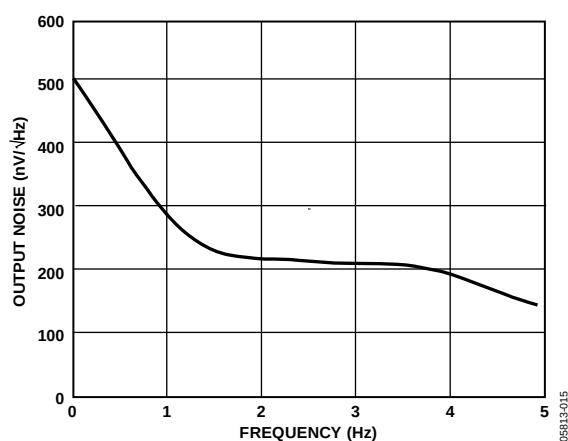


図 14. ノイズ・スペクトル密度

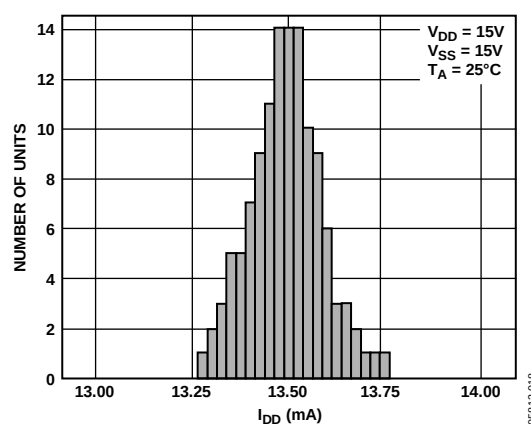


図 17. IDD (Typ) の分布

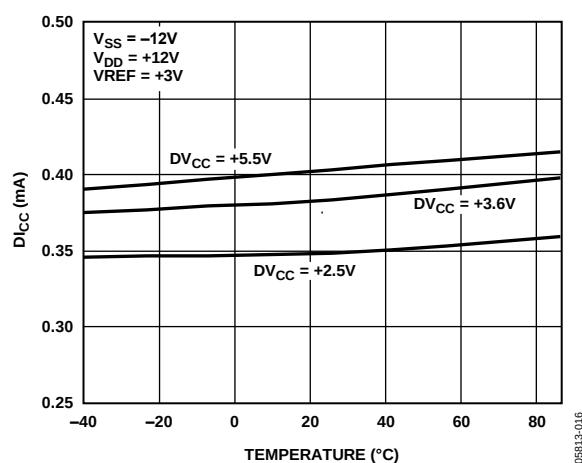


図 15. DICC の温度特性

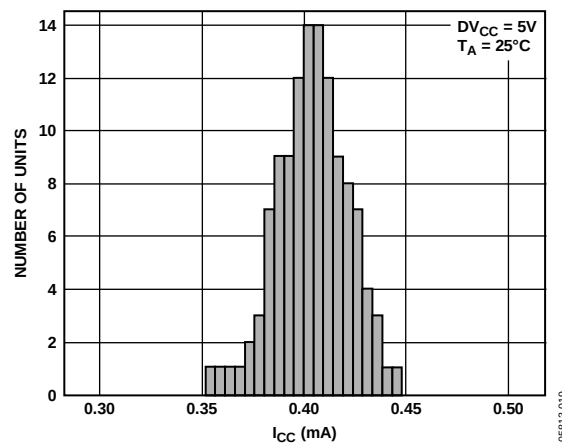


図 18. DICC (Typ) の分布

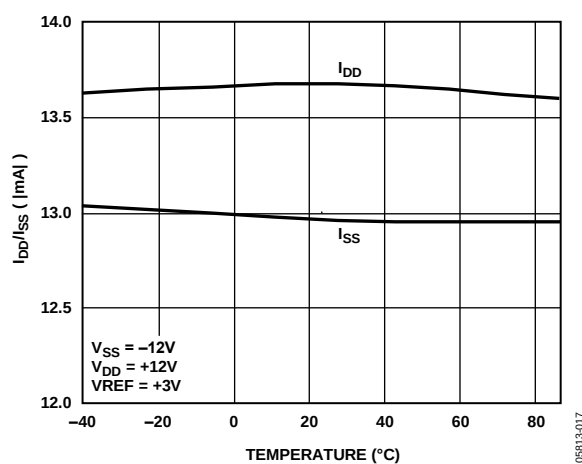


図 16. IDD/ISS の温度特性

用語

積分非直線性(INL)

積分非直線性または端点直線性とは、DAC 伝達関数の両端を結ぶ直線からの最大偏差値を表します。ゼロ・スケール誤差とフル・スケール誤差を調節した後に測定して、LSB 数で表します。

微分非直線性(DNL)

微分非直線性(DNL)は、隣接する 2 つのコードの間における測定された変化と理論的な 1 LSB 変化との差をいいます。最大 1 LSB の微分非直線性の仕様は、単調性を保証するものです。

ゼロ・スケール誤差

ゼロ・スケール誤差は、全ビット 0 を DAC レジスタにロードしたときの DAC 出力電圧の誤差です。

オフセット誤差は、チャンネルが最小値にある場合の VOUT (実測値)と VOUT (理論)の差を表し、mV で表示されます。ゼロ・スケール誤差は、主に出力アンプのオフセットから発生します。

フル・スケール誤差

フル・スケール誤差は、全ビット 1 を DAC レジスタにロードしたときの DAC 出力電圧の誤差です。フルスケール誤差は、チャンネルが最大値にある場合の VOUT (実測値)と VOUT (理論)の差を表し、mV で表示されます。フル・スケール誤差はゼロ・スケール誤差を含みません。

ゲイン誤差

ゲイン誤差は、フル・スケール誤差とゼロ・スケール誤差の差を表します。mV で表示します。

$$\text{ゲイン誤差} = \text{フル・スケール誤差} - \text{ゼロ・スケール誤差}$$

VOUT 温度係数

VOUT 温度係数には、直線性、オフセット、ゲイン・ドリフトの出力誤差成分が含まれます。

DC 出力インピーダンス

DC 出力インピーダンスは実効出力ソース抵抗です。パッケージのピン抵抗により支配されます。

DC クロストーク

各 DAC 出力は、VDD と VSS 電源を共通にする各オペアンプによりバッファされています。1 つのチャンネルで DC 負荷電流が変化すると(更新による)、この変化が複数のチャンネル出力でさらに DC 変化を生じさせます。負荷電流が大きいとこの影響が大きくなり、負荷電流が小さいと影響が小さくなります。高

インピーダンス負荷では、影響を無視することができます。DC クロストークを小さくするために、複数の VDD ピンと VSS ピンを設けてあります。

出力電圧セトリング・タイム

フル・スケール入力変化に対して、DAC 出力が規定のレベルまでに安定するために要する時間を表します。

デジタル/アナログ・グリッチ・エネルギー

これは、大きなコード変化があったときにアナログ出力に混入するエネルギーの大きさを表します。グリッチの面積として規定され nV-s で表示されます。0x1FFF と 0x2000 との間で DAC レジスタ・データをトグルさせて測定します。

チャンネル間アイソレーション

チャンネル間アイソレーションは、1 つの DAC リファレンス入力から現れる入力信号の一部を意味します。この一部の信号は、別のリファレンス電圧で動作している別の DAC 出力から混入したものです。ミッドスケールで測定し、デシベルで表します。

DAC から DAC へのクロストーク

DAC から DAC へのクロストークは、デジタル変化とそれに続く別のコンバータでのアナログ出力変化の両方に起因して、別のコンバータ出力に発生するグリッチ・インパルスで表されます。nV-s で表わします。

デジタル・クロストーク

別のコンバータの DAC レジスタでのコード変化に起因して、ある 1 個のコンバータの出力に混入するグリッチ・インパルスは、デジタル・クロストークとして定義され、nV-s で表示されます。

デジタル・フィードスルー

デバイスが選択されていないときに、デバイスのデジタル入力での高周波ロジック動作がデバイスを超えて、およびデバイスを通して容量結合して、VOUTx ピンにノイズとして現れることを意味します。電源ラインとグラウンド・ラインを経由して結合することもあります。このノイズがデジタル・フィードスルーです。

出力ノイズ・スペクトル密度

これは、内部で発生されたランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度($\sqrt{\text{Hz}}$ あたりの電圧)で表されます。全 DAC にミッド・スケールを入力し、出力のノイズを測定します。nV/ $\sqrt{\text{Hz}}$ で表します。

動作原理

DAC アーキテクチャ

AD5370 は、40 チャンネルの DAC と 40 個の出力アンプを 1 個のパッケージに内蔵しています。1 個あたりの DAC チャンネルのアーキテクチャは、16 ビットの抵抗ストリング型 DAC、およびそれに続く出力バッファアンプから構成されています。抵抗ストリング・セクションは、VREF から AGND までの等しい値の抵抗の単純なストリングです。このタイプのアーキテクチャでは、DAC の単調性が保証されています。DAC レジスタにロードされる 16 ビットのバイナリ・デジタル・コードが、電圧を取り出すストリング上のノードを決め、取り出されたこの電圧が出力アンプに入力されます。出力アンプは DAC 出力電圧を 4 倍に増幅します。公称出力振幅は 3 V リファレンス電圧では 12 V、5 V リファレンス電圧では 20 V です。

チャンネル・グループ

AD5370 の 40 個の DAC チャンネルは、8 チャンネルからなる 5 つのグループに分けられています。グループ 0 の 8 個の DAC はリファレンス電圧 VREF0 を使用しています。グループ 1～グループ 4 はリファレンス電圧 VREF1 を使用しています。各グループは専用の信号グラウンド・ピンを持っています。

表 7.AD5370 のレジスタ

Register Name	Word Length (Bits)	Default Value	Description
X1A	16	0x1555	Input Data Register A. One for each DAC channel.
X1B	16	0x1555	Input Data Register B. One for each DAC channel.
M	16	0x3FFF	Gain trim register. One for each DAC channel.
C	16	0x2000	Offset trim register. One for each DAC channel.
X2A	16	Not user accessible	Output Data Register A. One for each DAC channel. These registers store the final calibrated DAC data after gain and offset trimming. They are not readable or directly writable.
X2B	16	Not user accessible	Output Data Register B. One for each DAC channel. These registers store the final calibrated DAC data after gain and offset trimming. They are not readable or directly writable.
DAC		Not user accessible	Data registers from which the DAC channels take their final input data. The DAC registers are updated from the X2A or X2B register. They are not readable or directly writable.
OFS0	14	0x1555	Offset DAC 0 data register. Sets the offset for Group 0.
OFS1	14	0x1555	Offset DAC 1 data register. Sets the offset for Group 1 to Group 4.
Control	3	0x00	Bit 2 = $\bar{A}/B$. 0 = global selection of X1A input data registers. 1 = X1B registers. Bit 1 = enable temperature shutdown. 0 = disable temperature shutdown. 1 = enable. Bit 0 = soft power-down. 0 = soft power-up. 1 = soft power-down.
$\bar{A}/B$ Select 0	8	0x00	Each bit in this register determines if a DAC channel in Group 0 takes its data from Register X2A or X2B. 0 = X2A. 1 = X2B.
$\bar{A}/B$ Select 1	8	0x00	Each bit in this register determines if a DAC channel in Group 1 takes its data from Register X2A or X2B. 0 = X2A. 1 = X2B.
$\bar{A}/B$ Select 2	8	0x00	Each bit in this register determines if a DAC channel in Group 2 takes its data from Register X2A or X2B. 0 = X2A. 1 = X2B.
$\bar{A}/B$ Select 3	8	0x00	Each bit in this register determines if a DAC channel in Group 3 takes its data from Register X2A or X2B. 0 = X2A. 1 = X2B.
$\bar{A}/B$ Select 4	8	0x00	Each bit in this register determines if a DAC channel in Group 4 takes its data from Register X2A or X2B. 0 = X2A. 1 = X2B.

A/B レジスタとゲイン/オフセットの調整

各 DAC チャンネルには 7 個のデータ・レジスタがあります。実際の DAC データ・ワードは、コントロール・レジスタ内の $\overline{A/B}$ ビットの設定に応じて、X1A または X1B 入力レジスタに書き込むことができます。 $\overline{A/B}$ ビットが 0 の場合、データは X1A レジスタに書き込まれます。 $\overline{A/B}$ ビットが 1 の場合、データは X1B レジスタに書き込まれます。この 1 ビットはグローバル制御であるため、デバイス内の各 DAC チャンネルを制御することに注意してください。ある書き込みは X1A レジスタへ、別の書き込みは X1B レジスタへというように、チャンネルごとにデバイスを設定することはできません。

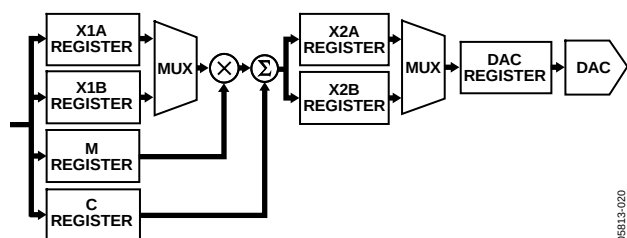


図 19. 各 DAC チャンネルに対応するデータ・レジスタ

各 DAC チャンネルにはゲイン(M)レジスタとオフセット(C)レジスタがあるため、これらを使ってシグナル・チェイン全体のゲイン誤差とオフセット誤差を調整することができます。X1A レジスタからのデータは、M レジスタと C レジスタの値で制御されるデジタル乗算器と加算器で演算されます。キャリブレーションされた DAC データは X2A レジスタに保存されます。同様に、X1B レジスタからのデータは、デジタル乗算器と加算器で演算され、X2B レジスタに保存されます。

各チャンネルの乗算器と加算器のシンボルを図 19 に示してありますが、デバイス内には乗算器と加算器は各 1 個だけ存在し、すべてのチャンネル間で共用されます。これは、レジスタ更新レートのセクションで説明するように、複数のチャンネルを 1 回で更新する際に更新速度に影響を与えます。

X1A レジスタへデータを書き込むごとに、あるいは $\overline{A/B}$ コントロール・ビット = 0 で M レジスタまたは C レジスタへデータを書き込むごとに、X2A データが再計算され、X2A レジスタが自動的に更新されます。同様に、データを X1B へ、あるいは $\overline{A/B}$ = 1 で M または C へ、それぞれ書き込むごとに、X2B が更新されます。X2A レジスタと X2B レジスタを読み出すことはできず、ユーザーが直接書き込むこともできません。

X2A レジスタと X2B レジスタからのデータ出力は、マルチプレクサを介して最終 DAC レジスタに渡されます。X2A または X2B のいずれのレジスタから各 DAC がデータを取得するかは、8 個の DAC の各グループに対応する 8 ビット $\overline{A/B}$ セレクト・レジスタにより制御されます。このレジスタのビットが 0 の場合、DAC はデータを X2A レジスタから受け取ります。1 の場合、DAC はデータを X2B レジスタから受け取ります。

5 つのレジスタに合計 40 ビットあるため、チャンネルごとに、各 DAC が X2A レジスタまたは X2B レジスタのいずれからデータを受け取るかを指定できることに注意してください。 $\overline{A/B}$ セレクト・レジスタ内のすべてのビットを 0 または 1 に設定するグローバル・コマンドも用意してあります。

DAC のロード

各 DAC レジスタが $\overline{LDAC/B}$ セレクト・レジスタの設定に応じて X2A レジスタまたは X2B レジスタから更新される際に、 $\overline{A}$ をロー・レベルにすることにより、AD5370 内のすべての DAC を同時に更新することができます。DAC レジスタは、ユーザーから読み出すことはできません。また直接書き込むこともできません。

DAC チャンネルのオフセット

各 DAC のゲインとオフセットの調整の他に、14 ビットのオフセット DAC チャンネルがグループ 0 に対して 1 個とグループ 1 ~ グループ 4 に対して 1 個の合計 2 個あります。これらを使うと、これらに接続されているすべての DAC の出力範囲に、所定の範囲内でオフセットを与えることができます。ヘッドルームの制限内で、グループ 0 またはグループ 1 ~ グループ 4 の出力範囲を正のユニポーラ、負のユニポーラ、または 0 V を中心とする対称または非対称のバイポーラに設定することができます。AD5370 内の DAC は、出荷時にオフセット DAC チャンネルにデフォルト値を設定した状態で調整されています。この設定により、デフォルトの出力範囲と振幅に対して最適なオフセット性能とゲイン性能が得られます。

オフセット DAC チャンネルの値を変えて出力範囲を調整する際に、オフセット DAC チャンネルのゲイン誤差のために余分なオフセットが導入されてしまうことがあります。オフセット量は、リファレンス電圧の大きさと、デフォルト値からオフセット DAC チャンネル値が移動した大きさに依存します。このオフセットについては、仕様のセクションを参照してください。

ワーストケース・オフセットは、オフセット DAC チャンネルが正または負のフルスケールのときに発生します。この値は、メイン DAC チャンネルに存在するオフセット値に加算して、そのチャンネル全体のオフセット値を表示することができます。多くの場合、チャンネルの C レジスタに適切な値を設定することにより、オフセットを除去することができます。オフセット DAC により発生する余分なオフセットは、オフセット DAC チャンネルがデフォルト値から変更された場合にのみ考慮する必要があります。

図 20 に、オフセット DAC チャンネルにロードできる許容コード範囲を示します。この範囲は、使用しているリファレンス値に依存します。したがって、5 V リファレンスの場合、オフセット DAC チャンネルに 8192 (0x2000) より大きい値を設定することはできません。

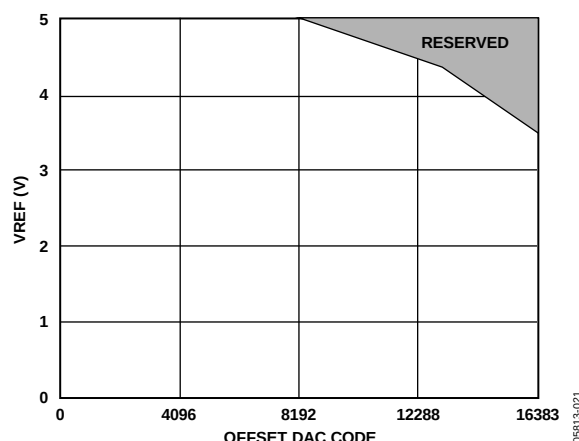


図 20. オフセット DAC のコード範囲

出力アンプ

出力アンプは、正電源の下側 1.4 V まで、および負電源の上側 1.4 V まで振れることができるため、これが与えられたリファレンス電圧に対して出力をオフセットできる限界を定めます。たとえば、最大電源電圧が ± 16.5 V の場合、20 V のユニポーラ出力範囲を持つことはできません。

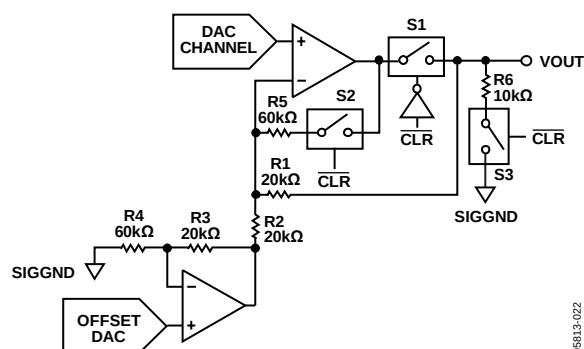


図 21. 出力アンプとオフセット DAC

図 21 に、DAC 出力アンプと対応するオフセット DAC への接続を示します。パワーアップ時、S1 はオープンになり、アンプを出力から切り離します。S3 は閉じて、出力が対応する SIGGND にプルダウンされます(R1 と R2 は R6 より大)。S2 も閉じて、出力アンプがオープン・ループになるのを防止します。パワーアップ時に CLR がロー・レベルになると、CLR がハイ・レベルになるまで、出力はこの状態に留まります。DAC レジスタを設定することができるため、CLR がハイ・レベルになったとき、出力は設定された値になります。パワーアップ時に CLR をハイ・レベルにしても、 $V_{DD} > 6$ V かつ $V_{SS} < -4$ V で、さらに初期化シーケンスが完了するまで、出力は前述の状態を維持します。その後、出力はパワーオン・デフォルト値になります。

伝達関数

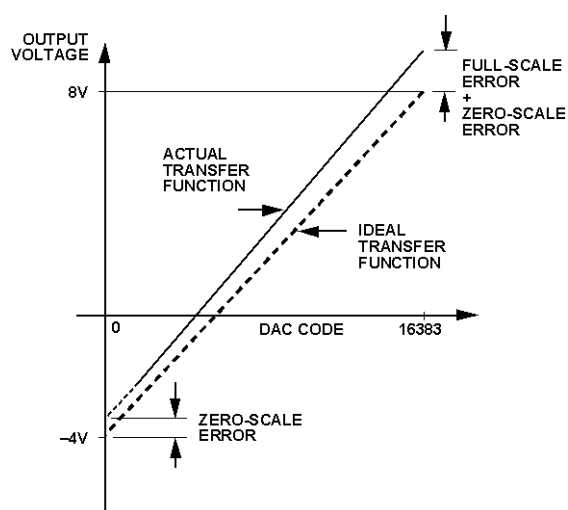


図 22. DAC の伝達関数

AD5370 内の DAC の出力電圧は、入力レジスタの値、M レジスタと C レジスタの値、オフセット DAC の値に依存します。AD5370 の伝達関数を次のセクションに示します。

入力コードは DAC に入力される X1A レジスタまたは X1B レジスタの値です(X1A、X1B のデフォルト・コード= 5461)。

$$DAC_CODE = \frac{INPUT_CODE \times (M+1)}{2^{16}} + C - 2^{15}$$

DAC 出力電圧は次のように計算されます。

$$V_{OUT} = 4 \times V_{REF} \times \frac{DAC_CODE - (4 \times OFFSET_CODE)}{2^{16}} + V_{SIGGND}$$

ここで、

DAC_CODE は 0~65,535 の範囲である必要があります。

12 V 振幅の場合、 $V_{REF} = 3.0$ V。

20 V 振幅の場合、 $V_{REF} = 5.0$ V。

OFFSET_CODE は、オフセット DAC にロードされるコード。この DAC は 14 ビット・デバイスであるため、伝達関数内で 4 倍されます。パワーアップ時に、オフセット DAC にロードされるデフォルト・コードは 5461 (0x1555) です。3 V リファレンスの場合、-4 V~+8 V の振幅になります。

リファレンスの選択

AD5370 には、リファレンス入力ピンが 2 本あります。リファレンス・ピンに加えられる電圧によって、VOUT0~VOUT39 の出力電圧振幅が決定されます。VREF0 が VOUT0~VOUT7 (グループ 0) の電圧振幅を、VREF1 が VOUT8~VOUT39 (グループ 2~グループ 4) の電圧振幅を、それぞれ決定します。各 VREF ピンに加えるリファレンス電圧は、必要に応じて異なることができます。各グループが異なる電圧振幅を持つことができます。各チャンネルのオフセット・レジスタとゲイン・レジスタ、およびオフセット DAC を設定することにより、出力電圧の範囲と振幅をさらに調整することができます。オフセット機能とゲイン機能を使わない(すなわち M レジスタと C レジスタをデフォルト値のままに維持する)場合、所要リファレンス・レベルは次のように計算されます。

$$V_{REF} = (V_{OUT_MAX} - V_{OUT_MIN}) / 4$$

AD5370 のオフセット機能とゲイン機能を使う場合、所要出力範囲は少し異なります。選択する出力範囲ではシステムのオフセット誤差とゲイン誤差を考慮する必要があります。したがって、選択する出力範囲は実際に必要とする範囲より広い必要があります。

所要リファレンス・レベルは次のように計算されます。

1. VOUT の公称出力範囲を決めます。
2. フル出力信号範囲に必要とされる最大オフセット振幅と最大ゲインを決定します。
3. 予想される最大オフセット誤差とゲイン誤差を含む、VOUT の新しい最大出力範囲を計算します。
4. 新しい所要 V_{OUT_MAX} と V_{OUT_MIN} を選択して、公称値を中心とする VOUT 限界値を維持します。 V_{DD} と V_{SS} は十分なヘッドルームを確保する必要があることに注意してください。
5. VREF 値を次式から求めます。

$$V_{REF} = (V_{OUT_MAX} - V_{OUT_MIN}) / 4$$

リファレンス電圧の選択例

次の条件の場合、

- 公称出力範囲= 12 V (-4 V～+8 V)
- ゼロ・スケール誤差 = ± 70 mV
- ゲイン誤差 = $\pm 3\%$
- SIGGND = AGND = 0 V

次が得られます。

- ゲイン誤差 = $\pm 3\%$
=>正の最大ゲイン誤差 = $+3\%$
=>ゲイン誤差を含む出力範囲 = $12 + 0.03(12) = 12.36$ V
- オフセット誤差 = ± 70 mV
=>最大オフセット誤差振幅 = $2(70 \text{ mV}) = 0.14$ V
=>ゲイン誤差とオフセット誤差を含む出力範囲 = $12.36 \text{ V} + 0.14 \text{ V} = 12.5$ V
- VREF の計算
実際の出力範囲 = 12.5 V、すなわち -4.25 V～+8.25 V;
 $VREF = (8.25 \text{ V} + 4.25 \text{ V})/4 = 3.125$ V

この式から不便なリファレンス・レベルが得られる場合、ユーザーは次のいずれかの方法を採用することができます。

- 抵抗分周器を使って、便利で高いリファレンス・レベルを所要レベルへ分圧します。
- VREF 以上の便利なリファレンス・レベルを選択し、ゲイン・レジスタとオフセット・レジスタを変更して、デジタル的にリファレンスを下げます。この方法では、ほぼすべての便利なリファレンス・レベルを使用できますが、伝達関数の縮めすぎで性能が低下することがあります。
- これらの2つの方法の組み合わせを使います。

キャリブレーション

AD5370 上でシステム・キャリブレーションを行って、ゲイン誤差とオフセット誤差を 1 LSB 以下にすることができます。この誤差の除去は、M レジスタと C レジスタの新しい値を計算して再設定することにより行われます。

ゼロ・スケール誤差の除去

ゼロ・スケール誤差は、次のようにして除去できます。

- 出力を最小値に設定します。
- 実際の出力電圧と所要値を比較します。これにより、ゼロ・スケール誤差が得られます。
- 誤差に相当する LSB 数を計算し、この値を C レジスタのデフォルト値に加算します。負のゼロ・スケール誤差のみが除去されることに注意してください。

フル・スケール誤差の除去

フル・スケール誤差は、次のようにして除去できます。

- ゼロ・スケール誤差を測定します。
- 出力を最大値に設定します。
- 実際の出力電圧と所要値を比較します。この誤差をゼロ・スケール誤差に加算します。これが振幅誤差で、フル・スケール誤差を含んでいます。
- フルスケール誤差に相当する LSB 数を計算し、M レジスタのデフォルト値からこの値を減算します。正のフル・スケール誤差のみが除去されることに注意してください。
- ゼロ・スケール誤差とフル・スケール誤差が計算されるまで、M レジスタと C レジスタを設定しないようにする必要があります。

AD5370 のキャリブレーション例

この例では、-4 V～+8 V が所要出力と仮定します。DAC 出力を -4 V に設定しますが、-4.03 V と測定されています。したがって、ゼロ・スケール誤差は -30 mV です。

- $1 \text{ LSB} = 12 \text{ V}/65,536 = 183.11 \mu\text{V}$
- $30 \text{ mV} = 164 \text{ LSB}$

これで、フル・スケール誤差が計算できます。出力を +8 V に構成し、+8.02 V と測定されます。フル・スケール誤差は +20 mV - (-30 mV) = +50 mV になります。

$$50 \text{ mV} = 273 \text{ LSB}$$

この誤差は次のようにして、除去できます。

- 164 LSB を C レジスタのデフォルト値に加算します：
 $(32,768 + 164) = 32,932$ 。
- 273 LSB を C レジスタのデフォルト値から減算します：
 $(65,535 - 273) = 65,262$ 。
- M レジスタに 65,262 を、C レジスタに 32,932 を、それぞれ設定します。

その他のキャリブレーション

前のセクションで説明した技術は、大部分のアプリケーションでゼロ・スケール誤差とフル・スケール誤差を除去する十分な方法ですが、誤差が十分に除去できないという制約があります。たとえば、オフセット(C)レジスタは負のゼロ・スケール誤差から発生するオフセットの削減のみに使用できることです。正のオフセットは除去できません。同様に、最大電圧が理論値より小さい場合、すなわちフル・スケール誤差が負の場合、ゲイン(M)レジスタを使ってゲインを増やして、誤差を補償することはできません。

これらの制約は、リファレンス値を大きくすることにより克服することはできません。リファレンスが 3 V の場合、12 V の振幅が実現できます。AD5370 の理論電圧範囲は -4 V～+8 V です。3.1 V のリファレンスを使うと、範囲を -4.133 V～+8.2667 V に広げることができます。明らかに、この場合、オフセット誤差とゲイン誤差が小さいので、M レジスタと C レジスタを使って、負電圧を -4 V へ持ち上げて最大電圧を +8 V に下げることにより最も正確な値を得ることができます。

リセット機能

リセット機能は $\overline{\text{RESET}}$ ピンにより起動されます。 $\overline{\text{RESET}}$ の立ち上がりエッジで、AD5370 のステート・マシンがリセット・シーケンスを開始して、X、M、C の各レジスタをデフォルト値にリセットします。このシーケンスには 300 μs 要し、この期間中デバイスへの書き込みはできません。パワーアップ後、レジスタを正しく初期化するため、できるだけ速やかに $\overline{\text{RESET}}$ をハイ・レベルにすることが推奨されます。

リセット・シーケンスが完了すると ($\overline{\text{CLR}}$ がハイ・レベル)、DAC 出力はデフォルト・レジスタ設定が指定する電位 (SIGGNDx) になります。X、M、または C の各レジスタが更新されて、 $\overline{\text{LDAC}}$ がロー・レベルになるまで、DAC 出力は SIGGNDx を維持します。少なくとも 30 ns 間 $\overline{\text{RESET}}$ をロー・レベルにした後ハイ・レベルに戻すと、AD5370 をデフォルト状態に戻すことができます。リセット機能は立ち上がりエッジで開始されるため、 $\overline{\text{RESET}}$ をロー・レベルにするだけでは AD5370 の動作に影響しないことに注意してください。

クリア機能

$\overline{\text{CLR}}$ はアクティブ・ロー入力であり、通常動作ではハイ・レベルにしておく必要があります。 $\overline{\text{CLR}}$ ピンには 500 k Ω の内部プルダウン抵抗がついています。 $\overline{\text{CLR}}$ をロー・レベルにすると、各 DAC 出力バッファ・ステージ (VOUT0~VOUT39) への入力は、該当する SIGGND ピンを使って外部から設定された電位に切り替えられます。 $\overline{\text{CLR}}$ がロー・レベルの間、すべての $\overline{\text{LDAC}}$ パルスは無視されます。 $\overline{\text{CLR}}$ がハイ・レベルに戻ると、 $\overline{\text{LDAC}}$ がロー・レベルになるまで DAC 出力はクリア状態を維持します。入力レジスタの値と DAC レジスタの値は、 $\overline{\text{CLR}}$ がロー・レベルになっても影響を受けません。出力にグリッチが発生するのを防止するため、オフセット DAC へ書き込みを行って出力振幅を調整するたびに、 $\overline{\text{CLR}}$ をロー・レベルにする必要があります。

BUSY機能とLDAC機能

新しいデータに対応する X1、C、M の各レジスタに書き込むたびに、X2 (A または B) レジスタの値が計算されます。X2 の計算中、 $\overline{\text{BUSY}}$ 出力はロー・レベルになります。 $\overline{\text{BUSY}}$ がロー・レベルの間、X1、M、または C の各レジスタへの新しいデータの書き込みを続けることができますが、DAC 出力は更新できません (詳細については、レジスタ更新レートのセクション参照)。

$\overline{\text{BUSY}}$ ピンは双方向ピンであり、50 k Ω の内部プルアップ抵抗がついています。複数の AD5370 デバイスを 1 つのシステムで使用する場合には、 $\overline{\text{BUSY}}$ ピンを相互に接続することができます。他のすべての DAC がレディになるまで、いずれのデバイス内の DAC チャンネルも更新できないようにする場合には、この機能が便利です。各デバイスが X2 (A または B) レジスタの更新を完了すると、 $\overline{\text{BUSY}}$ ピンを解除します。あるデバイスが X2 レジスタの更新を完了していない場合には、そのデバイスが $\overline{\text{BUSY}}$ をロー・レベルにするため、 $\overline{\text{LDAC}}$ がロー・レベルになるのが遅延されます。

$\overline{\text{LDAC}}$ 入力をロー・レベルにすると、DAC 出力は更新されます。 $\overline{\text{LDAC}}$ がアクティブのときに $\overline{\text{BUSY}}$ をロー・レベルにすると、 $\overline{\text{LDAC}}$ イベントが保存され、 $\overline{\text{BUSY}}$ がハイ・レベルになると直ちに DAC レジスタが更新されます。 $\overline{\text{LDAC}}$ 入力をロー・レベルに固定することもできます。この場合、 $\overline{\text{BUSY}}$ がハイ・レベルになると直ちに DAC 出力が更新されます。 $\overline{\text{A/B}}$ セレクト・レジスタに書き込みが行われるごとに、 $\overline{\text{BUSY}}$ も約 600 ns 間ロー・レベルになります。

AD5370 は、1 つのチャンネル、1 つのグループ内の全チャンネル、グループ 0~グループ 4 内の同一チャンネル、またはグル

ープ 1~グループ 4 内の同一チャンネル、あるいはデバイス内の全チャンネルに対してデータの書き込みを可能にする柔軟なアドレッシング機能を持っています。これは、1 個、4 個、5 個、8 個、または 40 個の DAC レジスタ値を計算して更新することを意味しています。1 個の乗算器を 40 チャンネル間で共有しているため、この作業はシーケンシャルに実行する必要があります。したがって、 $\overline{\text{BUSY}}$ パルスの継続時間は、更新するチャンネル数に応じて変わります。

表 8. $\overline{\text{BUSY}}$ パルス幅

Action	$\overline{\text{BUSY}}$ Pulse Width ¹ (μs max)
Loading X1A, X1B, C, or M to 1 channel ²	1.5
Loading X1A, X1B, C, or M to 4 channels	3.3
Loading X1A, X1B, C, or M to 5 channels	3.9
Loading X1A, X1B, C, or M to 8 channels	5.7
Loading X1A, X1B, C, or M to 40 channels	24.9

¹ $\overline{\text{BUSY}}$ パルス幅 = ((チャンネル数 + 1) × 600 ns) + 300 ns。

² 1 チャンネルの更新には 1 μs (typ) を要します。

AD5370 には追加機能があります。この機能を使うと、 $\overline{\text{LDAC}}$ がロー・レベルになった後に x2X2A または X2B レジスタに書き込みが済んでいない場合、これが済むまで DAC レジスタの更新を行わないことができます。通常、 $\overline{\text{LDAC}}$ ロー・レベルになると、 $\overline{\text{A/B}}$ セレクト・レジスタの設定に応じて、DAC レジスタには X2A または X2B レジスタ値がロードされます。ただし、X2 データが変更された場合にのみ、AD5370 は DAC レジスタを更新するため、不要なデジタル・クロストークが発生しません。

パワーダウン・モード

コントロール・レジスタのビット 0 を 1 に設定すると、AD5370 はパワーダウンします。これにより DAC チャンネルがターンオフされるため、消費電流を減らすことができます。DAC 出力は、該当する SIGGND 電位に接続されます。パワーダウン・モードでレジスタ値は変更されないため、パワーダウン・ビットが 0 にクリアされると、DAC チャンネルは前の電圧に戻ります。

サーマル・シャットダウン機能

チップ温度が 130°C を超えたとき、AD5370 が DAC をパワーダウンするように設定することができます。コントロール・レジスタのビット 1 を 1 に設定すると、この機能がイネーブルされます (スペシャル・ファンクション・モード参照)。チップ温度が 130°C を超えると、AD5370 サーマル・パワーダウン・モードになります。これは、コントロール・レジスタのパワーダウン・ビットをセットすることと同じです。AD5370 がサーマル・シャットダウン・モードになったことを表示するため、コントロール・レジスタのビット 4 が 1 に設定されます。AD5370 は、チップ温度が下がっても、コントロール・レジスタのビット 1 が 0 にクリアされるまで、サーマル・シャットダウン・モードに留まります。

トグル・モード

AD5370 はチャンネルごとに 2 個の X2 レジスタ(X2A と X2B)を持っています。これらのレジスタを使うと、DAC 出力を 2 つのレベル間で容易に切り替えることができます。この方法を使うと、マイクロプロセッサのオーバーヘッドを大幅に減らすことができます。この方法を使わないと、各チャンネルに個別に書き込みを行う必要があるためです。X1A、X2A、M、または C の各レジスタに書き込みを行うと、計算エンジンは、該当する X2A または X2B の値を計算するために所定の時間を必要とします。アプリケーションで、データ・ジェネレータのように 2 つのレベル間でのみ DAC 出力の切り替えが必要な場合、計算時間

を削減するどのような方法でも利点があります。データ・ジェネレータの例の場合、X1A レジスタと X1B レジスタへ書き込みを行った後に、各チャンネルにハイ・レベルとロー・レベルを設定するだけで済みます。X2A と X2B の値が計算されて、該当するレジスタに保存されます。このため、計算遅延はセットアップのフェーズ、すなわち初期値の設定でのみ発生します。2 つのレベル間で DAC 出力をトグルするときは、関係する A/B セレクト・レジスタに書き込みを行って、MUX2 レジスタ・ビットを設定するだけで済みます。さらに、レジスタごとに 8 個の MUX2 コントロール・ビットがあるため、1 回の書き込みだけで 8 チャンネルを更新することができます。表 15 に、各 DAC 出力に対応すビットを示します。

シリアル・インターフェース

AD5370 は、最大 50 MHz (読み出し動作は 20 MHz) のクロック周波数で動作する高速な SPI 互換のシリアル・インターフェースを内蔵しています。デバイスに書き込みを行うときだけ、すなわち SYNC の立ち下がりエッジでのみ、インターフェースをパワーアップさせるため、デバイスの消費電力とチップ内のデジタル・ノイズを最小にすることができます。シリアル・インターフェースは、2.5 V ~ 3.6 V DV_{CC} 電源で動作する場合、2.5 V の LVTTTL と互換です。このインターフェースは、SYNC (フレーム同期化入力)、SDI (シリアル・データ入力ピン)、SCLK (デバイスに対するデータの出入力クロック)、SDO (データ・リードバック用のシリアル・データ出力ピン) の 4 本のピンで制御されます。

SPI 書き込みモード

AD5370 では、シリアル・インターフェースを使って、シリアル・インターフェースから直接アクセス可能な各レジスタすなわち X2A、X2B、DAC の各レジスタを除くすべてのレジスタに対してデータの書き込みが可能です。X2A レジスタと X2B レジスタは、X1A、X1B、M、C の各レジスタに書き込みを行ったときに更新され、DAC レジスタは、LDACにより更新されます。

シリアル・ワード(表 10 参照)は 24 ビット長で、データ・ビットが 16 ビット、アドレス・ビットが 6 ビット、モード・ビットが 2 ビット(データの処理を指定)です。

シリアル・インターフェースは連続およびバースト(ゲーティングされた)シリアル・クロックで動作します。SDI に入力されるシリアル・データは、SCLK に入力されるクロック・パルスにより AD5370 に入力されます。SYNCの最初の立ち下がりエッジで書き込みサイクルが開始されます。24 ビットのデータを入力するためには、SYNCをハイ・レベルに戻す前に、少なくとも 24 個の立ち下がりクロック・エッジを SCLK に入力する必要があります。24 個目の立ち下がりクロック・エッジの前に SYNC をハイ・レベルにすると、書き込み動作はアボートされます。

連続クロックを使用する場合、25 個目の立ち下がりクロック・エッジの前に SYNCをハイ・レベルにする必要があります。これにより、AD5370 内部でクロックが停止されます。SYNCがハイ・レベルに戻る前に、24 個より多くの立ち下がりクロック・エッジを入力すると、入力データは破壊されます。外部でゲーティングした 24 個のクロック・パルスを使う場合は、24 個目の立ち下がりクロック・エッジの前の任意のタイミングで SYNCをハイ・レベルにすることができます。

アドレス指定された入力レジスタは、SYNCの立ち上がりエッジで更新されます。次のシリアル転送を行うときは、SYNCをロー・レベルに戻す必要があります。

SPI リードバック・モード

AD5370 では、シリアル・インターフェースを使って、シリアル・インターフェースから直接アクセス可能な各レジスタすなわち X2A、X2B、DAC データの各レジスタを除くすべてのレジスタからデータのリードバックが可能です。

表 10. シリアル・ワードのビット配置

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
M1	M0	A5	A4	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 11 に、アドレス・ビット A5 ~ アドレス・ビット A0 の組み合わせによって指定されるグループとチャンネルを示します。

レジスタをリードバックするときは、最初に読み出し対象のレジスタを AD5370 に知らせる必要があります。これは、先頭の 2 ビットがスペシャル・ファンクション・コード 00 であるワードをデバイスに書き込むことにより行われます。その後の残りのビットで、リードバック対象レジスタが指定されます。

リードバック・コマンドがスペシャル・ファンクション・レジスタに書き込まれると、選択したレジスタからデータが次の SPI 動作で SDO ピンへ出力されます。SDO ピンは通常スリー・ステートですが、読み出しコマンドが発行されると直ちに駆動状態になります。このピンは、レジスタ・データが出力されるまで駆動状態を維持します。読み出しタイミング図については、図 5 を参照してください。タイミング条件 t_5 (25 ns)があるため、読み出し動作時の SPI インターフェースの最大速度は 20 MHz を超えないことに注意してください。

レジスタ更新レート

新しいデータを対応する X1、C、M の各レジスタに書き込むたびに、X2A レジスタまたは X2B レジスタの値が計算されます。計算は 3 ステージのプロセスで実行されます。最初の 2 ステージはそれぞれ約 600 ns を要し、3 番目のステージは約 300 ns を要します。X1、C、または M の各レジスタへの書き込みが完了すると、計算プロセスが開始されます。1 個の DAC チャンネルを更新する書き込み動作では、最初のステージの計算が完了する前に、すなわち最初の書き込み動作完了から 600 ns までに書き込み動作が完了しない場合でも、別のレジスタへ自由に書き込みを行うことができます。1 回の書き込み動作でチャンネルのグループを更新する場合には、最初のステージの計算が各チャンネルごとに繰り返されるため、各チャンネルに 600 ns を要します。この場合、この時間が経過するまで次の書き込み動作を完了することはできません。

チャンネル・アドレッシングとスペシャル・モード

モード・ビットが 00 でない場合、データ・ワード D13 ~ D0 がデバイスへ書き込まれます。アドレス・ビット A5 ~ アドレス・ビット A0 によって書き込み対象チャンネルが、モード・ビットによってデータの書き込み対象レジスタ(X1A、X1B、C、または M)が、それぞれ指定されます(表 9 参照)。データが X1A または X1B レジスタに書き込まれる場合、コントロール・レジスタの A/B ビットの設定によりデータが書き込まれるレジスタが指定されます (すなわち 0 → X1A、1 → X1B)。

表 9. モード・ビット

M1	M0	Action
1	1	Writes to the DAC input data (X) register, depending on the control register A/B bit
1	0	Writes to the DAC offset (C) register
0	1	Writes to the DAC gain (M) register
0	0	Special function, used in combination with other bits of the data-word

表 11. グループとチャンネルのアドレッシング

Address Bit A2 to Address Bit A0	Address Bit A5 to Address Bit A3							
	000	001	010	011	100	101	110	111
000	All groups, all channels	Group 0, Channel 0	Group 1, Channel 0	Group 2, Channel 0	Group 3, Channel 0	Group 4, Channel 0	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 0	Group 1, Group 2, Group 3, Group 4; Channel 0
001	Group 0, all channels	Group 0, Channel 1	Group 1, Channel 1	Group 2, Channel 1	Group 3, Channel 1	Group 4, Channel 1	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 1	Group 1, Group 2, Group 3, Group 4; Channel 1
010	Group 1, all channels	Group 0, Channel 2	Group 1, Channel 2	Group 2, Channel 2	Group 3, Channel 2	Group 4, Channel 2	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 2	Group 1, Group 2, Group 3, Group 4; Channel 2
011	Group 2, all channels	Group 0, Channel 3	Group 1, Channel 3	Group 2, Channel 3	Group 3, Channel 3	Group 4, Channel 3	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 3	Group 1, Group 2, Group 3, Group 4; Channel 3
100	Group 3, all channels	Group 0, Channel 4	Group 1, Channel 4	Group 2, Channel 4	Group 3, Channel 4	Group 4, Channel 4	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 4	Group 1, Group 2, Group 3, Group 4; Channel 4
101	Group 4, all channels	Group 0, Channel 5	Group 1, Channel 5	Group 2, Channel 5	Group 3, Channel 5	Group 4, Channel 5	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 5	Group 1, Group 2, Group 3, Group 4; Channel 5
110	Reserved	Group 0, Channel 6	Group 1, Channel 6	Group 2, Channel 6	Group 3, Channel 6	Group 4, Channel 6	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 6	Group 1, Group 2, Group 3, Group 4; Channel 6
111	Reserved	Group 0, Channel 7	Group 1, Channel 7	Group 2, Channel 7	Group 3, Channel 7	Group 4, Channel 7	Group 0, Group 1, Group 2, Group 3, Group 4; Channel 7	Group 1, Group 2, Group 3, Group 4; Channel 7

スペシャル・ファンクション・モード

モード・ビットが 00 の場合、スペシャル・ファンクション・モードが選択されます(表 12 参照)。シリアル・データ・ワードのビット I21 ～ビット I16 によって、スペシャル・ファンクションが選択され、残りのビットは、スペシャル・ファンクションの実行に必要とされるデータであり、たとえば、データ・リードバックでのチャンネル・アドレスなどになります。

スペシャル・ファンクションのコードを表 13 に示します。表 14 には、データ・リードバックのアドレスを示します。

表 12.スペシャル・ファンクション・モード

I23	I22	I21	I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
0	0	S5	S4	S3	S2	S1	S0	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0

表 13.スペシャル・ファンクション・コード

Special Function Code						Data (F15 to F0)	Action
S5	S4	S3	S2	S1	S0		
0	0	0	0	0	0	0000 0000 0000 0000	NOP.
0	0	0	0	0	1	XXXX XXXX XXXX X [F2:F0]	Write to the Control register. F4 = overtemperature indicator (read-only bit). This bit should be 0 when writing to the Control register. F3 = reserved. This bit should be 0 when writing to the Control register. F2 = 1: select register X1B for input. F2 = 0: select register X1A for input. F1 = 1: enable temperature shutdown. F1 = 0: disable temperature shutdown. F0 = 1: soft power-down. F0 = 0: soft power-up.
0	0	0	0	1	0	XX[F13:F0]	Write data in F13:F0 to OFS0 register.
0	0	0	0	1	1	XX[F13:F0]	Write data in F13:F0 to OFS1 register.
0	0	0	1	0	0	Reserved	Reserved.
0	0	0	1	0	1	See 表 14	Select register for readback.
0	0	0	1	1	0	XXXX XXXX [F7:F0]	Write data in F7:F0 to $\bar{A}/B$ Select Register 0.
0	0	0	1	1	1	XXXX XXXX [F7:F0]	Write data in F7:F0 to $\bar{A}/B$ Select Register 1.
0	0	1	0	0	0	XXXX XXXX [F7:F0]	Write data in F7:F0 to $\bar{A}/B$ Select Register 2.
0	0	1	0	0	1	XXXX XXXX [F7:F0]	Write data in F7:F0 to $\bar{A}/B$ Select Register 3.
0	0	1	0	1	0	XXXX XXXX [F7:F0]	Write data in F7:F0 to $\bar{A}/B$ Select Register 4.
0	0	1	0	1	1	XXXX XXXX [F7:F0]	Block write $\bar{A}/B$ select registers. F7:F0 = 0, write all 0s (all channels use X2A register). F7:F0 = 1, write all 1s (all channels use X2B register).
0	1	1	1	0	0	Reserved	

表 14.データ・リードバックのアドレス・コード¹

F15	F14	F13	F12	F11	F10	F9	F8	F7	Register Read
0	0	0	Bit F12 to Bit F7 select the channel to be read back from; Channel 0 = 001000 to Channel 39 = 101111						X1A register
0	0	1							X1B register
0	1	0							C register
0	1	1							M register
1	0	0	0	0	0	0	0	1	Control register
1	0	0	0	0	0	0	1	0	OFS0 data register
1	0	0	0	0	0	0	1	1	OFS1 data register
1	0	0	0	0	0	1	0	0	Reserved
1	0	0	0	0	0	1	1	0	$\bar{A}/B$ Select Register 0
1	0	0	0	0	0	1	1	1	$\bar{A}/B$ Select Register 1
1	0	0	0	0	1	0	0	0	$\bar{A}/B$ Select Register 2
1	0	0	0	0	1	0	0	1	$\bar{A}/B$ Select Register 3
1	0	0	0	0	1	0	1	0	$\bar{A}/B$ Select Register 4

¹ データ・リードバック機能に対してビット F6～ビット F0 は don't care。

表 15. $\overline{A/B}$ セレクト・レジスタで選択される DAC チャンネル

$\overline{A/B}$ Select Register	Bits ¹							
	F7	F6	F5	F4	F3	F2	F1	F0
0	VOUT7	VOUT6	VOUT5	VOUT4	VOUT3	VOUT2	VOUT1	VOUT0
1	VOUT15	VOUT14	VOUT13	VOUT12	VOUT11	VOUT10	VOUT9	VOUT8
2	VOUT23	VOUT22	VOUT21	VOUT20	VOUT19	VOUT18	VOUT17	VOUT16
3	VOUT31	VOUT30	VOUT29	VOUT28	VOUT27	VOUT26	VOUT25	VOUT24
4	VOUT39	VOUT38	VOUT37	VOUT36	VOUT35	VOUT34	VOUT33	VOUT32

¹このビットが 0 の場合はレジスタ A が選択され、ビットが 1 の場合はレジスタ B が選択されます。

電源デカップリング

精度が重要な回路では、電源とグランド・リターンのレイアウトを注意深く行うことが、定格性能の保証に役立ちます。AD5370 を実装するプリント回路ボードは、アナログ部分とデジタル部分を分離して、ボードの一定領域にまとめて配置するように、デザインする必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD5370 を使用する場合は、この接続は 1 か所で行う必要があります。デバイスのできるだけ近くに星型のグランド・ポイントを構成する必要があります。複数のピン (V_{SS} 、 V_{DD} 、 DV_{CC}) を持つ電源の場合には、これらのピンを一緒に接続し、各電源を 1 回でデカップリングすることが推奨されます。

AD5370 に対しては、 $10\mu F$ と $0.1\mu F$ の並列接続により十分な電源デカップリングをパッケージのできるだけ近くの電源に、理想的にはデバイスに直接に、接続する必要があります。 $10\mu F$ コンデンサはタンタルのビーズ型を使います。 $0.1\mu F$ コンデンサは、高周波でグランドに対する低インピーダンス・パスを提供するセラミック型のような実効直列抵抗 (ESR) が小さく、かつ実効直列インダクタンス (ESL) が小さいものを使って、内部ロジックのスイッチングに起因する過渡電流を処理する必要があります。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グランド・プレーンが AD5370 の下を通過することは可能です。AD5370 の電源ラインには、できるだけ太いパターンを使って低インピーダンス・パスを実現して、電源ライン上でのグリッチの効果を削減する必要があります。クロックなどの高速スイッチング信号はデジタル・グランドでシールドして、ボード上の他の部品へノイズを放出しないようにし、基準電圧入力の近くを通らないようにします。すべての VREF ラインのノイズを小さくすることは重要です。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置します。これにより、ボードを通過するフィードスルーの効果を除去することができます。マイクロストリップ技術の使用は最善の方法ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面をグランド・プレーン専用にし、信号パターンはハンダ面に配置されます。

すべての薄型パッケージの場合と同様に、組み立て工程でパッケージを曲げたり、このパッケージの表面にポイント負荷を与えないように注意してください。

電源シーケンシング

電源を AD5370 に接続する際、正または負の電源を加える前に、AGND ピンと DGND ピンを該当するグランド・プレーンへ接続することが重要です。大部分のアプリケーションでは、電源のグランド・ピンがグランド・プレーンを介して AD5370 のグランド・ピンに接続されているため、これが問題になることはありません。AD5370 をホット・スワップ・カードで使用する際には、正または負の電源を加える前に、グランド・ピンを該当するグランド・プレーンへ接続することが重要です。これは、アナログ・グランドまたはデジタル・グランド以外に向かって電流が流れるのを防止するために必要です。

インターフェース例

AD5370 の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易にデバイスを接続できるように、デザインされています。図 23 に、AD5370 をアナログ・デバイセズの Blackfin® DSP に接続する方法を示します。Blackfin は、AD5370 の SPI ピンへ直接接続できる SPI ポートを内蔵しています。また、インターフェースに接続されているデジタル入力ピンまたはデジタル出力ピンの状態の設定または読み出しに使用できる設定可能な I/O ピンも内蔵しています。

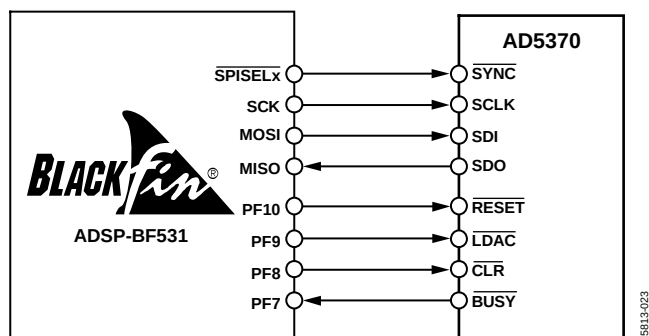


図 23. Blackfin DSP に対するインターフェース

アナログ・デバイセズの [ADSP-21065L](#) は、2 個のシリアル・ポート(SPORT)を内蔵する浮動小数 DSP です。図 24 に、1 個の SPORT を使って AD5370 を制御する方法を示します。この例では、送信フレーム同期(TFS)ピンが受信フレーム同期(RFS)ピンに接続されています。同様に、送信クロックと受信クロック(TCLK と RCLK)も接続されています。送信レジスタに書き込みを行うことによって、AD5370 への書き込みを行うことができます。読み出し動作を行うときは、先に AD5370 へ書き込みを行って、読み出し動作が要求されていることをデバイスに知らせます。NOP 命令を使う 2 回目の書き込み動作によって、AD5370 からデータが読み出されます。DSP の受信割り込みを使って、読み出し動作が完了したタイミングを表示することができます。

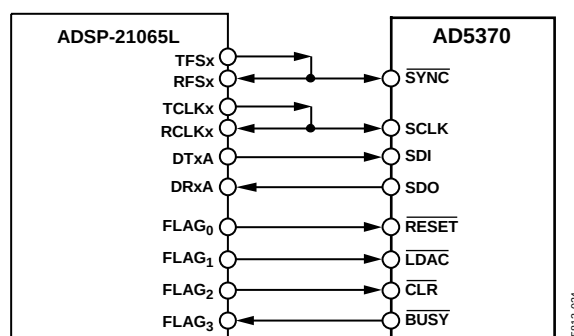
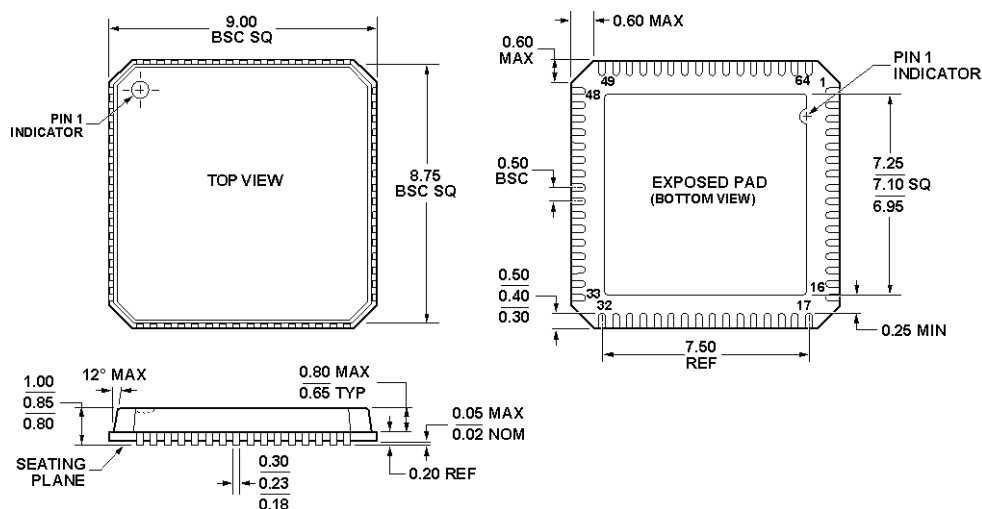


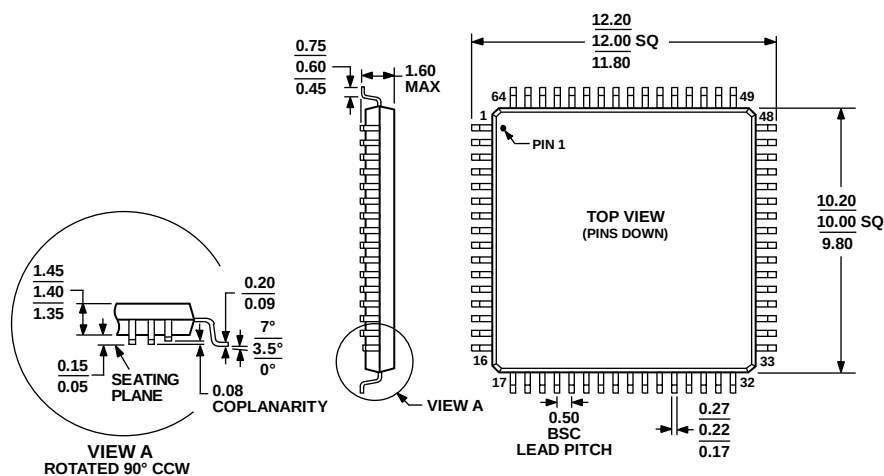
図 24. ADSP-21065L DSP に対するインターフェース

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4

図 25.64 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
(CP-64-3)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

図 26.64 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]
(ST-64-2)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD5370BCPZ ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-64-3
AD5370BCPZ-REEL7	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-64-3
AD5370BSTZ	-40°C to +85°C	64-Lead Low Profile Quad Flat Package (LQFP)	ST-64-2
AD5370BSTZ-REEL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package (LQFP)	ST-64-2

¹ Z = RoHS 準拠製品